**上海大学 计算机学院**

**《数字逻辑实验》报告二**

**姓名 王骏 学号 21121290**

**时间 周三9-11 机位 7 指导教师 顾惠昌**

**实验名称: 组合电路（一）**

**一、实验目的**

1、了解和掌握复合逻辑电路的输入与输出之间的逻辑关系及使用规则，掌握用基本逻辑门电路构造复合逻辑门电路的原理和基本方式，学会用基本电路实现逻辑函数。

2、学会二进制数的运算规律，掌握构造半加器和全加器的逻辑功能，并进行简单加法器的设计。

3、学习使用可编程逻辑器件的开发工具Quartus II并设计电路，掌握将设计电路下载到芯片的方法并完成功能测试。

**二、实验原理**

本次使用的实验仪器有：

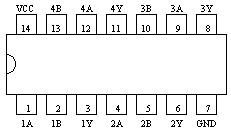
1、DICE-SEM型数字模拟综合实验箱 1台

2、器件

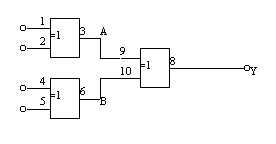
* 74LS00 四2输入与非门 2片
* 74LS02 四2输入或非门 1片
* 74LS04 六反向器 1片
* 74LS20 二4输入与非门 1片
* 74LS86 四2输入异或门 1片

1、从理论上来讲，由与、或、非三种简单的逻辑门电路可以是实现各种逻辑功能。最常见的复合逻辑门电路有与非门、或非门，与或非门、异或门等都是由简单逻辑门电路组合而成的电路。

异或门（xor）是一种常见的符合逻辑门电路，逻辑表达式为Y = A⊕B =。它的逻辑功能是：当输入的两个信号相同时，输出低电位；当输入的两个信号不同时，输出高电位。本次实验对异或门74SL86进行了测试。



图表 1 74SL86引脚图



图表 2 异或门功能测试

将电平开关按照下表设置，观察实验是否与其相符。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | | 输出 | | | |
| ***A*** | ***B*** | ***Y*** |
| L L | L L | 0 | 0 | 0 |
| H L | L L | 1 | 0 | 1 |
| H H | L L | 0 | 0 | 0 |
| H H | H L | 0 | 1 | 1 |
| H H | H H | 0 | 0 | 0 |
| L H | L H | 1 | 1 | 0 |

表格 1 异或门的测试

2、在实际生活中，我们可以根据实际需求来设计解决问题所需要的电路。简单的组合电路的功能特点是任何时刻，电路的输出仅取决于该时刻的输入，与电路的过去状态无关。电路的结构特点是电路仅由门电路构成，并且电路的输入至输出没有反馈，不具有记忆功能。

组合逻辑电路的实际设计是按照实际问题的描述抽象出其逻辑功能，最终给出实现逻辑功能的最简单的逻辑电路图，设计方式包括用小规模的集成电路（SSI）、中规模集成电路（MSI）和专用集成电路（ASIC）来实现。设计过程包括将实际的文字转化成真值表描述；再由真值表列出输出函数表达式并且进行相应的变换达到化简的效果；根据表达做出逻辑图。

组合电路设计的基本流程如下：

选用SSI

实际问题描述

功能真值表

输出函数表达式

最简函数表达式

逻辑电路图

最小项表达式

逻辑电路图

选用MSI

本次实验完成通过分立元件构成加法器。加法器是数字系统中的基本逻辑元件，为可节省资源，减法器和硬件乘法器都可以用加法器来完成，但是宽位加法器在运算时同样很耗费资源，因此在实际的设计和相关系统的开发中需要注意资源的利用率和进位速度等两方面的问题。本次我们学习的是半加器和全加器，其可以进行简单的加法运算。

半加器是对两个一位二进制数进行相加，产生“和”与“进位”。根据半加器的逻辑表达式可知，半加器的“和”Y是A、B的异或，而进位是A、B相与。故半加器可以通过一个异或门和二个与非门构成。

全加器将两个一位二进制数及来自低位的进位Ci-1进行相加，产生了“和”以及进位Ci。构成全加器的方法有很多，可以用异或门以及基本门电路组成，也可以用半加器和或门组成。

下图为全加器的真值表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| ***Ai*** | ***Bi*** | ***Ci-1*** | ***Si*** | ***Ci*** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

表格 2 全加器真值表

做出该表Si的卡诺图：

AiBi

00 01 11 10

Ci-1

0 1 0 1

1 0 1 0

0

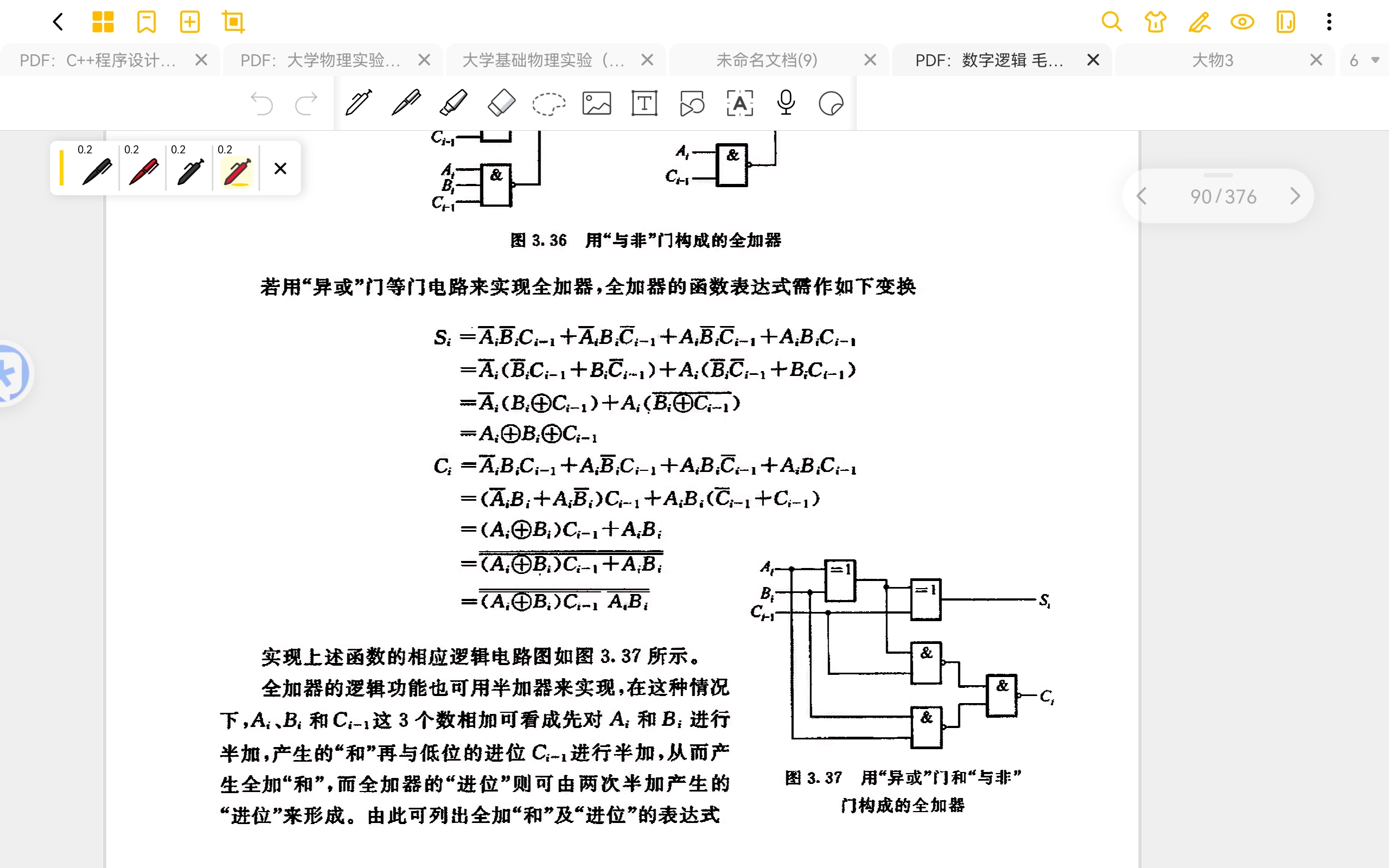
1

表格 3 一位全加器和的卡诺图

因此，Si= = ;



变形过程如下：



做出该表中Ci的卡诺图：

AiBi

00 01 11 10

Ci-1

0 0 1 0

0 1 1 1

0



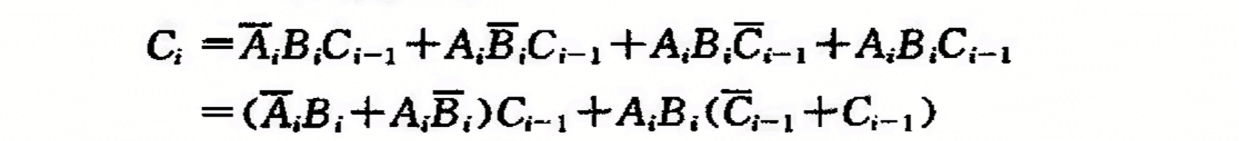
1

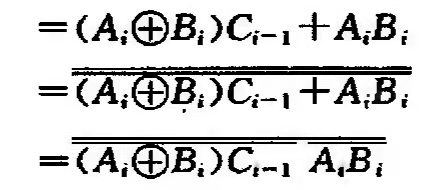


表格 4 全加器Ci的卡诺图

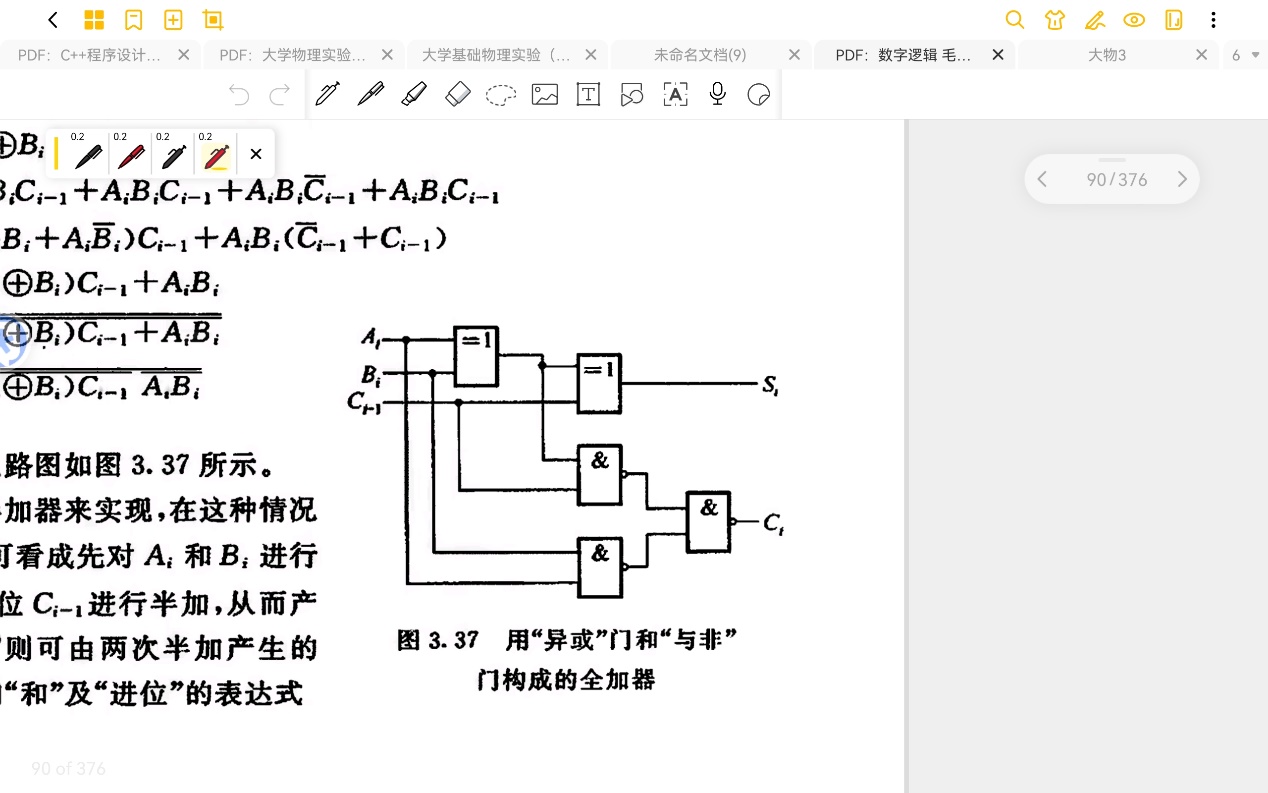
由上图可以写出Ci的逻辑表达式：Ci=AB+AC+BC,用与非门和异或门来实现全加器，需要对表达式进行转变，这时Ci可以变形为：

变形过程如下：





做出该全加器的逻辑电路图：



图表 3 全加器逻辑电路图

因此可以用异或门和与非门搭建出全加器。实验中通过数字试验箱中的74LS86异或门和74LS00与非门芯片完成搭建操作。

3、Quartus II是Altera公司的综合性PLD/FPGA开发软件，支持原理图、VHDL、Verilog HDL以及AHDL（Altera Hardware Description Language）等多种设计输入形式，内嵌有综合器和仿真器，可以完成从设计输入到硬件配置的完整PLD设计流程。

本次使用Quartus II设计二位二进制数的加法器（不考虑低位进位）。二位二进制加法器可以完成，两个二进制数的相加，输出端为高位和，低位和以及高位的进位。其真值表如下所示：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | |
| A1 | A0 | B1 | B0 | C1 | S1 | S0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

分别做出C1、S1、S0的卡诺图：

A1A0

B1B0

00 01 11 10

000

001

11

10

0 0 0 0

0 0 1 0

0 1 1 1

0 0 1 1

图表 4 二位加法器C1卡诺图



故有C1的表达式为 **C**1**=A**1**B**1+**A**0**B**1**B**0+**A**1**A**0**B**0

A1A0

B1B0

00 01 11 10

000

001

11

10

0 0 1 1

0 1 0 1

1 0 1 0

1 1 0 0



图表 5 S1卡诺图

故

A1A0

B1B0

00 01 11 10

000

001

11

10

0 1 1 0

1 0 0 1

1 0 0 1

0 1 1 0

图表 6 S0卡诺图

易知，==

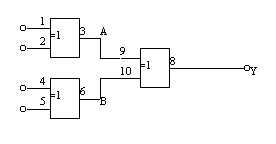
根据以上可以在Quartus II中选取基本电路元件，设计出电路图。之后进行模拟验证，波形仿真测试。测试完成后可以通过定义引脚，并且下载设计的电路到数字模拟箱的芯片中进行设计电路图的实际验证。

**三、实验内容**



**1．实验任务一、异或门逻辑功能测试**

1. 实验步骤
2. 按照图示完成线路的连接，电平开关1连接74LS86的引脚1，电平开关2连接引脚2，电平开关4连接引脚4，电平开关5连接引脚5，输出引脚3连接引脚15和数码管（A），输出引脚6连接引脚14和数码管（B），输出引脚13连接数码管（C）。连接好地线和电源线。



1. 打开数字逻辑模拟箱的电源，按照输入输出表中从上到下的顺序调节开关，观察数码管的示数是否与预期一致，一致则说明该芯片功能正常。
2. 记录实验时连接的引脚

（2）实验现象

电平开关上拨即为输入“H”，下拨即为输入“L”；

当输入“LLLL”时，数码管显示“0 0 0”；

输入“HLLL”时，数码管显示“1 0 1”；

输入“HHLL”时，数码管显示“0 0 0”；

输入“HHHL”时，数码管显示“0 1 1”；

输入“HHHH”时，数码管显示“0 0 0”；

输入“LHLH”时，数码管显示“1 1 0”；

（3）数据记录、分析与处理

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | | 输出 | | | |
| ***A*** | ***B*** | ***Y*** |
| L L | L L | 0 | 0 | 0 |
| H L | L L | 1 | 0 | 1 |
| H H | L L | 0 | 0 | 0 |
| H H | H L | 0 | 1 | 1 |
| H H | H H | 0 | 0 | 0 |
| L H | L H | 1 | 1 | 0 |

数据记录如上，与预期相符合。

（4）实验结论

当输入信号相同时，异或门输出“0”，当输入信号不同时，异或门输出为“1”；经实验测试，该74LS86芯片（IC7）上的引脚1、2、3、4、5、6、13、14、15，以及接电源引脚、接地引脚功能均正常。

**2．实验任务二、使用分立元件的异或门和与非门构成全加器，并且进行测试**

1. 实验步骤
2. 分析问题，清楚要求。写出一位全加器真值表，并且通过卡诺图化简获得逻辑表达式，画出逻辑电路图。
3. 根据逻辑电路图进行线路的连接。将电平开关1和74LS86芯片IC7上的引脚1相连接，电平开关2和引脚2相连接，将引脚3与引脚4相连接，再把电平开关和引脚5相连，引脚6连接数码管1，将输出引脚3与74LS00的IC2 引脚1相连接，电平开关3与IC2的引脚2相连，电平开关1与IC1的引脚1相连接，电平2与IC1的输入引脚2相连接，IC2的输出引脚3和IC4的引脚1相连，IC1的输出引脚3和IC4的引脚2相连接，最后将IC4的输出引脚3与数码管2连接。
4. 打开数字模拟综合实验箱的电源。调节电平开关，观察记录数码管示数的变化，并记录。
5. 实验现象

电平开关1,2,3分别对应输入信号Ai、Bi、Ci-1的值，数码管1显示Si，数码管2显示Ci。

当输入为“0 0 0”时，数码管读数为“0 0”；

当输入为“0 0 1”时，数码管读数为“1 0”；

当输入为“0 1 0”时，数码管读数为“1 0”；

当输入为“0 1 1”时，数码管读数为“0 1”；

当输入为“1 0 0”时，数码管读数为“1 0”；

当输入为“1 0 1”时，数码管读数为“0 1”；

当输入为“1 1 0”时，数码管读数为“0 1”；

当输入为“1 1 1”时，数码管读数为“1 1”；

1. 数据记录、分析与处理

将数据记录在表格中。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| ***Ai*** | ***Bi*** | ***Ci-1*** | ***Si*** | ***Ci*** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

图表 7 一位全加器测试记录

发现该表格与实验原理中的真值表一致。

1. 实验结论

一位全加器的设计完成，可以很好的达到预期效果。

**3．实验任务三、使用Quartus II设计二位加法器**

1. 实验步骤

1、Quartus II新建项目，按照实验原理的逻辑表达式，作出电路图，选择合适的基本门电路器件，根据逻辑电路图进行作图。

2、编译，检查是否有错误。

3、波形模拟仿真，输入A1,A0，B1,B0,时序分别为8,4,2,1，输入C1,S1,S0作为输出，对A1A0B1B0进行group操作。

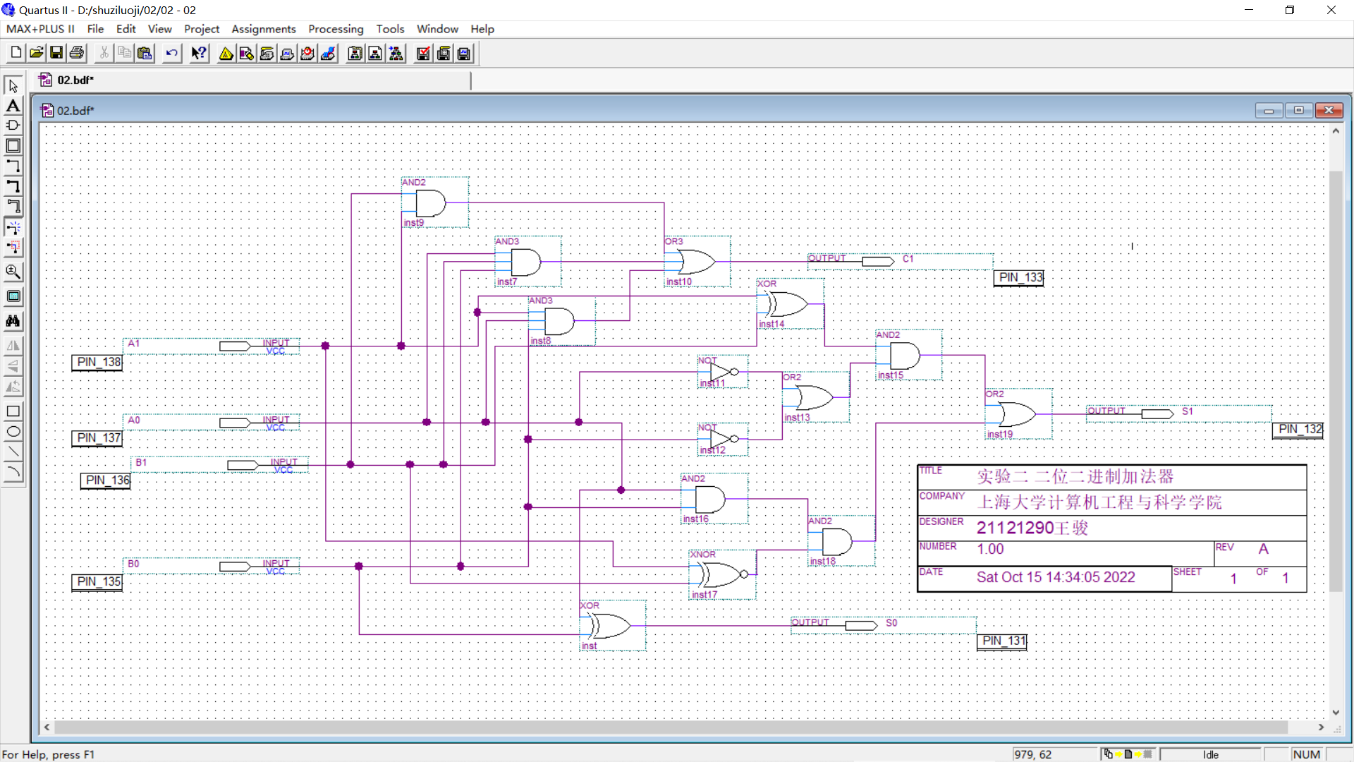
4、进行模拟，模拟模式选择Functional，点击generate生成，点击start开始模拟。

5、模拟完成后定义引脚，A1、A0、B1、B0分别对应EP1K30TC144-3的

138、137、136、135号引脚，C1,S1,S0分别对应133、132、131号引脚。完成定义后，将电路图下载至芯片中。

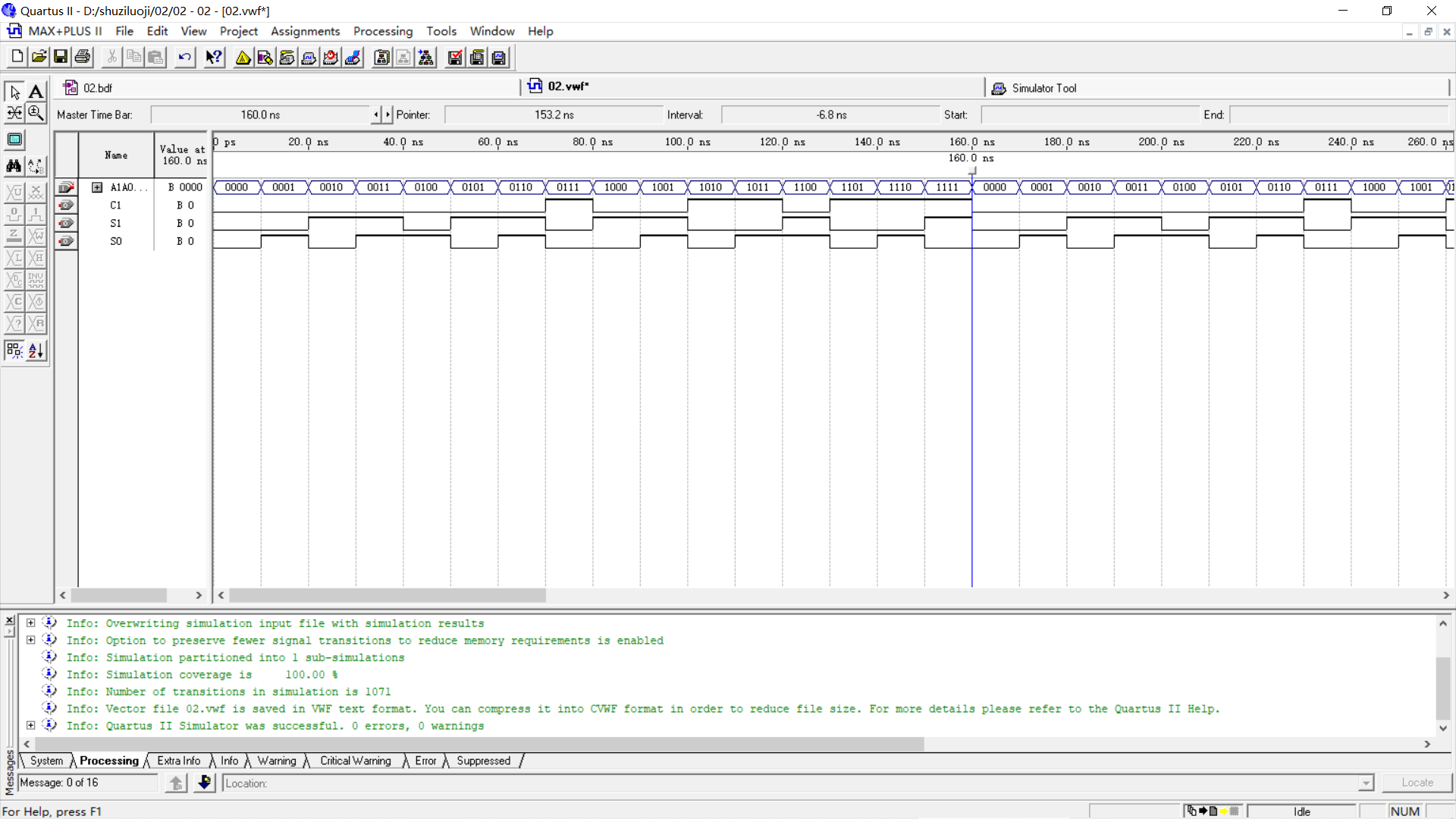
6、根据引脚对应的插孔连接线路，记录数据。

1. 实验现象

逻辑电路图：

图表 8 二位二进制加法器

仿真波形图：



图表 9 仿真波形图

下载到数字模拟综合实箱后，进行检验，发现数码管显示与波形图，原理中的加法器真值表完全吻合。

1. 数据记录、分析与处理

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | |
| A1 | A0 | B1 | B0 | C1 | S1 | S0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

该数据与波形图相符合。

1. 实验结论

完成了利用Quartus II 进行二进制加法器的设计，并且在模拟箱中完成了检验。

**四、建议和体会**

**五、思考题**

进行任务三-利用Quartus II设计二位二进制加法器时，绘制真值表时按照A1 B1 A0 B0的顺序，也就是将二进数的高位放在一起，低位放在一起会更好，这样便于计算真值表，也有利于逻辑电路图的绘制。