**上海大学 计算机学院**

**《数字逻辑实验》报告六**

**姓名 王骏 学号 21121290**

**时间 周三9-11 机位 7 指导教师 顾惠昌**

**实验名称: 时序电路**

**一、实验目的**

1、掌握计数器的工作原理及电路组成，设计计数器并进行测试。

2、掌握移位寄存器的工作原理及电路组成，设计并测试移位寄存器。

3、掌握利用移位寄存器设计完成计数器，并利用Quartus II进行测试。

**二、实验原理**

1、实验仪器

i、DICE-SEM型数字模拟综合实验箱 1台

ii、PC机 1台

（安装Quartus II软件，USB口下载电缆等）

iii、器件

·74LS112 双JK触发器 2片

2、同步计数器

同步时序逻辑电路又称为时钟同步时序逻辑电路，是以触发器状态为标志的。它的状态储存器是触发器，时钟信号连接到所有触发器的时钟控制端，在时钟信号的有效触发边沿才改变状态，即同步改变。

计数器是一种对输入脉冲信号进行计数的时序逻辑器件，它广泛应用于数字系统之中。计数器可以分为同步计数器和异步计数器。如果按照进制来分类，可以分为二进制计数器、十进制计数器等；如果按照功能分类，可以分为加法计数器、减法计数器和加减法可逆计数器。

同步计数器就是将每个触发器的时钟端均接在同一个时钟脉冲源上，在时钟脉冲的作用下，触发器会同时进行翻转。

本次实验利用基本门电路和JK触发器构成同步二进制2位加法计数器。在时钟脉冲的作用下，输出为“00”，“01”，“10”，“11”，之后回到“00”，并且产生进位“1”。本次实验不考虑进位的输出。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Q2Q1 | 次态 | J1 | K1 | J2 | K2 |
| 00 | 01 | 1 | 1 | 0 | d |
| 01 | 10 | 1 | 1 | 1 | d |
| 10 | 11 | 1 | 1 | d | 0 |
| 11 | 00 | 1 | 1 | d | 1 |

图表 1二位二进制加法器状态转移真值表

因此J1=K1=1；

作出J2的卡诺图：

Q2

0 1

Q1

1. d
2. d

0

1

作出K2的卡诺图：

Q2

0 1

Q1

1. d

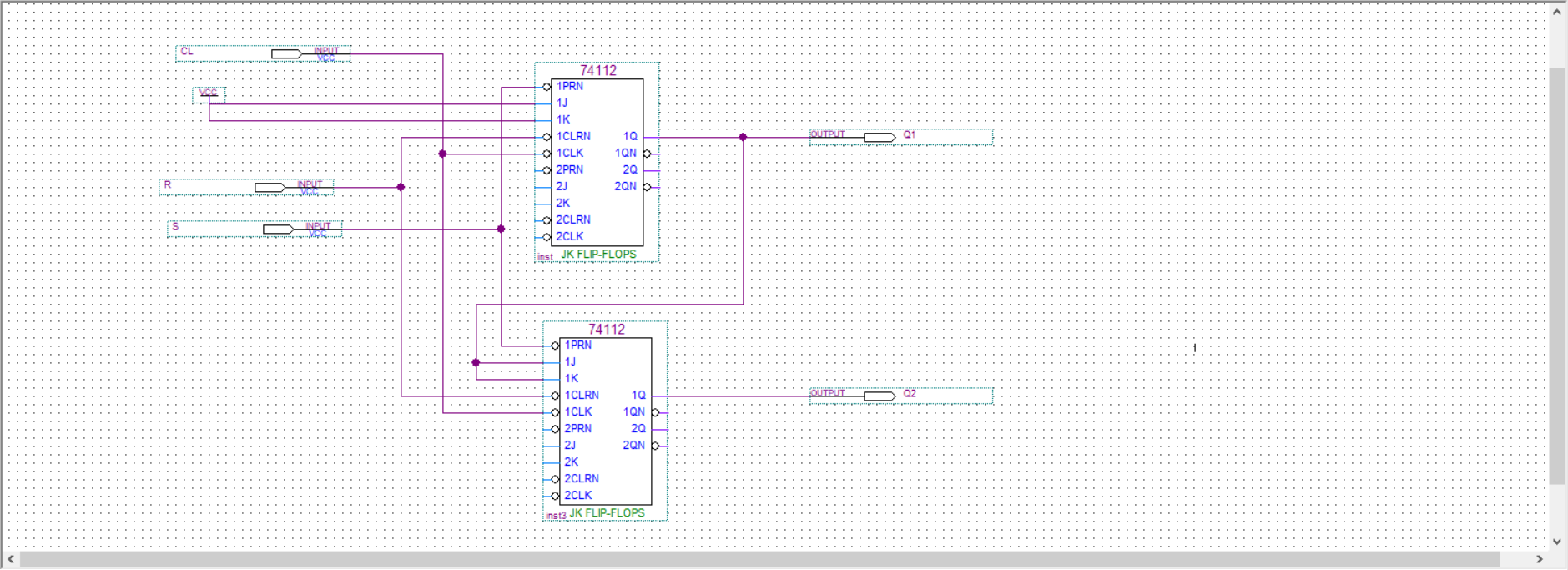
d 1

0

1

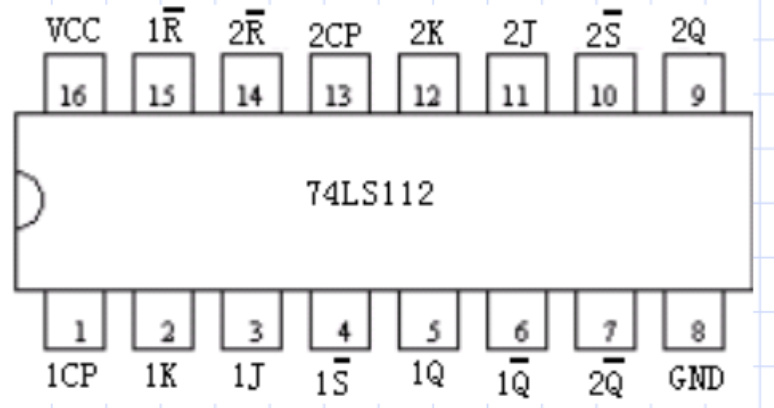
因此J2=K2=Q1；

该同步二位二进制计数器的逻辑电路图如下所示



图表 2 同步二位二进制加法器电路图

DICE-SEM型数字模拟综合实验箱中有74LS112芯片，其包含两个下降沿JK触发器，我们可以在数字模拟箱上完成这个电路图的连接。



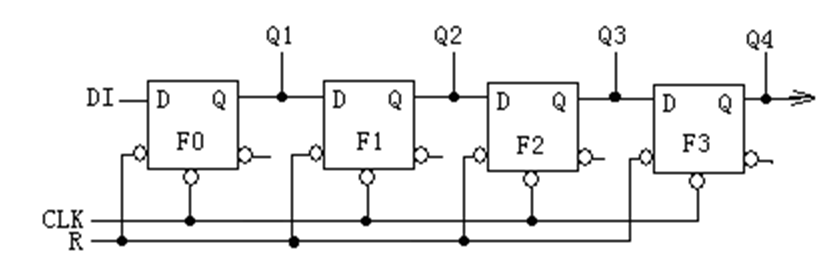
图表 3 74LS112引脚图

3、移位寄存器

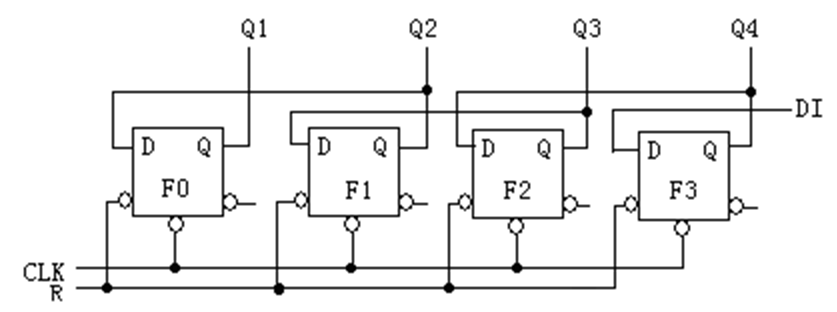
寄存器是数字系统中用于存放数据或者运算结果的逻辑器件，它具有接收数据、储存数据或者传入数据的功能。在实际应用中，除要求寄存器有上述以上的基本功能以外，应该具有左移位，右移位以及预置和清零的功能。

移位寄存器的清零方式有两种：一种是将所有触发器的清零端R；连在一起，置位端S连在一起；当R=0，S=1时，Q端为0。这种方式称为异步清零。另一种方法是在串型输入端输入“0”电平，接着从CLK端送4个脉冲，则所有触发器也可清到零状态。这种方式称为同步清零。

D触发器可以组成单向右移寄存器和单向左移寄存器。

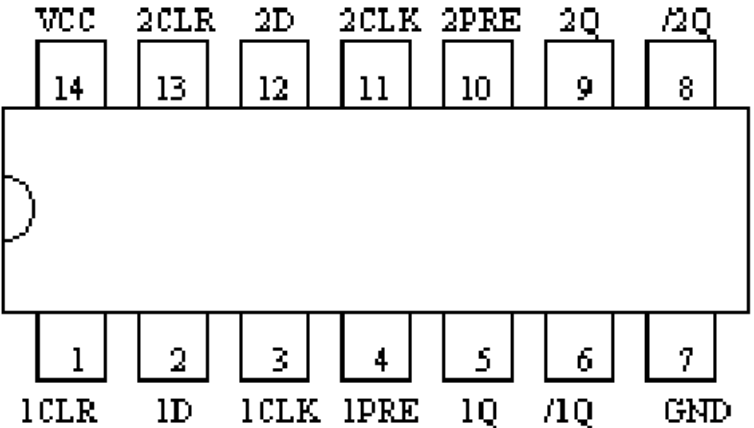


图表 4 右移寄存器



图表 5 左移寄存器

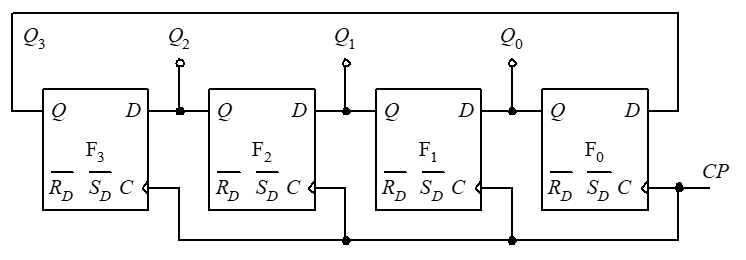
实验中使用双片D触发器7474构成单向移位寄存器。利用Quartus II进行设计和测试，并且记录波形图。



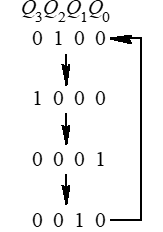
图表 6 7474引脚图

4、利用移位寄存器设计计数器

环形计数器是将单向移位寄存器的串行输入和串行输出相连，构成了一个闭合的环。



图表 7 环形计数器



图表 8左移环形计数器

本次实验利用Quartus II设计环形计数器并且进行测试。记录仿真波形图结果。并且将电路文件下载到FPGA中进行测试，记录实验现象。

**三、实验内容**

**1．实验任务一、同步二进制计数器**

1. 实验步骤

i、打开DICE-SEM型数字模拟综合实验箱，检查连线，开关和芯片是否功能正常。

ii、按照逻辑电路图连接线路。CLK输入连续1HZ脉冲，将高位输出端接在数码管的插孔2里，低位输出接在数码管的插孔1里。

iii、异步置0后，将R、S开关拨至1，观察数码管的数字变化并记录。

1. 实验现象

数码管中的数字从0开始，由0变为1，接着由1变为2、再由2变成3，最后3变成0。之后重复以上变化。

1. 数据记录、分析与处理

|  |  |
| --- | --- |
| 现态 | 次态 |
| 0 | 1 |
| 1 | 2 |
| 2 | 3 |
| 3 | 0 |

图表 9 同步二位二进制加法器数据记录

数码管数字变化和计数器原理一致。

1. 实验结论

同步二位二进制加法器设计完成，并且完成了在数字综合模拟箱中的验证。

**2．实验任务二、设计单向移位寄存器**

1. 实验步骤

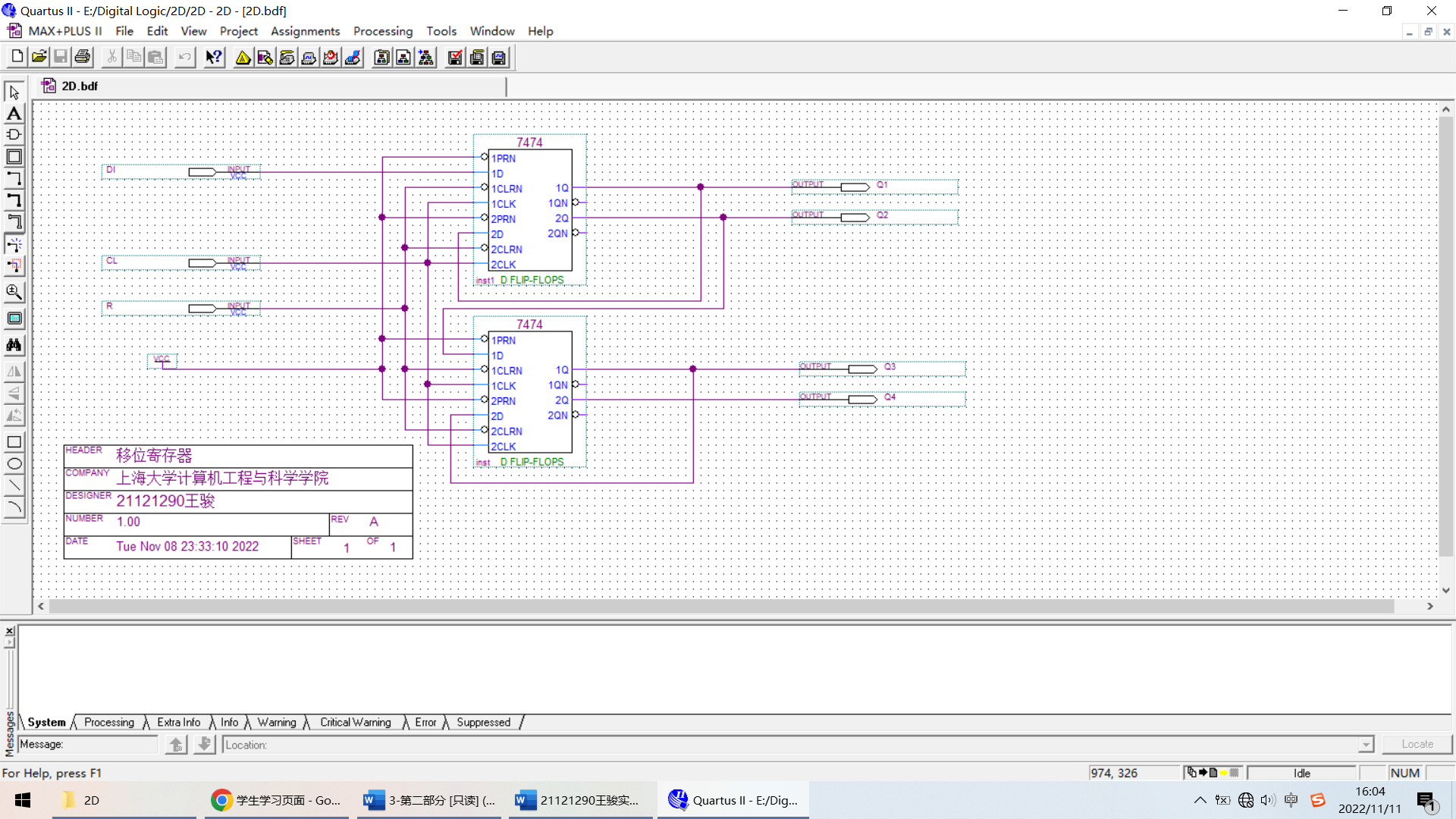
i、根据实验原理设计逻辑电路图。

ii、在Quartus II中新建工程文件，完成逻辑电路图的连接。

iii、进行编译，检测连接是否有误。

iv、若编译无误，则进行波形仿真模拟。

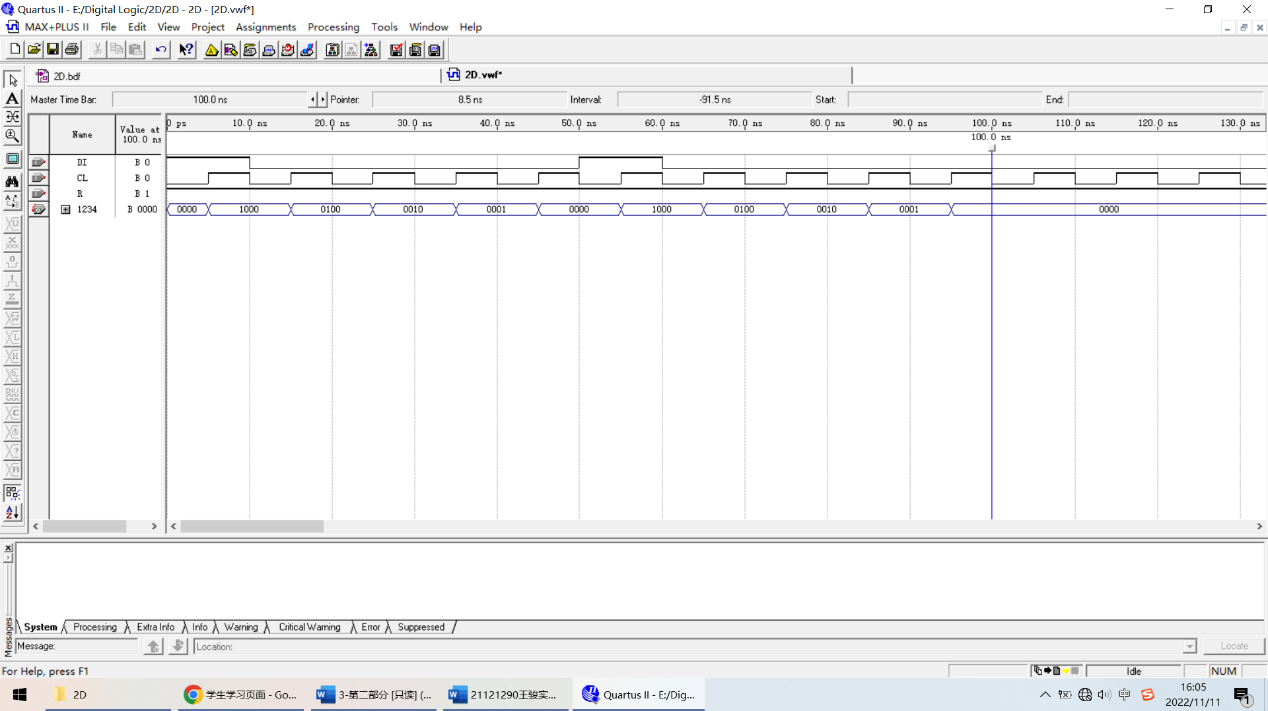
v、记录波形图。



图表 10 移位寄存器（右）

1. 实验现象

在波形仿真模拟步骤中，记录波形仿真模拟图如下：



图表 11 移位寄存器波形仿真模拟

1. 数据记录、分析与处理

对波形图进行分析和处理。当DI输入1时，D1输出为1.下一个上升沿脉冲来到后，D1=0，D2=1，D3=0，D4=0；之后每有一个上升沿脉冲，输出变化一次，且1向右移动移位。直到D1、D2、D3、D4均为0.这与移位寄存器的原理相符合。

1. 实验结论

使用双D触发器7474搭建移位寄存器的设计完成。并且通过模拟出的波形完成了验证。

**3．实验任务三、用移位寄存器设计环形计数器**

1. 实验步骤

i、根据实验原理设计逻辑电路图。

ii、在Quartus II中新建工程文件，完成逻辑电路图的连接。

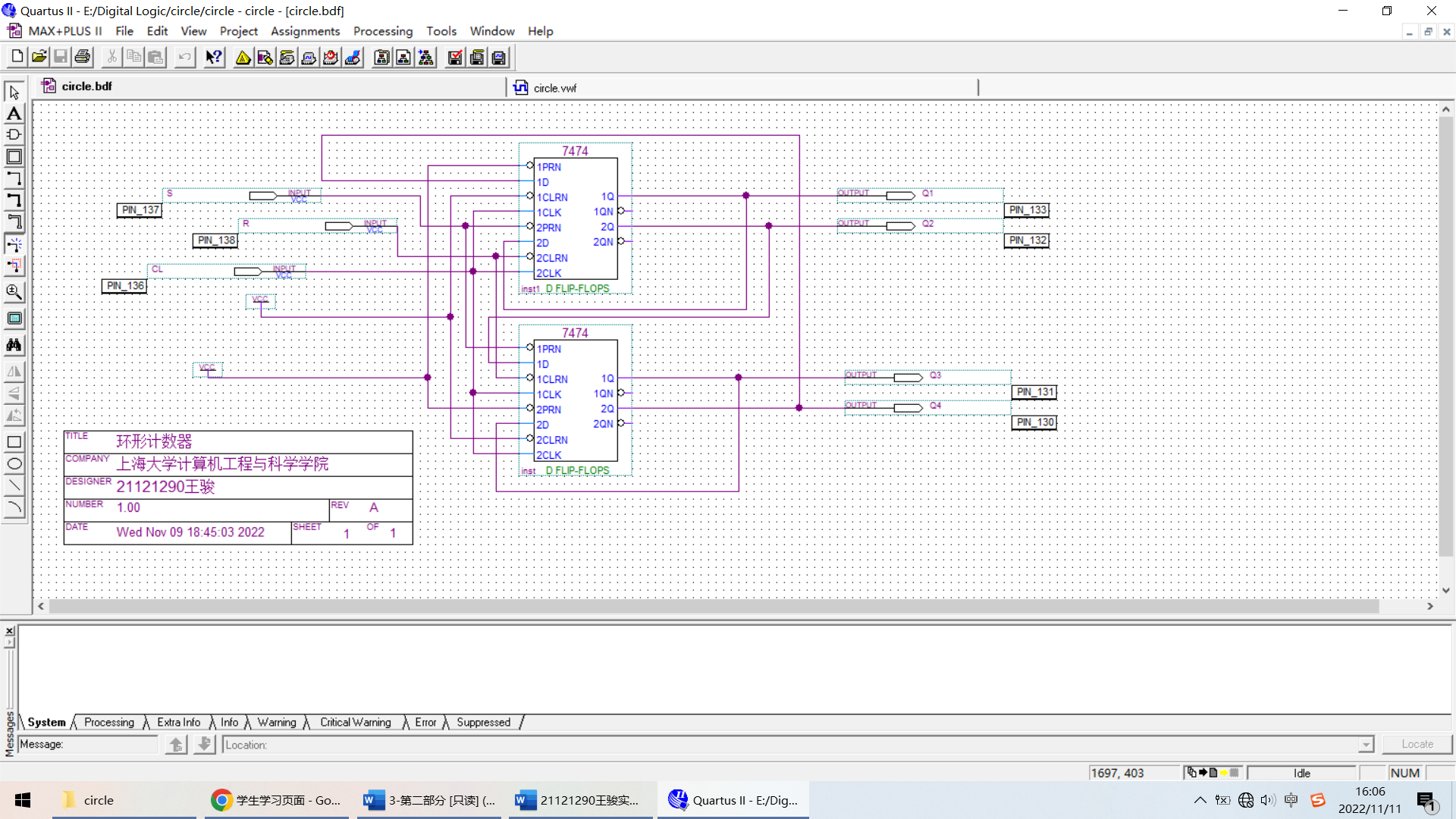
iii、进行编译，检测连接是否有误。

iv、若编译无误，则进行波形仿真模拟，并且记录波形图。

v、定义引脚。

vi、将电路文件下载到FPGA中。

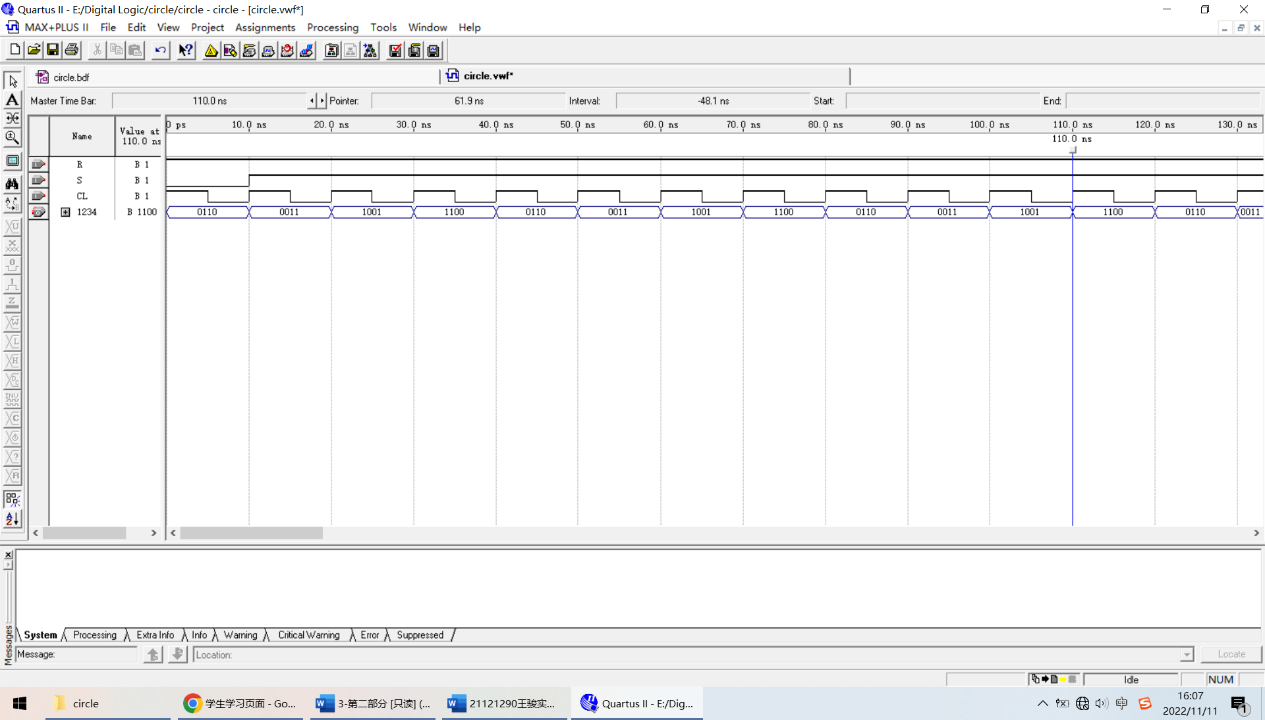
vii、初态设置为0110，进行验证并记录实验现象。



图表 12 环形计数器逻辑电路图

1. 实验现象

仿真波形图如下：



图表 13 环形计数器波形仿真

首先对电路进行异步置0.此时数码管显示为“0000”；

将R置为1，将S置为0，数码管出现“0110”后将S电平开关迅速拨到1.此时发现数码管数字变化为“0110”、“0011”、“1001”、“1100”、“0110”…的循环。

1. 数据记录、分析与处理

|  |  |
| --- | --- |
| 现态 | 次态 |
| 0110 | 0011 |
| 0011 | 1001 |
| 1001 | 1100 |
| 1100 | 0110 |

图表 14 环形计数器实验数据记录

1. 实验结论

完成了利用7474双D触发器构造环形计数器的设计。并且通过波形仿真和下载到数字模拟综合实验箱完成了电路的验证。

**四、建议和体会**

**五、思考题**

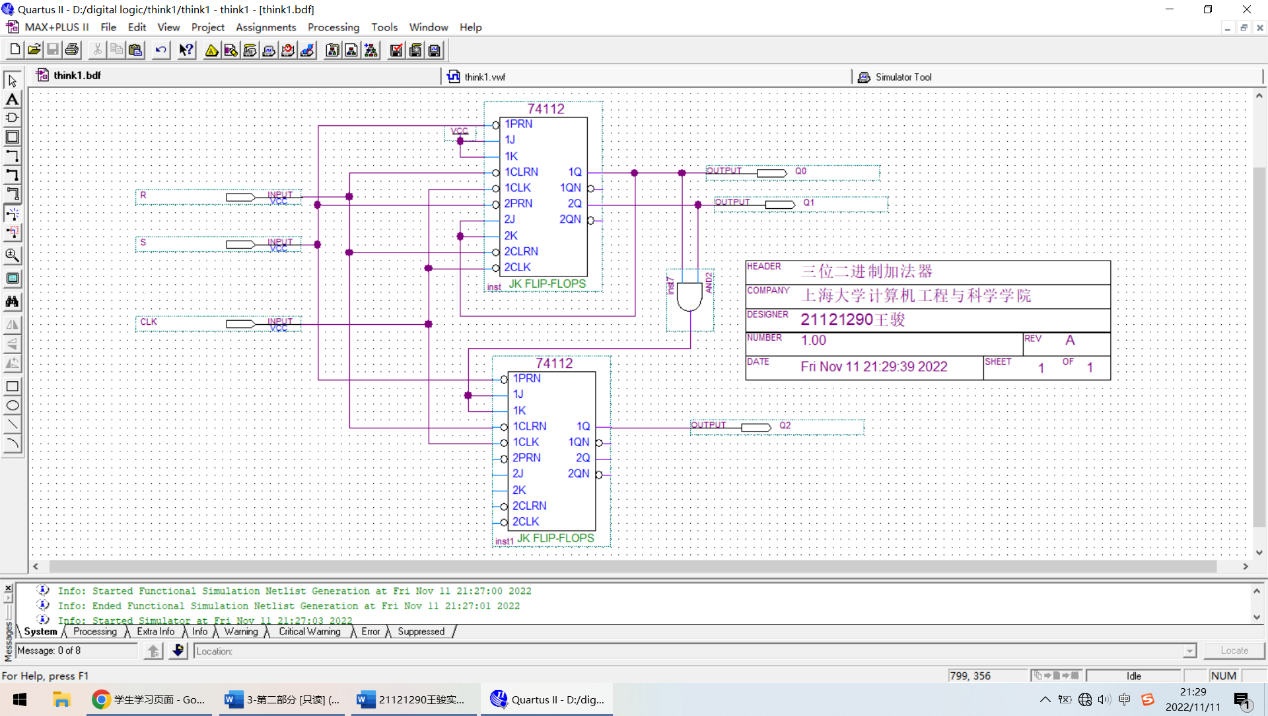
1、如果构成3位同步二进制加（减）法器该如何设计

i、设计3位二进制加法器，应该有三位输出，因此需要三个JK触发器作为输出。设计逻辑电路图如下

J0=K0=1

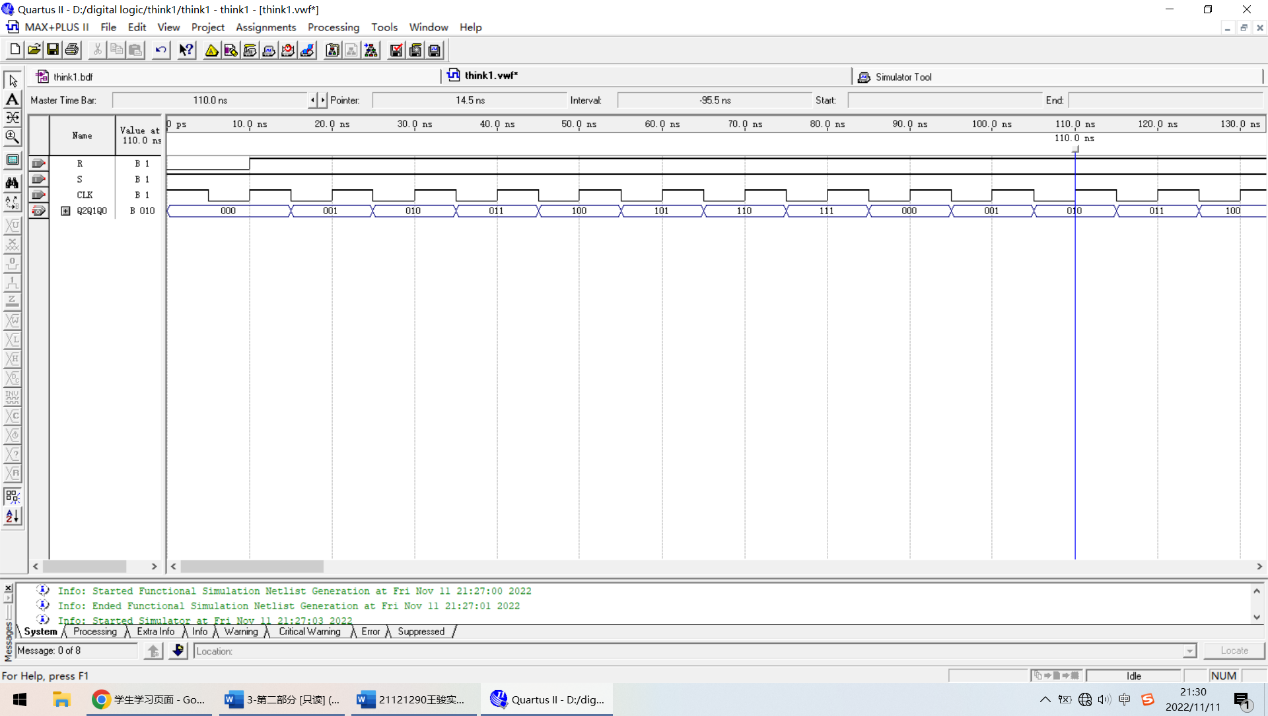
J1=K1=Q0；

J2=K2=Q0Q1；



图表 15三位二进制加法器

仿真波形图如下：



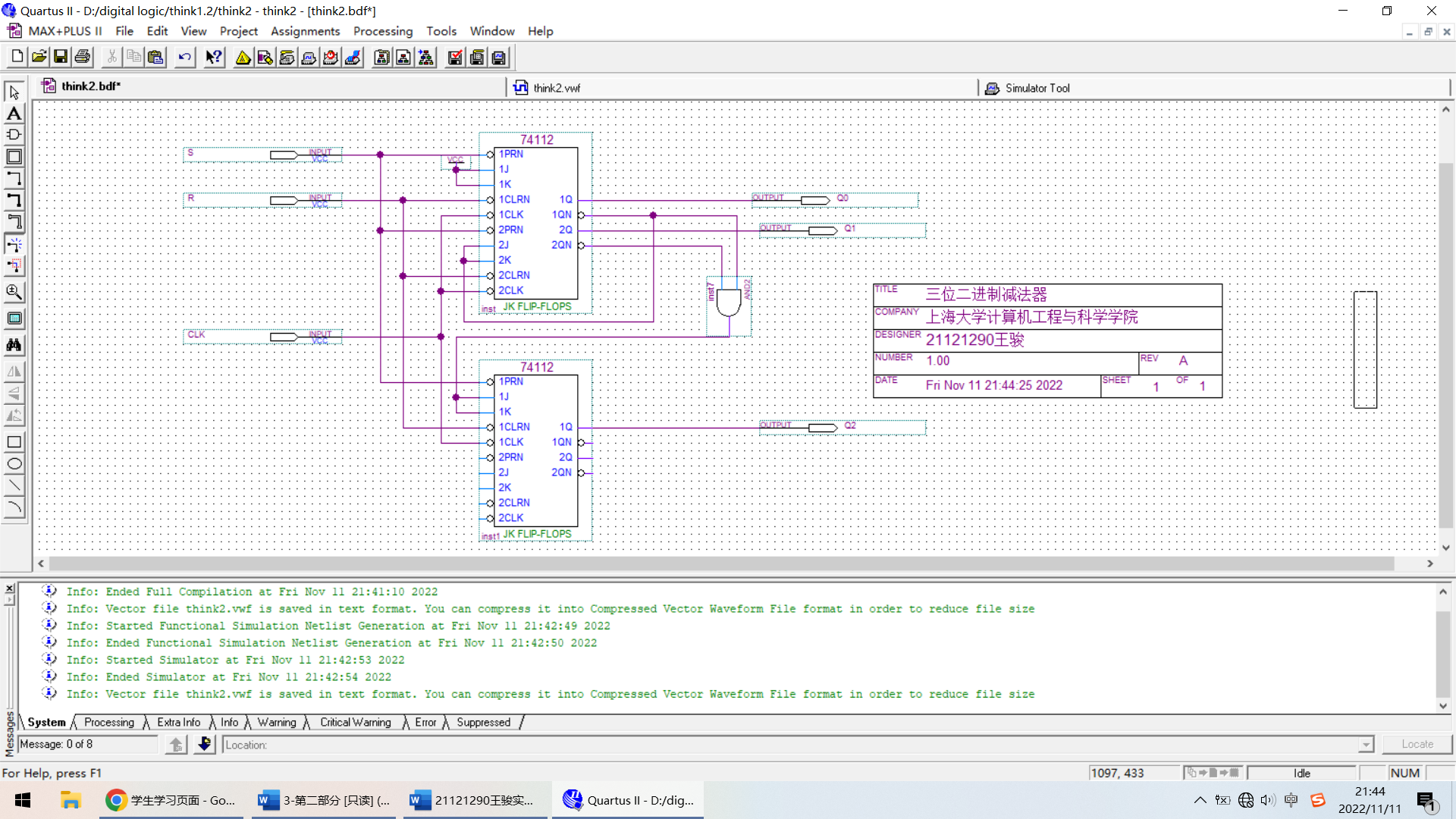
图表 16三位二进制加法器波形仿真

ii、设计3位减法计数器，应该有三位输出，因此需要三个JK触发器作为输出。设计逻辑电路图如下

J0=K0=1；

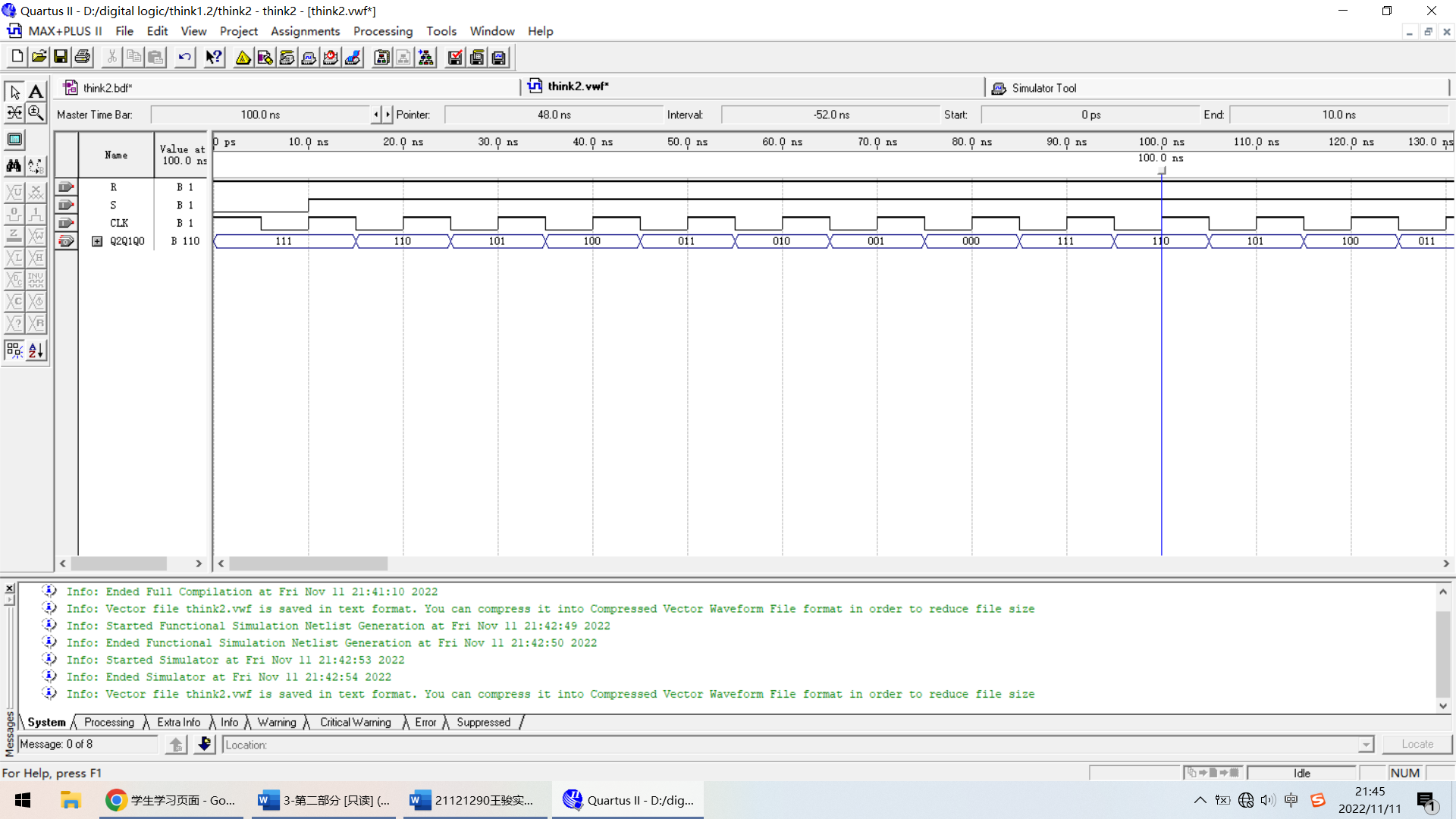
J1=K1=

J2=K2=



图表 17 三位二进制减法器

仿真波形图如下：



图表 18 三位二进制减法器波形仿真

2、如何用74LS74设计双向移位寄存器

观察左移寄存器，它的原理是将Q1的值输出到Q4、Q4的值输出到Q3、Q3

的值输出到Q2、Q2的值输出到Q1。而左移寄存器恰好相反，它的值传递顺序是“Q1->Q2->Q3->Q4->Q1”。

因此需要设计一种电路，选择寄存器功能位左移时，按照“Q1->Q4->Q3->Q2->Q1”的顺序传递；选择右移功能时，按照“Q1->Q2->Q3->Q4->Q1”的顺序传递。

这时以D2来举例：

设置一个开关D，当D为0时，寄存器处于右移状态，2D=Q1；D为1时，寄存器处于左移状态，2D=Q3。

写出D2的真值表；

|  |  |  |  |
| --- | --- | --- | --- |
| D | Q1 | Q3 | 2D |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

图表 19 双向移位寄存器中2D的真值表

对2D作出卡诺图，写出2D的逻辑表达式：

D

0 1

Q1 Q3

1. 0
2. 1
3. 1
4. 0

00

01

11

10

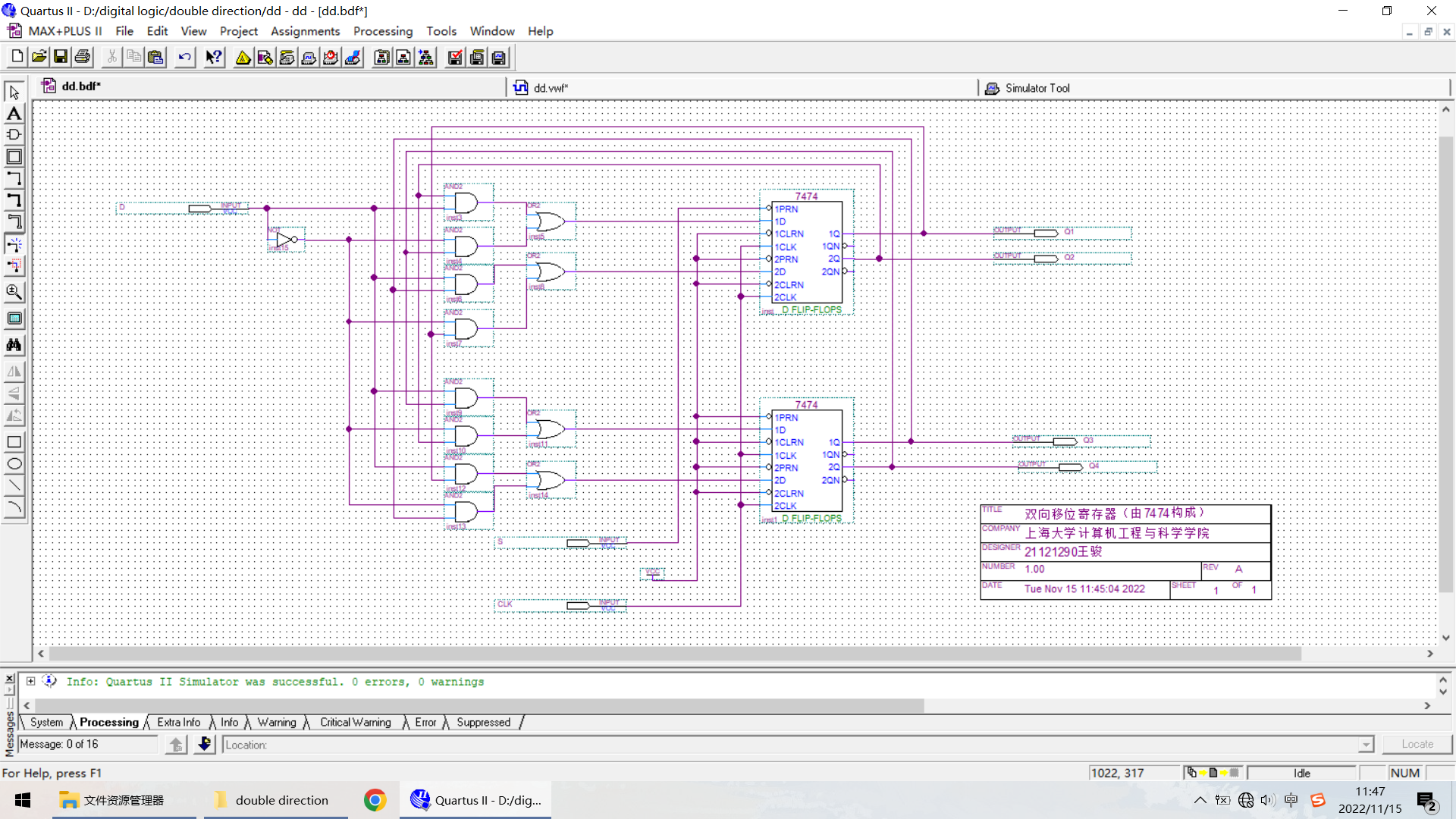
2D=

同理可得出1D、3D、4D的表达式。

1D=

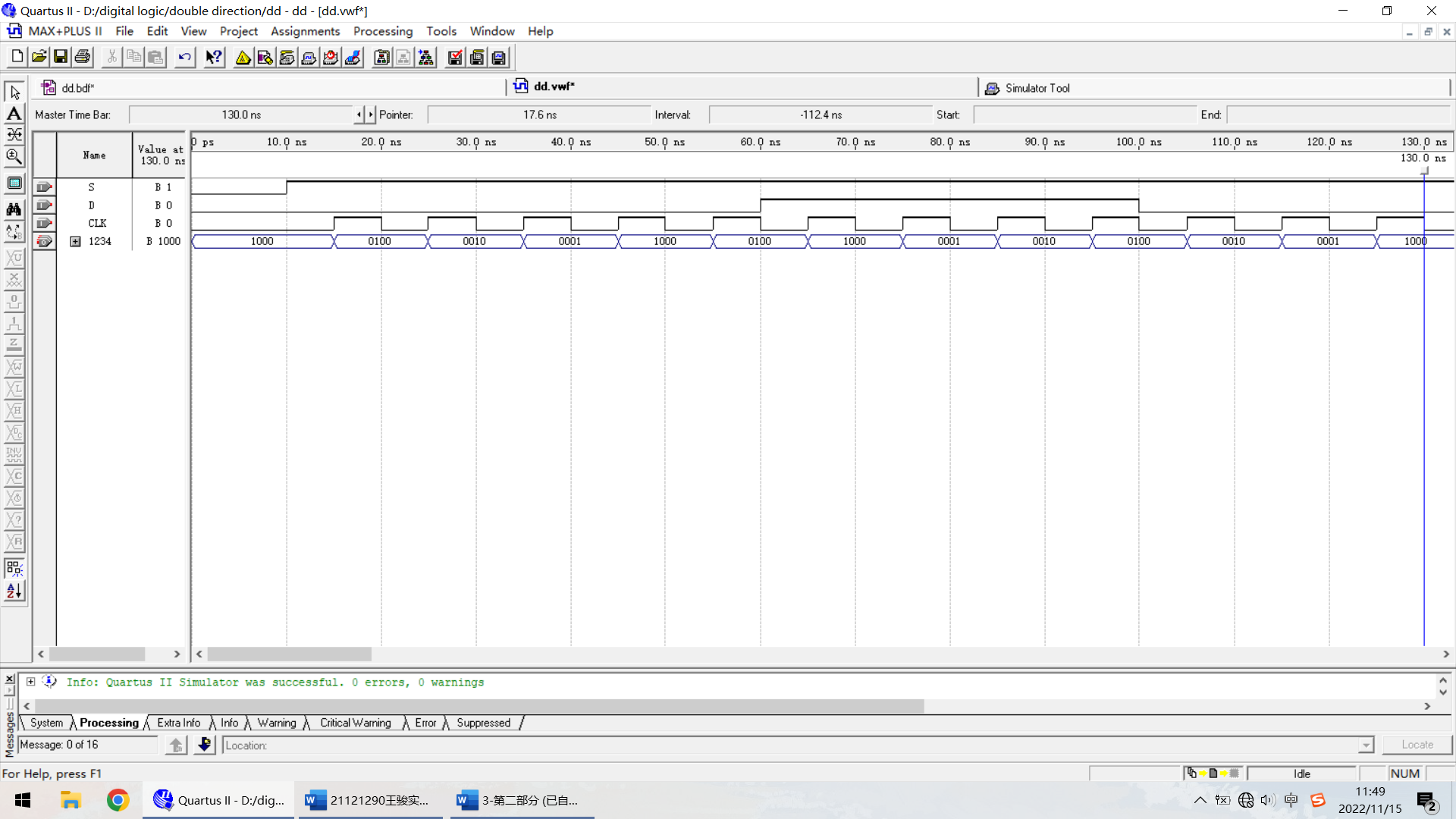
3D=

4D=



图表 20 7474构造双向移位寄存器

波形仿真如下：



图表 21 双向移位寄存器波形仿真