**上海大学 计算机学院**

**《数字逻辑实验》报告四**

**姓名 王骏 学号 21121290**

**时间 三9-11 机位 7 指导教师 顾惠昌**

**实验名称: 组合电路（三）**

**一、实验目的**

1、熟悉数据选择器和译码器及它们的构成方法。

2、掌握通过逻辑门实现不同的逻辑组合逻辑电路的基本原理。

3、掌握可编程逻辑器件的开发工具Quartus II设计电路的方法。

**二、实验原理**

实验仪器以及材料：

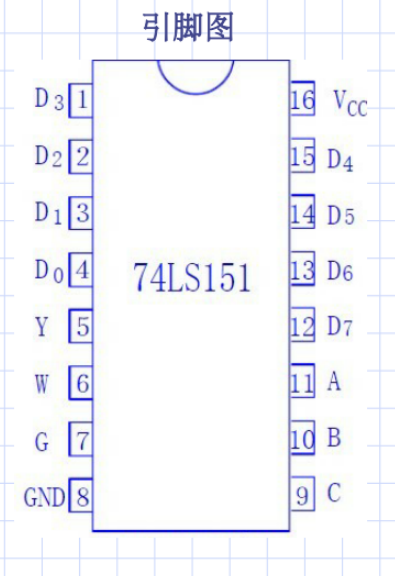
* + 1. DICE-SEM型数字模拟综合实验箱 1台
    2. PC机 1台

（安装Quartus II软件，USB口下载电缆等）

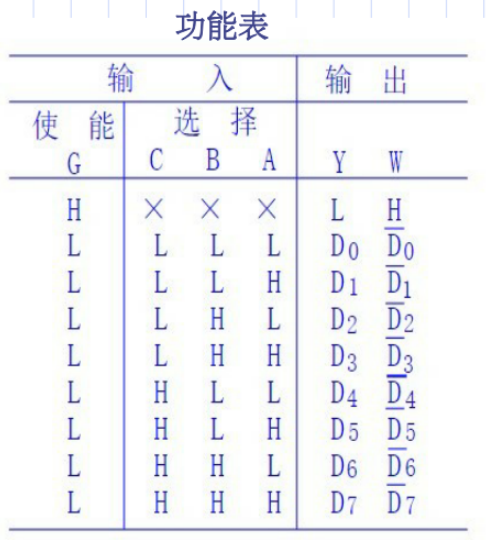
* + 1. 器件
    - 74LSl38 3—8线译码器 l片
    - 74LS151 8选1数据选择器 1片

1、多路选择器又称为数据选择器或者多路开关，它是一种多路输入单路输出的组合逻辑电路，其逻辑功能是从多个输入中选出一个，并且将它的信息传送到输出。输出对输入的选择受到选择控制变量的控制。对于一个有个输入和一个输出的多路选择器，在n个选择控制信号下，把其中的一个信号传送到输出端。

多路选择器是数字系统中常用的中规模集成电路，通常有4路选择器，8路选择器和16路选择器。本次实验我们选择8路选择器74LS151完成对函数的模拟。



图表 1 74LS151引脚图



图表 2 74LS151功能表

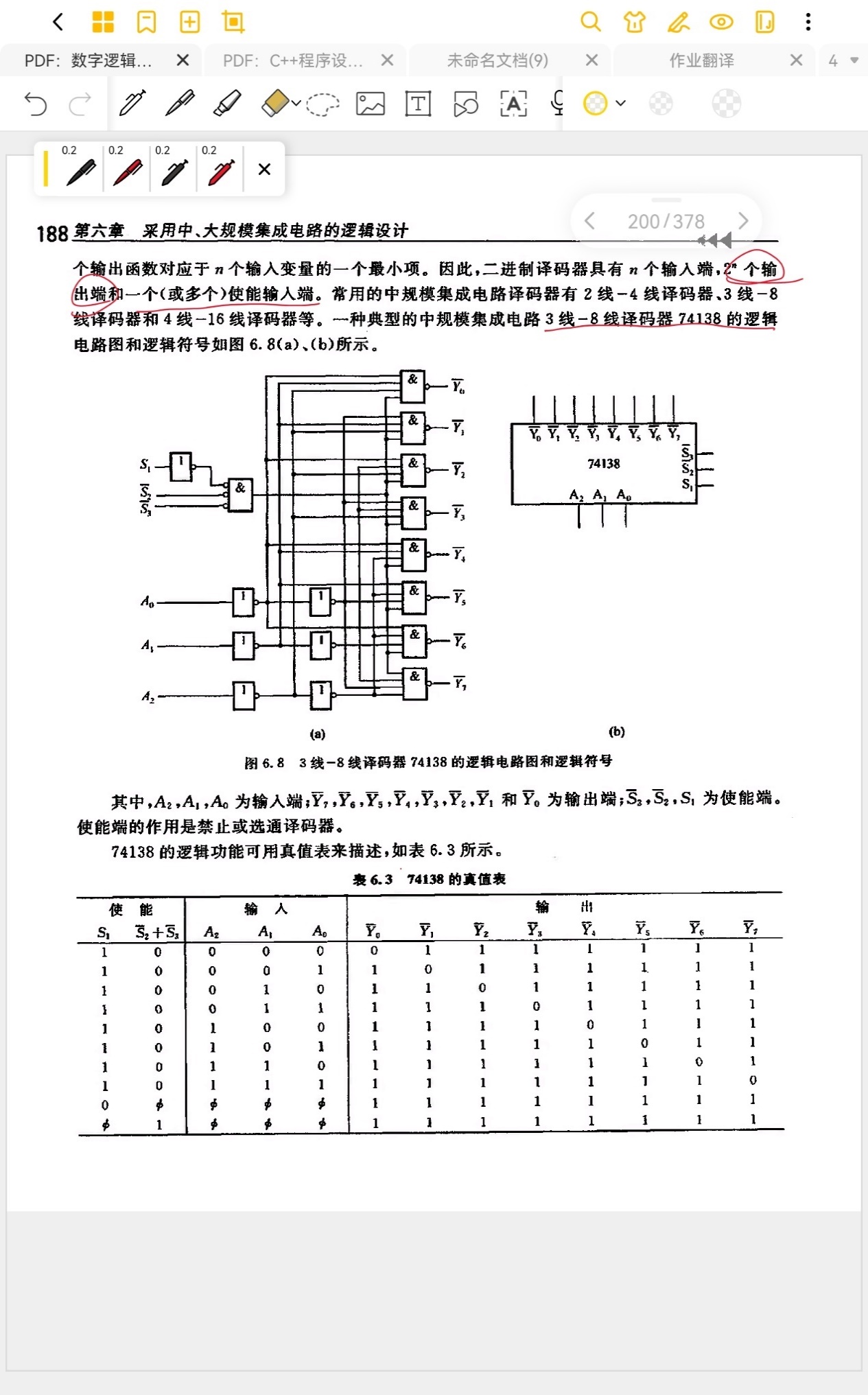
当使能端G=H（即为1）时，多路开关被禁止工作，此时，不管A、B、C的状态如何，Y、W的输出均无效，Y始终为L，W始终为H；当G=L（即为0）时，74LS151开始工作，多路开关会根据地址码ABC来选择而D0~D7中的一个端的数据传输到Y作为输出。例如CBA=0 0 0时，将D0的值输送到Y，CBA=010时，将D2的数据输送到Y，以此类推。

使用74LS151模拟三变量函数时，只需要把三个输入端与CBA相连接，再按照逻辑函数的真值表将各函数值储存在D0~D7中。这样，当CBA输入时，Y端就会输出对应的值。

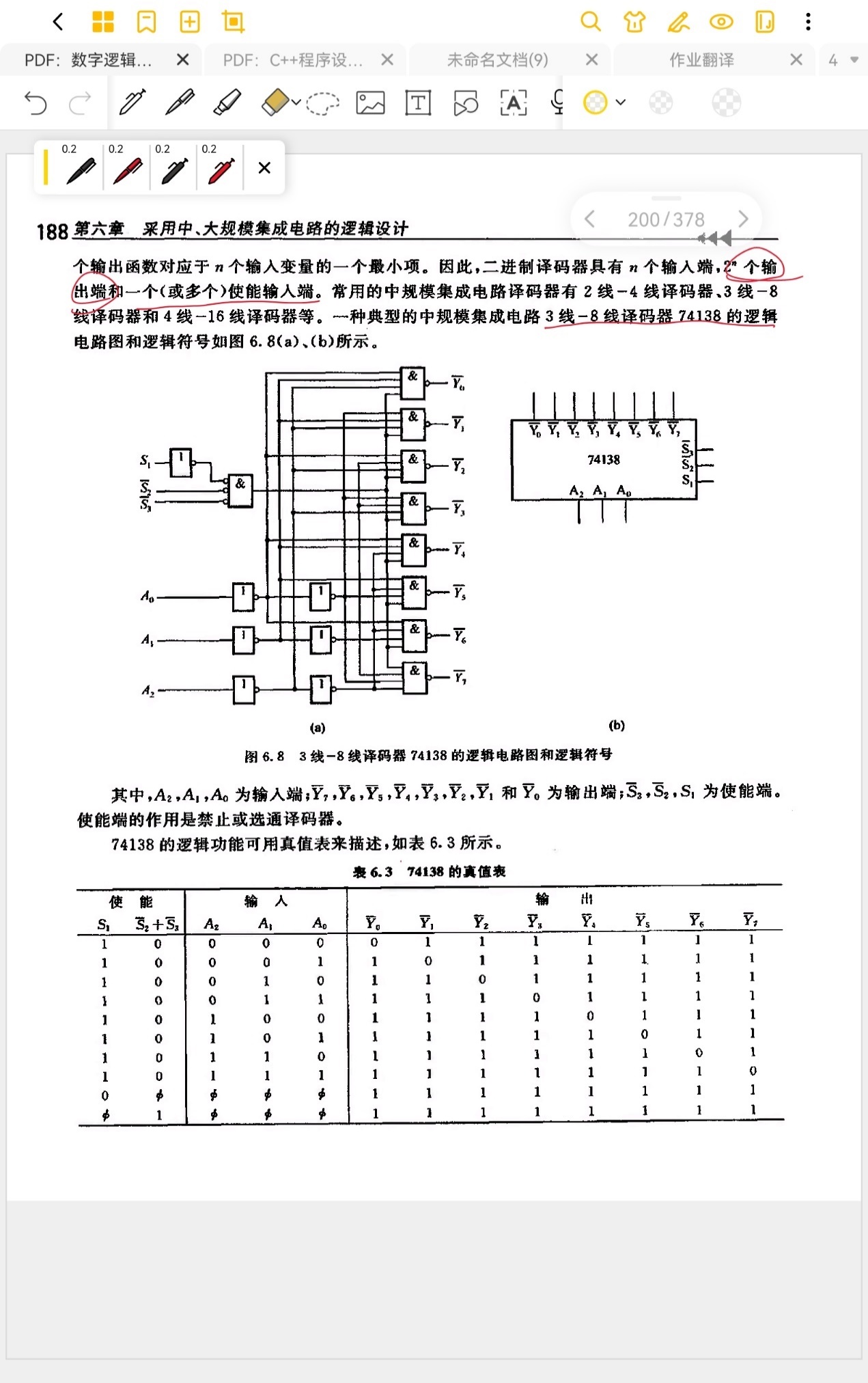
|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 1（D0） |
| 0 | 0 | 1 | 0（D1） |
| 0 | 1 | 0 | 1（D2） |
| 0 | 1 | 1 | 1（D3） |
| 1 | 0 | 0 | 1（D4） |
| 1 | 0 | 1 | 0（D5） |
| 1 | 1 | 0 | 1（D6） |
| 1 | 1 | 1 | 1（D7） |

图表 3 函数Y1的真值表

2、数字系统中，信息是以二进制代码形式表示的，一个n位二进制代码可以有种不同的组合。译码器是以一种多输出组合逻辑部件，它能将n个输入变量变换成个输出函数，并且每个输出函数对应n个输入变量的一个最小项，因此二进制译码器具有n个输入端和个输出端和一个（或者多个）使能端。一种典型的中规模集成电路3线-8线译码器74138的逻辑电路图和逻辑符号如下图所示。



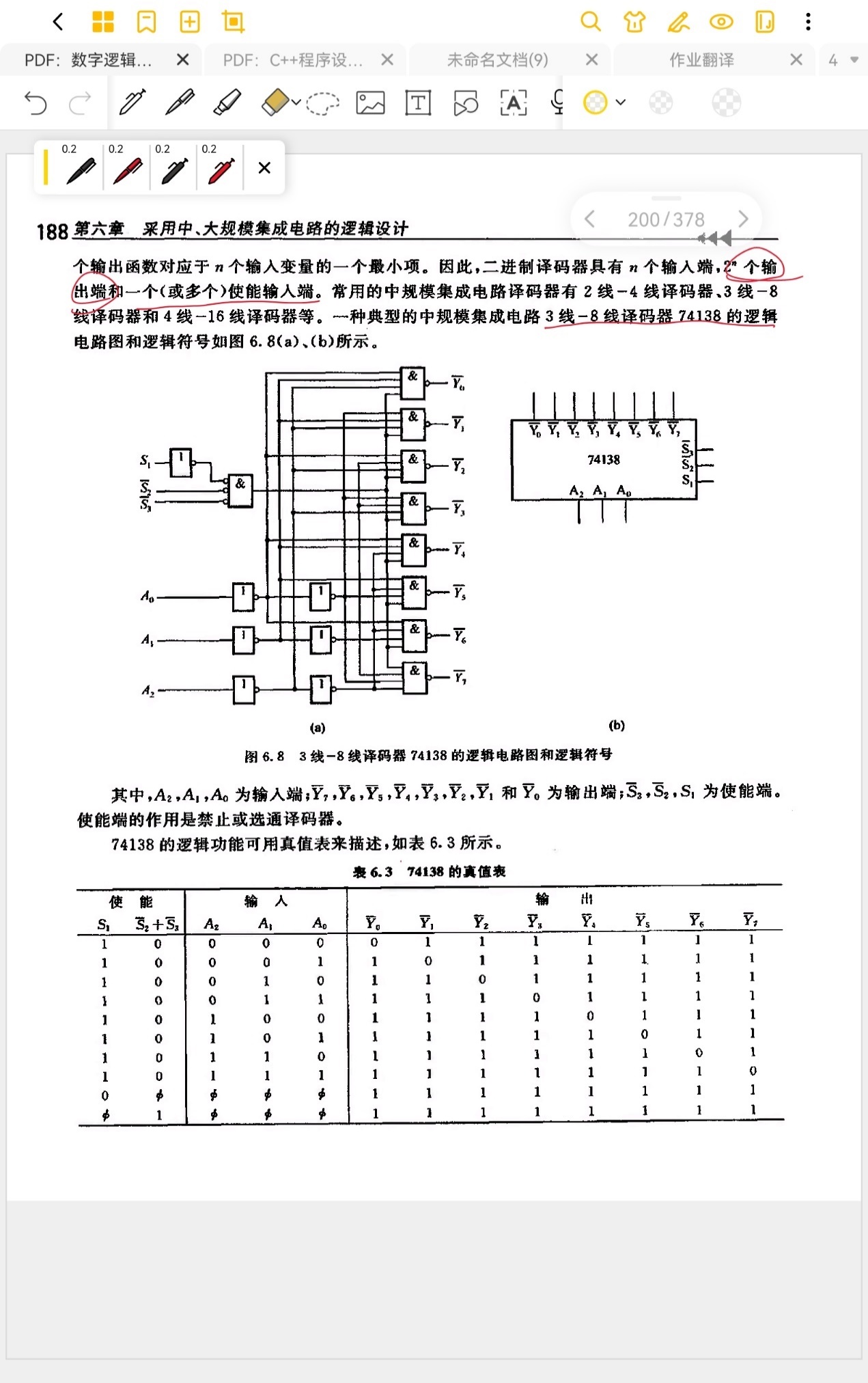
图表 4 74138逻辑图



图表 5 74138逻辑符号

其中，A2，A1，A0是输入端，~是输出端，是使能端，可以禁用和选同译码器。

74138的逻辑功能可以用真值表来表示：



图表 6 74138真值表

当使能变量为1，为0时，无论译码器是哪一种组合，输出端必定是一个为0，其余为1。当使能端=0，或者不为0时，禁用该译码器。

译码器的应用十分广泛，除了译码以外，还可以用来实现逻辑函数。本次实验就用译码器74138来实现逻辑函数Y=。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

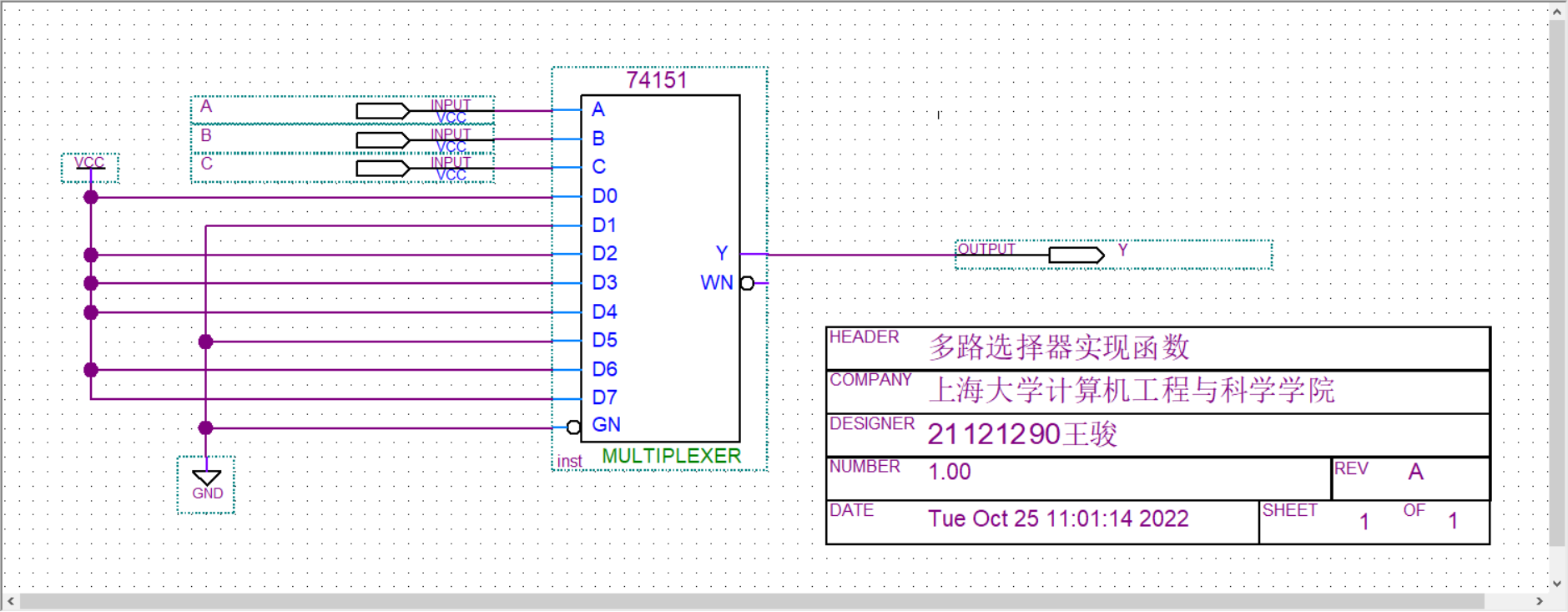
图表 7 函数2的真值表

**三、实验内容，**

**1．实验任务一、用多路选择器实现逻辑函数**

1. 实验步骤

i、在Quartus II中新建工程文件，在Max Plus II中点击Graphic Editor，然后根据实验原理的推导公式选取逻辑元件并连线，完成逻辑电路图的设计。

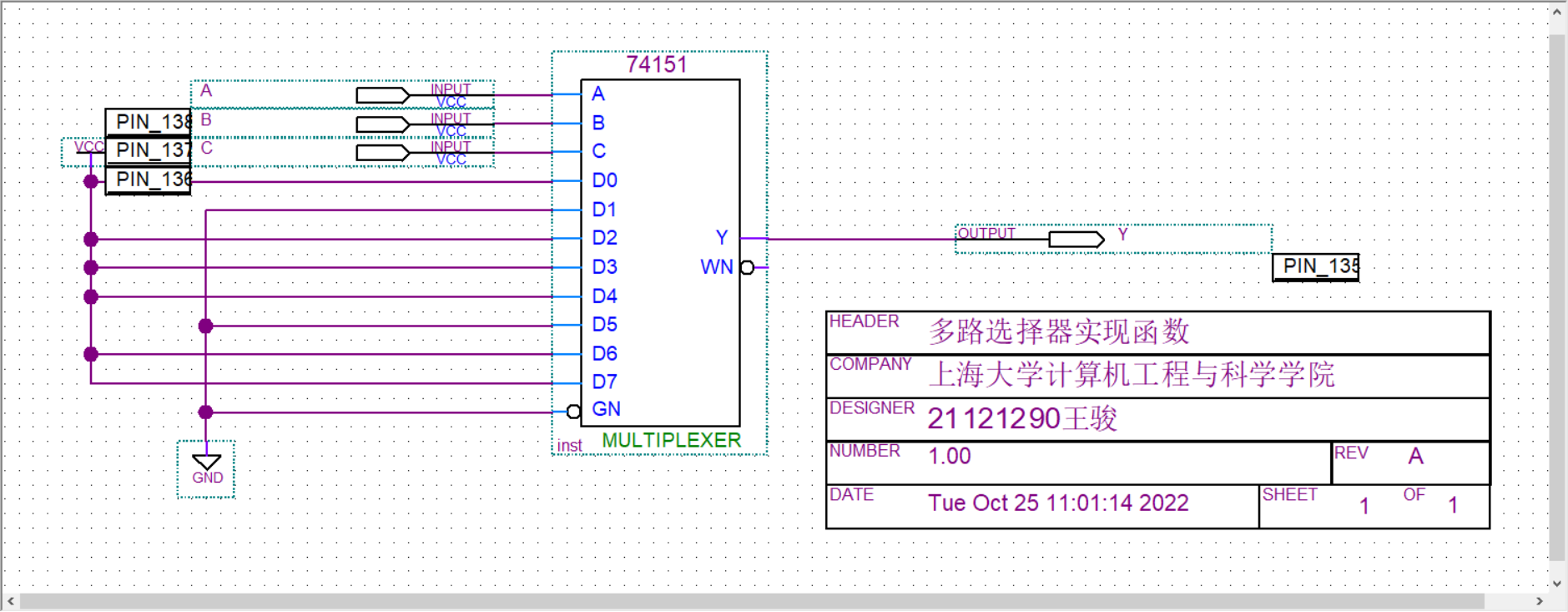


图表 8 多路选择器实现函数

ii、保存文件，进行编译，检查电路图连接是否有误。

iii、进行波形仿真，并且记录波形仿真模拟结果。

iv、定义FPGA的IO引脚功能，将138号引脚定义为A,137号定义为B，136号定义为C，135号定义为Y。

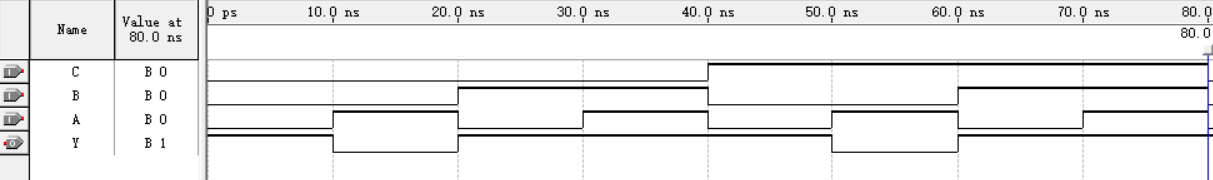


图表 9 引脚图

v、将设计好的文件下载到FPGA中，按照定义好的IO引脚连接线路。

vi、拨动电平开关，观察数码管数字是否与函数真值表一致。

1. 实验现象



图表 10 波形图

拨动电平开关时，当输入为0 0 1和 1 0 1时，数码管显示为0；其他输入时数码管显示均为1。

1. 数据记录、分析与处理

拨动开关时数码管的示数记录如下表所示

|  |  |  |  |
| --- | --- | --- | --- |
| C | B | A | Y |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

通过比对得知，数码管示数和波形图相符合。说明电路图的设计正确。

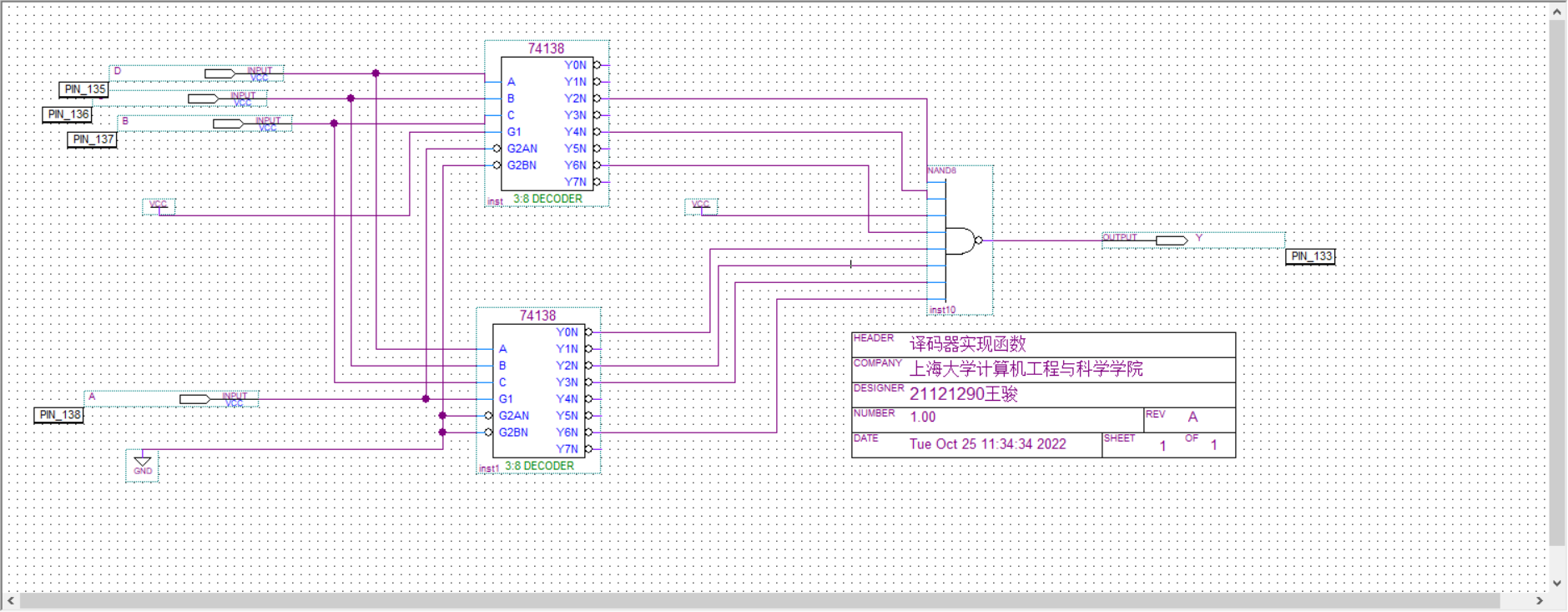
1. 实验结论

完成了将通过74LS151实现逻辑函数的逻辑电路的设计，并且完成了设计的逻辑电路图的验证。

**2．实验任务二、用译码器实现逻辑函数**

1. 实验步骤

i、在Quartus II中新建工程文件，在Max Plus II中点击Graphic Editor，然后根据实验原理的推导公式选取逻辑元件并连线，完成逻辑电路图的设计。



ii、保存文件，进行编译，检查电路图连接是否有误。

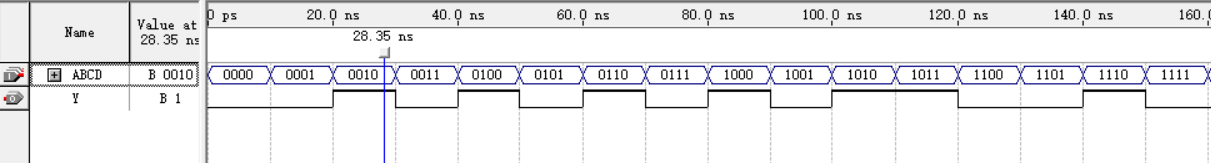
iii、进行波形仿真，并且记录波形仿真模拟结果。

iv、定义FPGA的IO引脚功能。138号引脚定义为A，137号引脚定义为B，136号引脚定义为C，135号引脚定义为D，133号引脚定义为Y。

v、将设计好的文件下载到FPGA中，按照定义好的IO引脚和芯片引脚锁孔的对应图连接线路。

vi、拨动电平开关测试，将数码管示数和真值表比对。

1. 实验现象



当电平开关输入0 0 1 0、0 1 0 0、 0 1 1 0、 1 0 0 0、1 0 1 0、1 0 1 1、1 1 1 0时数码管显示为1，其他情况均显示为0。

1. 数据记录、分析与处理

拨动电平开关时数码管的示数记录如下表所示

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

通过对比，数码管示数和波形图相符合。说明电路图的设计正确。

1. 实验结论

完成了将通过74LS138实现逻辑函数

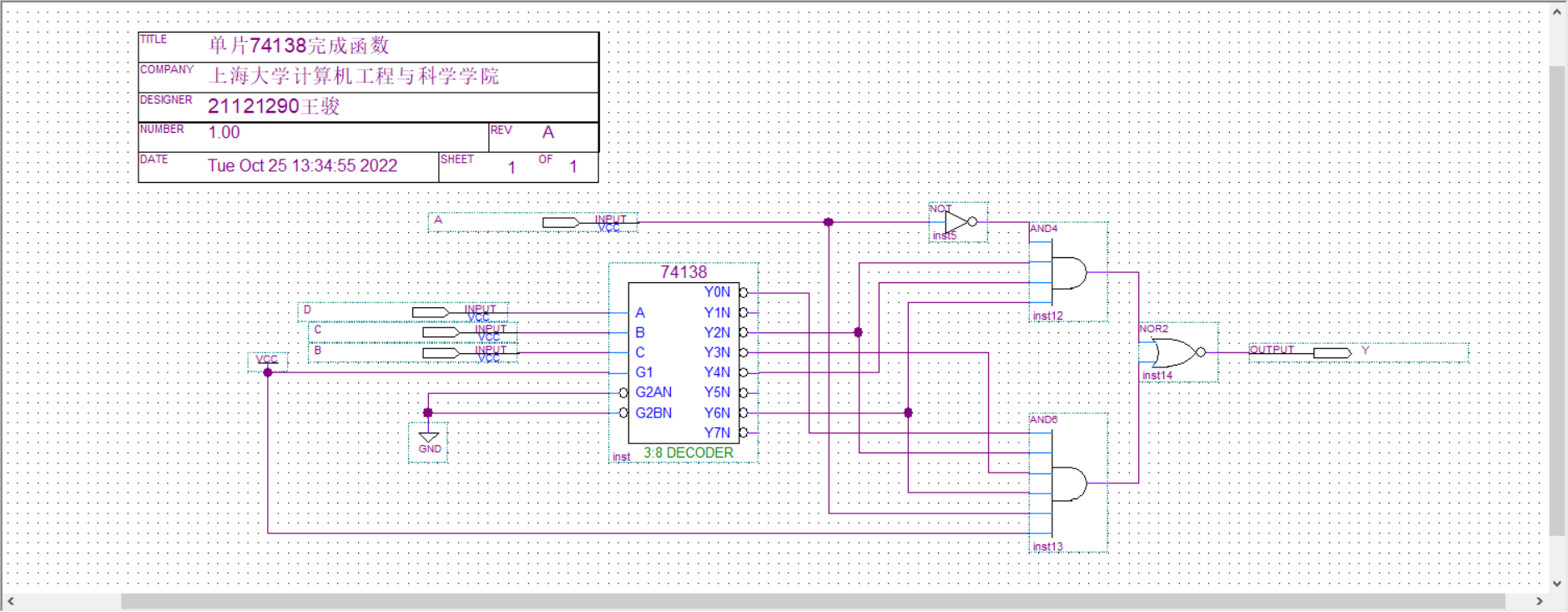
的逻辑电路的设计，并且完成了设计的逻辑电路图的验证。

**四、建议和体会**

**五、思考题**

在任务二中也才可以采用其他方法来实现函数，实验中我采用的是两块74LS138来实现，将3线-8线译码器扩展成4线-16线译码器。该实验也可以只用一块74LS138完成。

逻辑电路图如下：



波形仿真图如下：

