

计算机硬件系统设计



谭志虎



华中科技大学
计算机科学与技术学院
School of Computer Science & Technology, HUST

同步时序逻辑设计

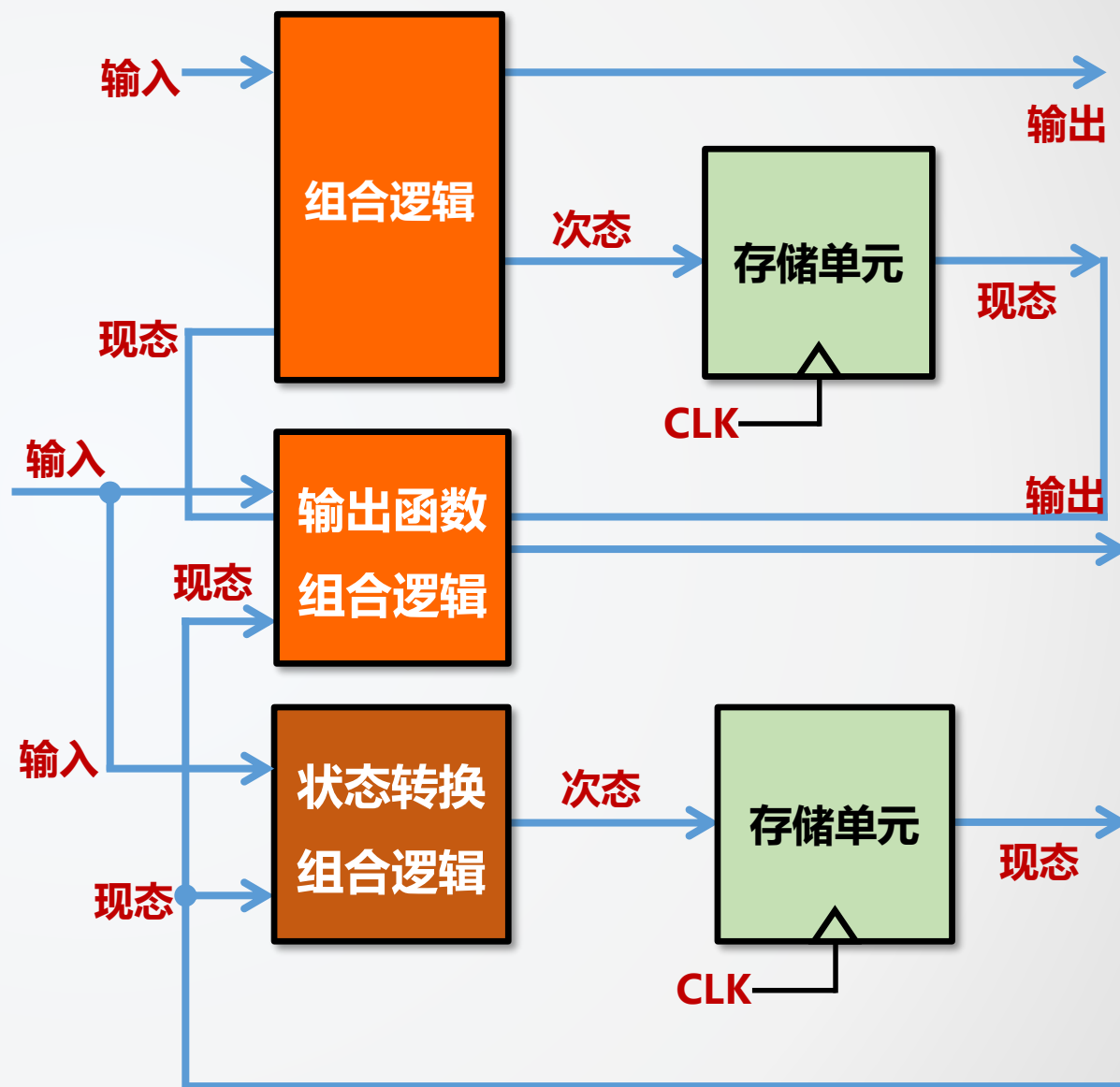
同步时序逻辑电路概述

同步时序电路特征

- 由组合逻辑和存储单元构成
- 电路存在反馈
- 公共时钟进行同步

同步时序逻辑设计流程

- 构建状态图
- 构建状态转换逻辑
- 构建输出函数逻辑
- 实现电路



输出函数组合逻辑设计

- 填写EXCEL真值表
- 根据功能需求填写输出函数真值表
- 自动生成输出函数逻辑表达式

| S3 | S2 | S1 | S0 | In1 | In2 | In3 | In4 | In5 | In6 | In7 | In8 | 最小项表达式 | Out1 | Out2 | Out3 | Out4 | Out5 |
|---|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|---|---|---|---|--|---|
| $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& In1 \& \sim In3$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& In1 \& \sim In3$ | $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& In1 \& \sim In3$ | | | | |
| $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In2$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In2$ | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In2$ |
| $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In3$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In3$ | | | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In3$ | |
| $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In7$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In7$ | | | | | |
| $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& In2 \& In8$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& In2 \& In8$ | | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& In2 \& In8$ | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& In2 \& In8$ | | |
| $\sim S3 \& \sim S2 \& S1 \& \sim S0$ | | | | | | | | | | | | $\sim S3 \& \sim S2 \& S1 \& \sim S0$ | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | |
| 逻辑表达式->>> | | | | | | | | | | | | | $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& In1 \& \sim In3$ | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In2$ | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In3$ | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& In7$ | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& In2 \& In8$ |

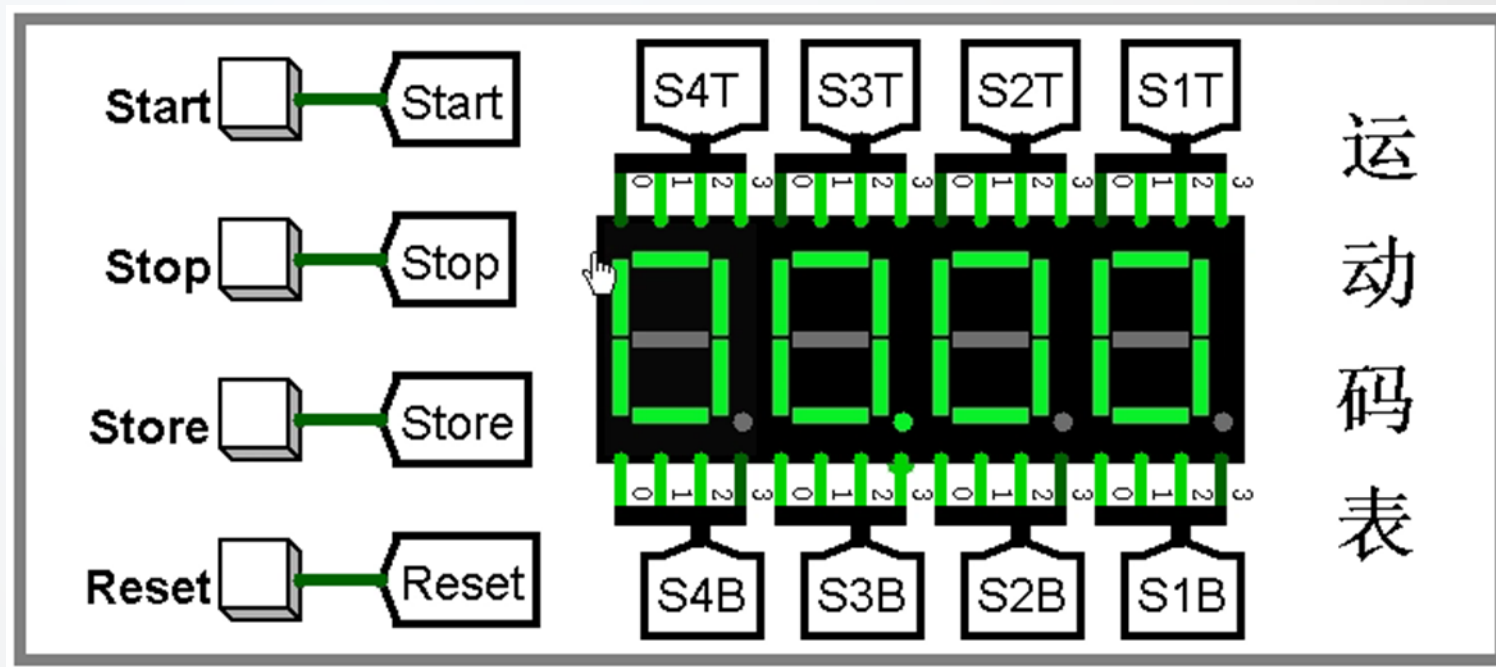
实验终极目标

■ 构建小型数字系统：运动码表

- 组合逻辑电路设计
- 同步时序电路设计
- 寄存器数据传输

- Start：计时器归零，重新开始计时
- Stop：停止计时，显示计时数据
- Store：尝试更新系统记录，并显示系统记录
- Reset：复位，计时=00.00，系统记录=99.99

4 位 计 数 模 块
记 录 存 储 模 块
数 字 系 统 总 控 模 块



同步时序逻辑设计

■ 实验目标

- 帮助学生理解同步时序逻辑设计基本流程
- 熟练利用Logisim构建数字码表中时序逻辑部分

■ 实验任务

- 构建16位寄存器（存储历史记录数据）
- 设计4位正向时间计数器
- 实现码表计数器



实验电路

Logisim: 2路选择器 (16位) of Logisim新手实验

文件 编辑 项目 模拟 窗口 帮助

Logisim新手实验*

- LED计数电路
- LED计数测试
- 5输入编码器
- 数码管驱动
- 数码管驱动测试
- 2路选择器 (1位)
- 2路选择器 (16位)**
- 2路选择器自动测试
- 4位无符号比较器
- 16位无符号比较器
- 16位无符号比较器自动测试
- 4位并行加载寄存器
- 16位并行加载寄存器
- 4位BCD计数器
- 4位BCD计数器状态转换 (自

电路: 2路选择器 (16位)

| | |
|---------|----------------|
| 电路名称 | 2路选择器 (16... |
| 共享的标签 | MUX |
| 共享的标签朝向 | 北 |
| 共享的标签字体 | Rockwell 粗体 12 |

100%

输入引脚区

输出引脚区

电路功能: $Out = (Sel == 0) ? X : Y;$

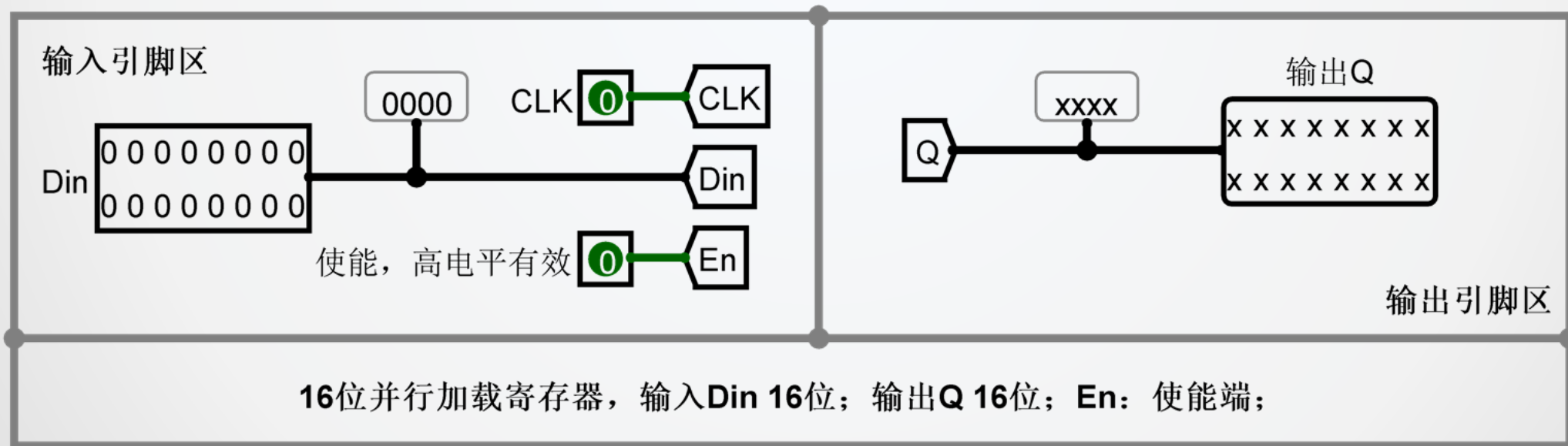
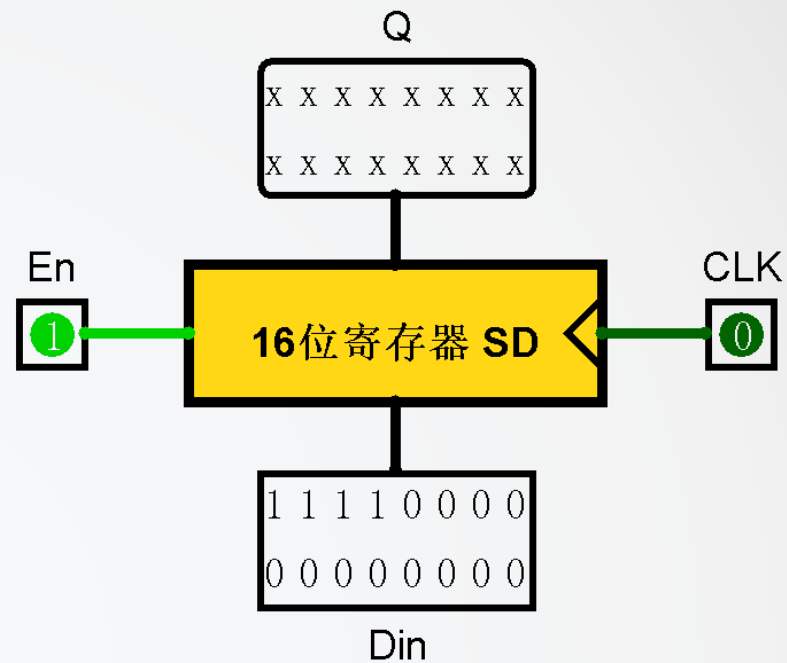
请勿增删改引脚, 请在下方利用上方输入输出引脚的隧道标签信号构建电路, ctrl+d复制选择组件

Logisim.circ

1. 16位并行加载寄存器
2. 4位并行加载寄存器
3. 4位BCD计数器
4. BCD计数器状态转换逻辑
5. 码表计数器
6. 码表计数器自动测试

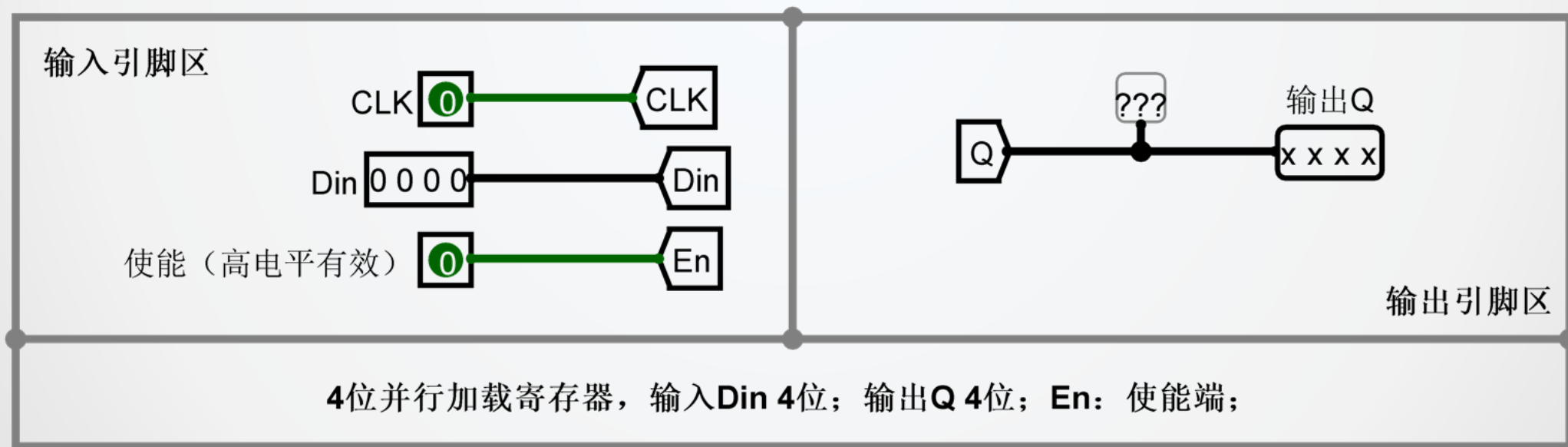
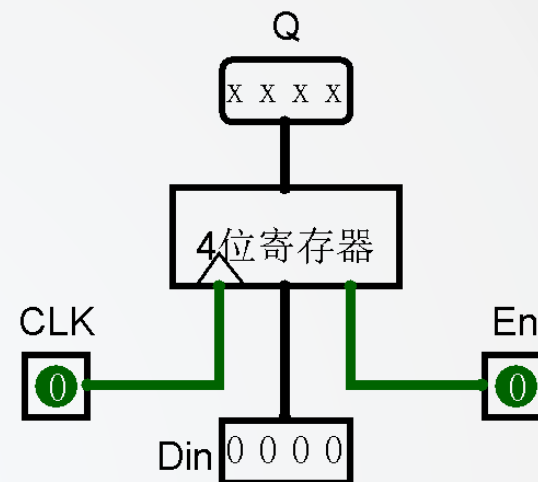
实验1：16位并行加载寄存器

- 输入：16位输入Din，使能信号En，
- 输出：16位输出Q
- 功能： $Q \leq Din$
- 约束：由4位寄存器模块构成



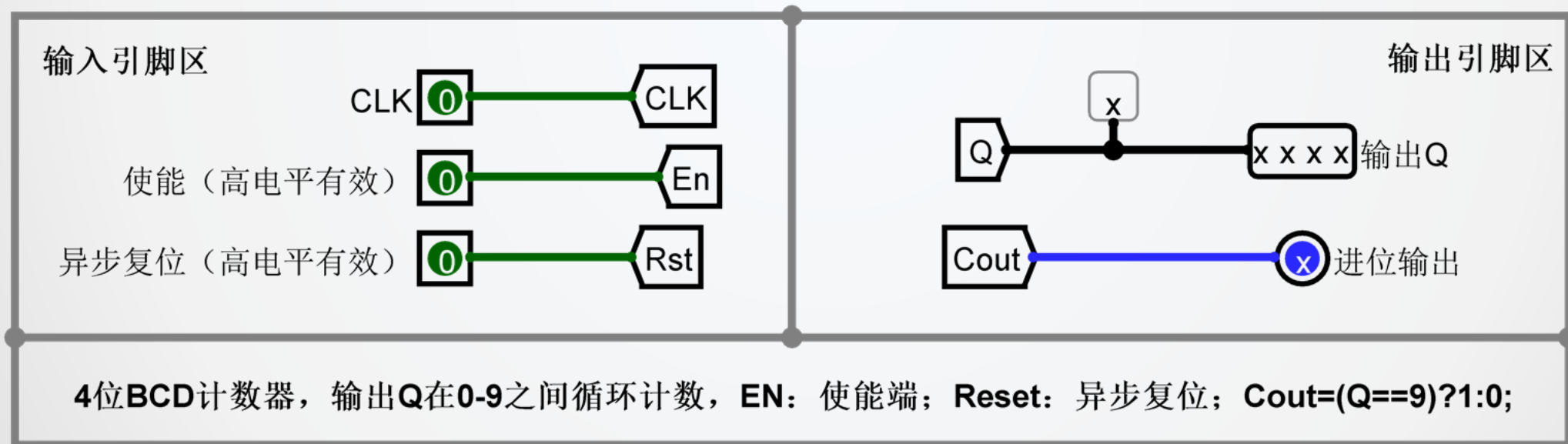
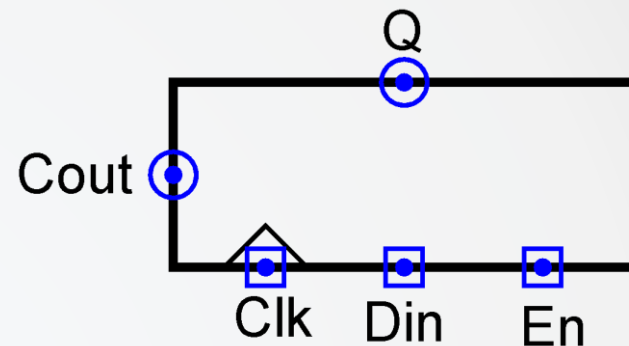
4位并行加载寄存器设计

- 输入：4位输入Din，使能信号En，
- 输出：4位输出Q
- 功能： $Q \leq Din$
- 约束：使用D触发器构成



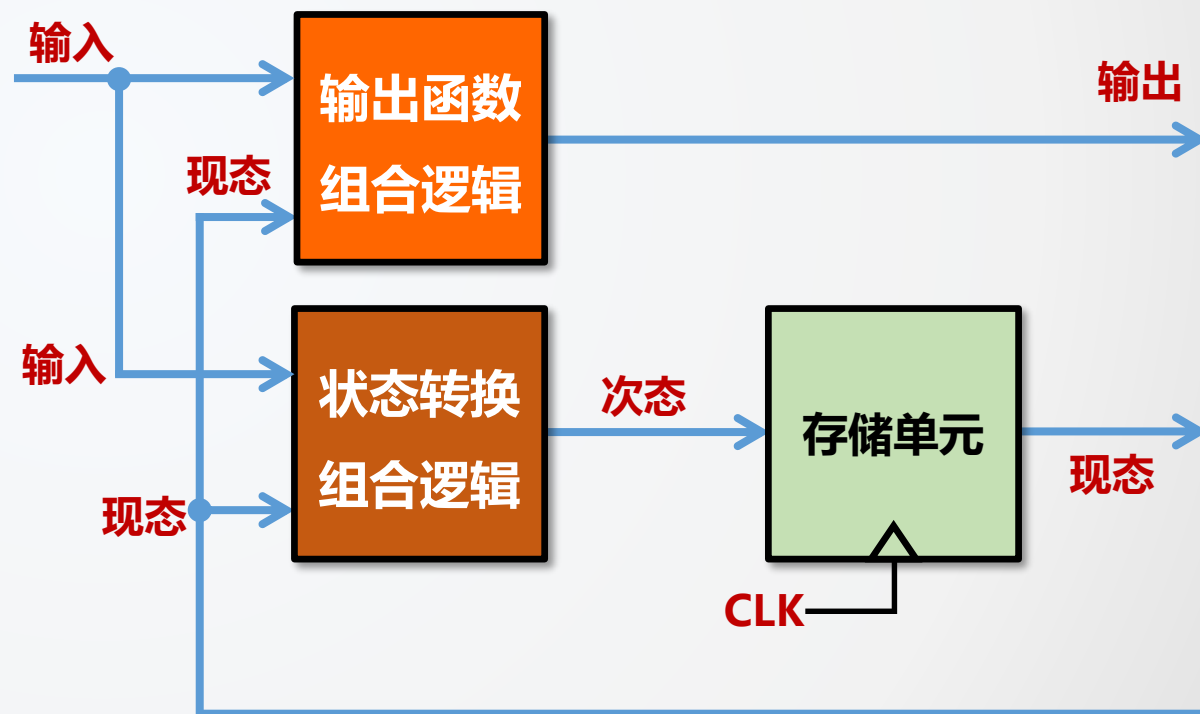
实验2：4位BCD计数器

- 输入：时钟信号，使能信号En，异步复位Rst
- 输出：4位输出Q，进位输出信号Cout
- 功能： $Q \leq (Q == 9) ? 0 : Q + 1;$
 $Cout = (Q == 9) ? 1 : 0;$



同步时序逻辑

- 4状态位，4个D触发器
- 输出就是状态位
- 重点考虑状态转换逻辑

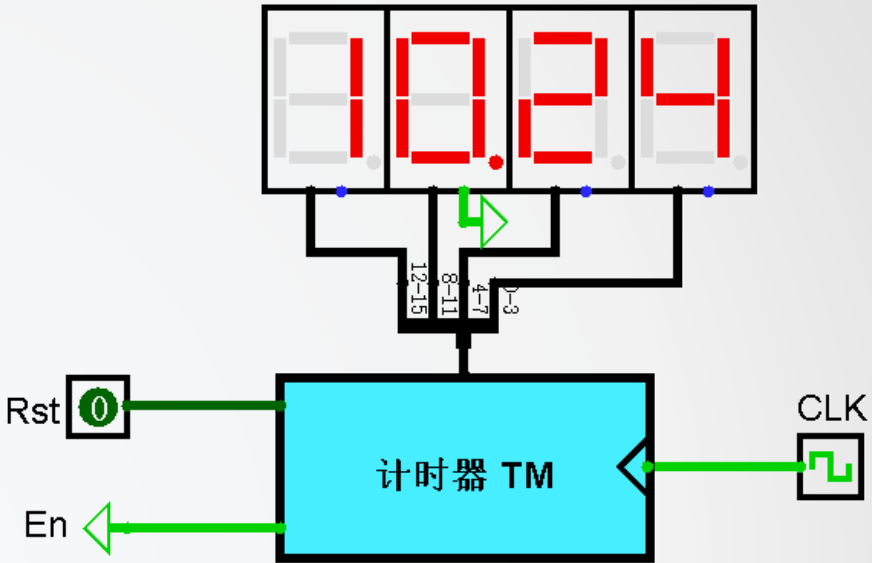


实验3：码表计数器

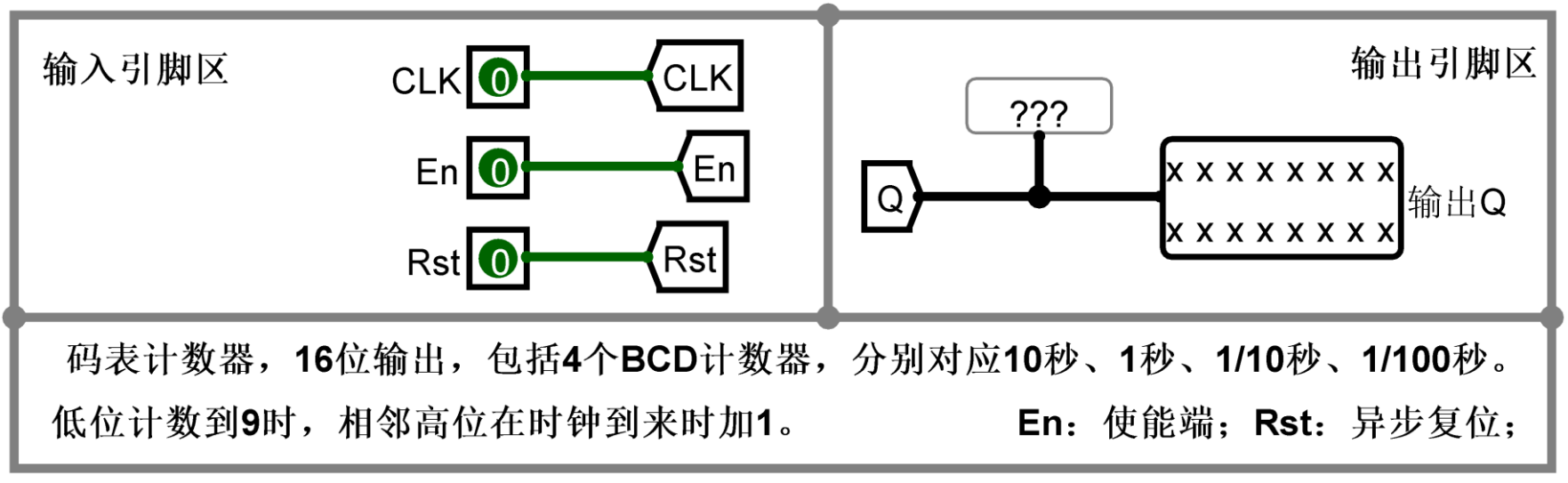
- 输入：时钟信号Clk，使能En，异步复位Rst
- 输出：16位输出Q
- 功能：包含4个BCD码计数器

低位计数器从9到0时，高位计数器加1

设计约束：利用BCD计数器级联而成



Ctrl+K驱动时钟自动测试





计算机硬件系统设计



谭志虎

下节课再见...

stan@hust.edu.cn

