# 计算机硬件系统设计 譚志虎

# 组合逻辑电路设计

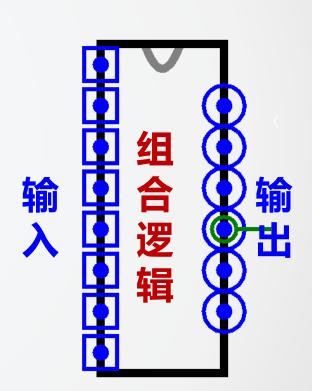
# || 组合逻辑电路概述

#### ■组合逻辑电路特征

- □ 输出是输入的逻辑函数
- □ 内部由基本逻辑门电路组成
- □ 单向电路,无反馈
- □ 时间延迟(最短路径,关键路径)
- □ 竞争与险象

#### ■ 组合逻辑设计流程

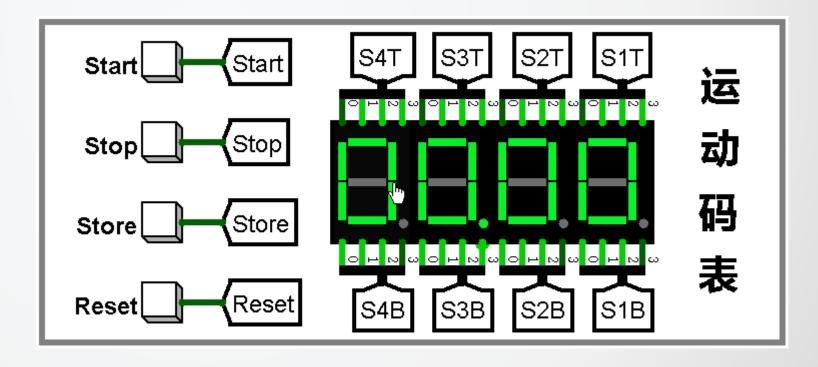
- □ 真值表,卡诺图,逻辑表达式
- □ 关键是根据设计需求求解**逻辑表达式**
- □ 复杂逻辑可以采用**模块分层**或**迭代法**设计



# || 实验终极目标

- 构建小型数字系统:运动码表
  - □ 组合逻辑电路设计
  - □ 同步时序电路设计
  - □ 寄存器数据传输

- Start: 计时器归零, 重新开始计时
- Stop: 停止计时,显示计时数据
- Store:尝试更新系统记录,并显示系统记录
- Reset:复位,计时=00.00,系统记录=99.99



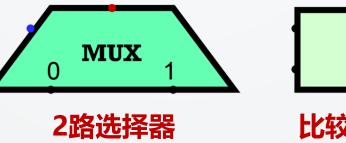
# 组合逻辑设计

#### 实验目标

- □ 理解组合逻辑设计基本流程
- □ 理解模块分层、迭代的设计思想
- □ 熟练利用Logisim构建运动码表功能部件

#### 实验任务

- □ 2路选择器设计(16位)
- □ 16位无符号比较器设计
- □ 码表数码管显示驱动设计

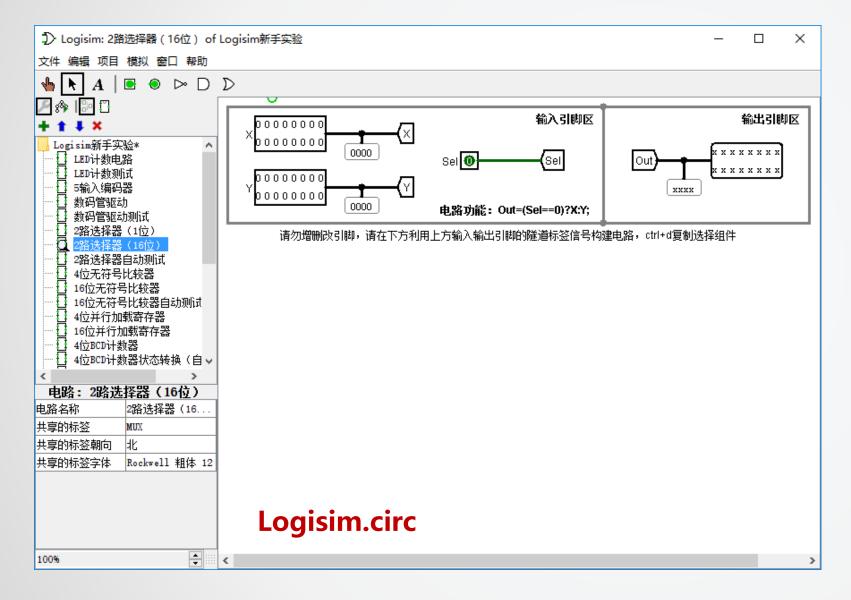




数码管显示DP

数码管显示驱动

# 实验电路



- 1. 2路选择器 (16位)
- 2. 2路选择器(1位 )
- 3. 2路选择器自动测试
- 4. 4位无符号比较器
- 5. 16位无符号比较器
- 6. 16位无符号比较器自动测试
- 7. 码表显示驱动

# 实验1: 2路选择器设计 (16位)

输入:16位输入X,Y;选择控制信号Sel

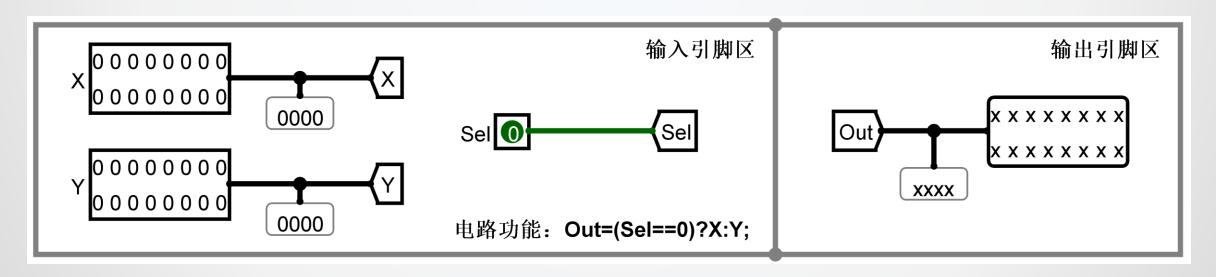
输出:16位输出Out

■ 功能:Out=(Sel==0)?X:Y;



模块化设计,先构建1位的2路选择器,再并发16位





MUX

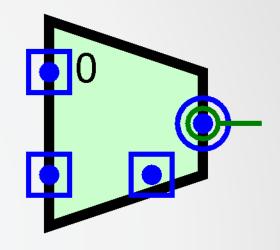
# 2路选择器设计 (1位)

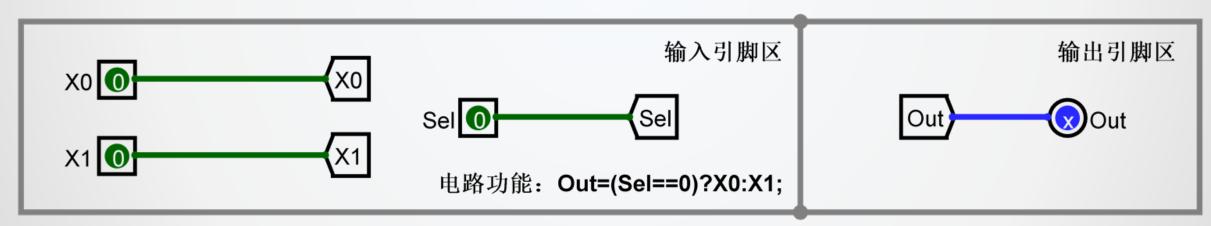
■ 输入:1位输入X,Y; 选择控制信号Sel

**■** 输出:1输出Out

■ 功能:Out=(Sel==0)?X:Y;

■ 约束:只能使用线路库,逻辑门组件,输入输出库

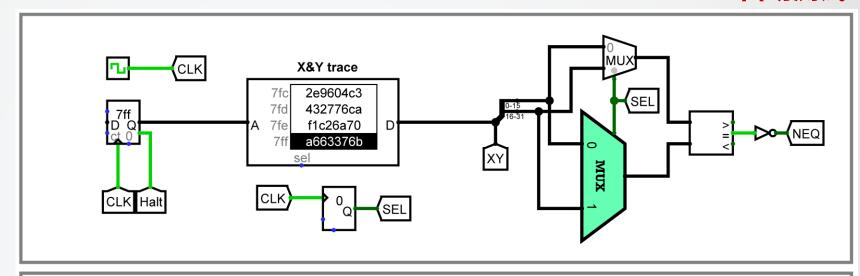


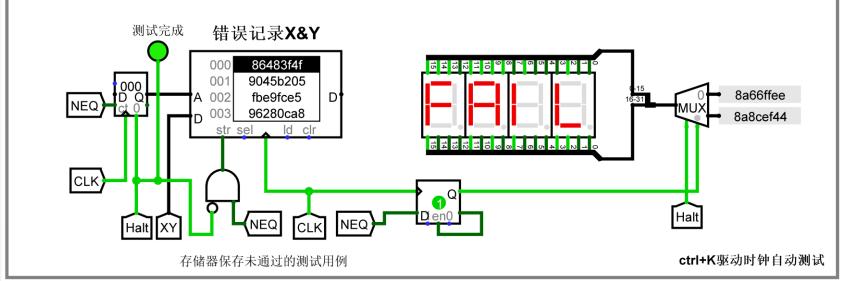


请勿增删改引脚,请在下方利用上方输入输出引脚的隧道标签信号构建电路,ctrl+d复制选择组件

#### 2路选择器自动测试

#### Ctrl+K自动测试





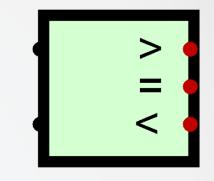
# |||实验2:16位无符号比较器

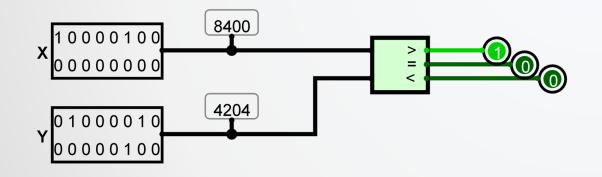
■ 输入:16位输入X,Y;

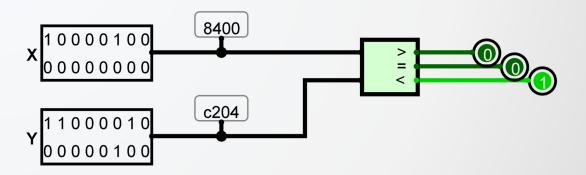
■ 输出:大于(1位),等于(1位),小于(1位)

□ 功能:无符号比较

▶ 约束:只能使用线路库,逻辑门组件,输入输出库







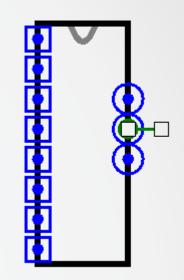
# 4位无符号比较器

■ 输入:4位输入X,Y;

■ 输出:大于(1位),等于(1位),小于(1位)

□ 功能:无符号比较

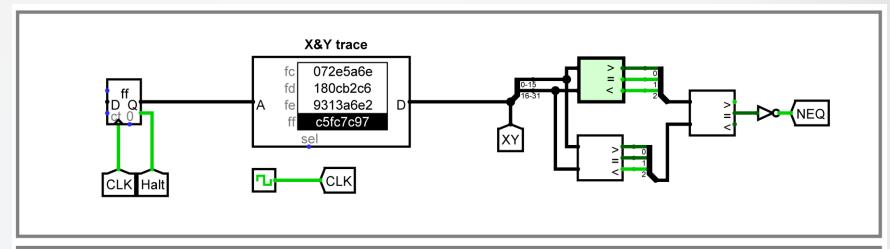
▶ 约束:只能使用线路库,逻辑门组件,输入输出库

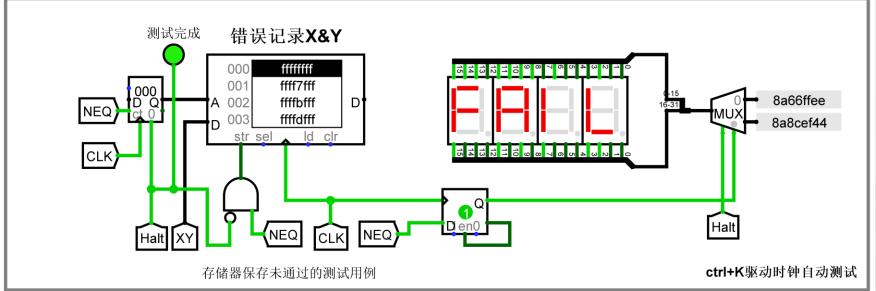


#### 利用4位无符号比较器构建16位无符号比较器

# 比较器自动测试

#### Ctrl+K自动测试





# |||实验3:码表数码管驱动

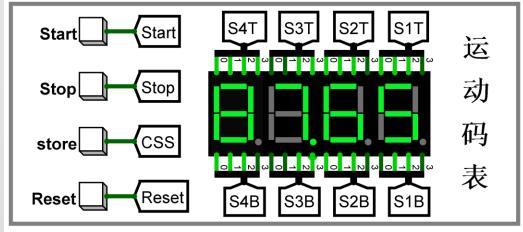
■ 输入:16位BCD码

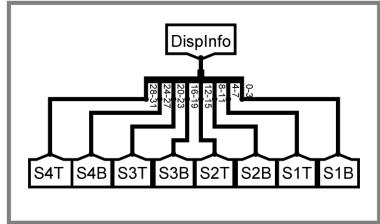
■ 输出:4个7段数码管的控制信号(32位)

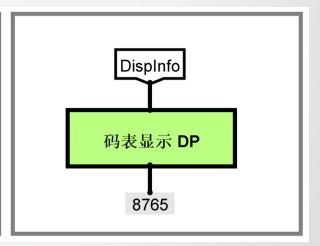
□ S4T , S4B , S3T , S3B

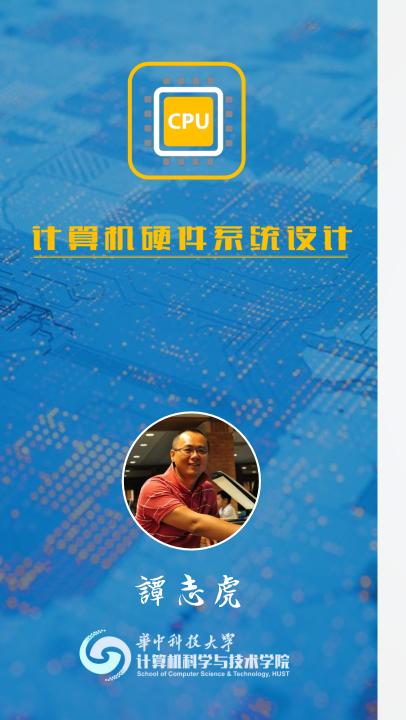
□ S2T , S2B , S1T , S1B

数码管显示DP









# 下节课再见...

stan@hust.edu.cn

