

Minitarea 2

Autor: Lukas Pavez
RUT: 19.401.577-1
Profesor: Pablo Guerrero P.
Auxiliar: Matías Torrealba A.
Ayudantes: Gabriel Chandía G.
Gaspar Ricci
Fecha de entrega: 9/10/2018

1. P1

Analizando comportamiento presentado en el enunciado, se puede ver que se debe entregar el valor 1 cuando se cumple una secuencia 1-0-1, por lo que se crea un diagrama con 4 estados, el estado A, en el que el ultimo valor recibido es un 0, y el anterior tambien (secuencias 0-0), un estado B que contiene las secuencias 1-1 (o 0-1 en el caso de una transición desde A), un estado C que va a leer las secuencias 0-1, en este caso la unica forma de llegar al estado C es recibiendo la secuencia 1-0-1, por lo que se independiente de lo que reciba C, el estado retornara 1, y un estado D que lee secuencias 1-0, se puede ver esto en el diagrama de la Figura 1:

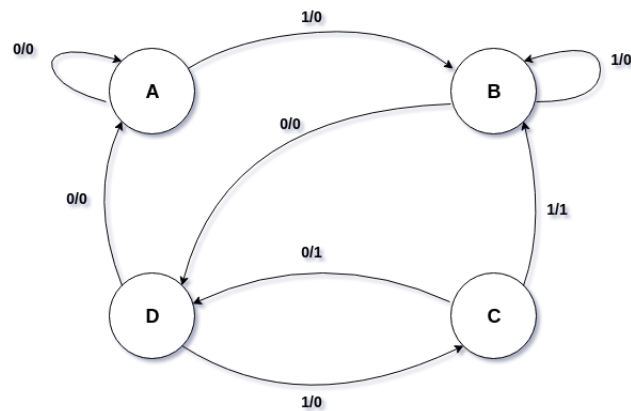


Figura 1: Diagrama de Estados

Para construir la tabla de verdad, los estados van a tener la siguiente codificación:

Estado	q1	q0
A	0	0
B	1	1
C	1	0
D	0	1

Con esto se puede obtener la siguiente tabla:

E	q1	q0	x0	d1	d0	y
A	0	0	0	0	0	0
A	0	0	1	1	1	0
B	1	1	0	1	0	0
B	1	1	1	1	1	0
C	0	1	0	1	0	1
C	0	1	1	1	1	1
D	1	0	0	0	0	0
D	1	0	1	0	1	0

Como se tienen 3 outputs, se construye un mapa de Karnaugh para cada uno:
d1:

q1q0 / x0	0	1
0 0	0	1
0 1	1	1
1 1	1	1
1 0	0	0

$$d1 = q0 \vee \neg q1x0$$

d0:

q1q0 / x0	0	1
0 0	0	1
0 1	0	1
1 1	0	1
1 0	0	1

$$d0 = x0$$

y:

q1q0 / x0	0	1
0 0	0	0
0 1	0	0
1 1	1	1
1 0	0	0

$$y = \neg q1q0$$

Para construir el circuito en Logisim, se crean distintos circuitos por separado, primero se crea uno para d1 (Figura 2), luego uno para el circuito combinacional (Figura 3), otro para el registro (Figura 4), y finalmente se combinan todos para el circuito final (Figura 5),:

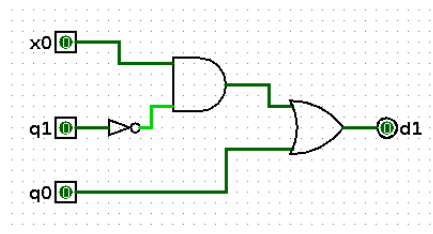


Figura 2: Circuito para d1

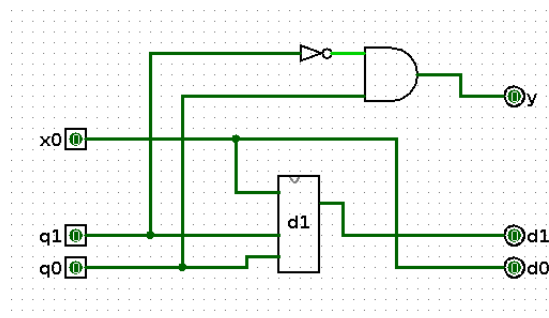


Figura 3: Circuito combinacional

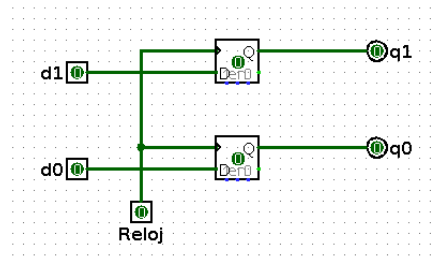


Figura 4: Registro

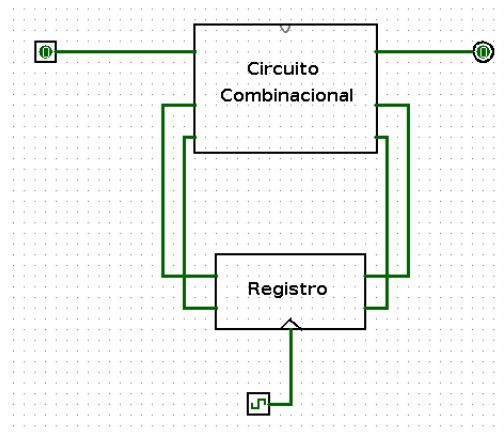


Figura 5: Circuito final

2. P2

Se agrego el reloj al circuito y se realizo la simulación siguiendo los inputs del enunciado (se seteo el trigger de los flip flops del registro en los pulsos de bajada), despues de analizarlo por un tiempo se puede ver que el resultado es el esperado:

Clock(360,430)	Input(160,100)	Output(550,100)
0	0	0
1	0	0
0	0	0
1	0	0
0	0	0
0	1	0
1	1	0
0	1	0
0	0	0
1	0	0
0	0	0
0	1	0
1	1	0
0	1	1
0	0	1
1	0	1
0	0	0
0	1	0
1	1	0
0	1	1
1	1	1
0	1	0
1	1	0
0	1	0
0	0	0
1	0	0
0	0	0
0	1	0
1	1	0
0	1	1
0	0	1
1	0	1
0	0	0
1	0	0
0	0	0

Figura 6: Simulacion con reloj