

CHƯƠNG 7: MẠCH GHÉP

TS. PHẠM NGUYỄN THANH LOAN

Hà Nội, 9/24/2012

Tổ chức lớp

- Số tín chỉ: 3
- Giảng viên: TS. Phạm Nguyễn Thanh Loan
- Văn phòng: Phòng 618, thư viện Điện Tử
- Email: loanpham.sinhvien@gmail.com
- Sách:
 1. Electronic Devices and Circuit Theory, Robert Boylestad and Louis Nashelsky
 2. Kỹ thuật Mạch điện tử, Phạm Minh Hà
- Bài tập tại lớp, bài tập về nhà theo nhóm được cung cấp tại lớp

Nội dung chương 7



- Ghép giữa các tầng khuếch đại
- Ghép Cascode
- Ghép Darlington
- Mạch nguồn dòng
- Mạch dòng gương
- Mạch khuếch đại vi sai
- Tham khảo chương 12, sách tham khảo 1 (Boylestad)

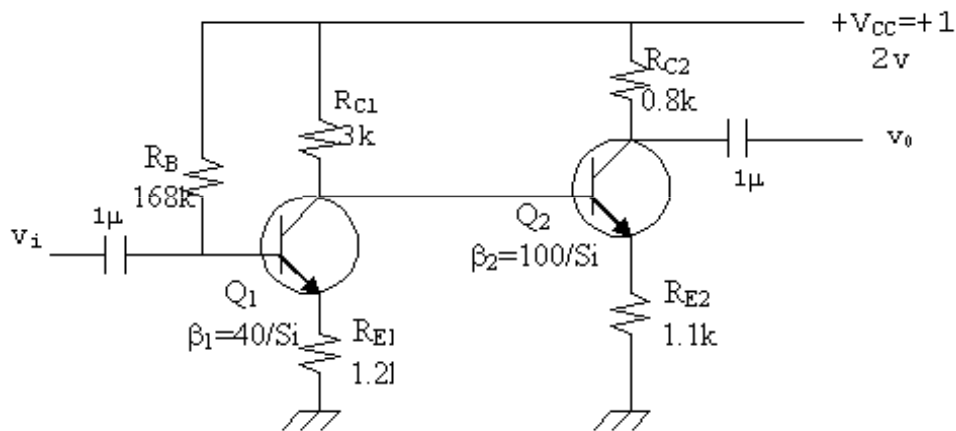
Ghép giữa các tầng khuếch đại



- Ghép trực tiếp
- Ghép dùng tụ
- Ghép dùng biến áp
- Ghép dùng điện trở
- Ghép điện quang

Ghép giữa các tầng khuếch đại

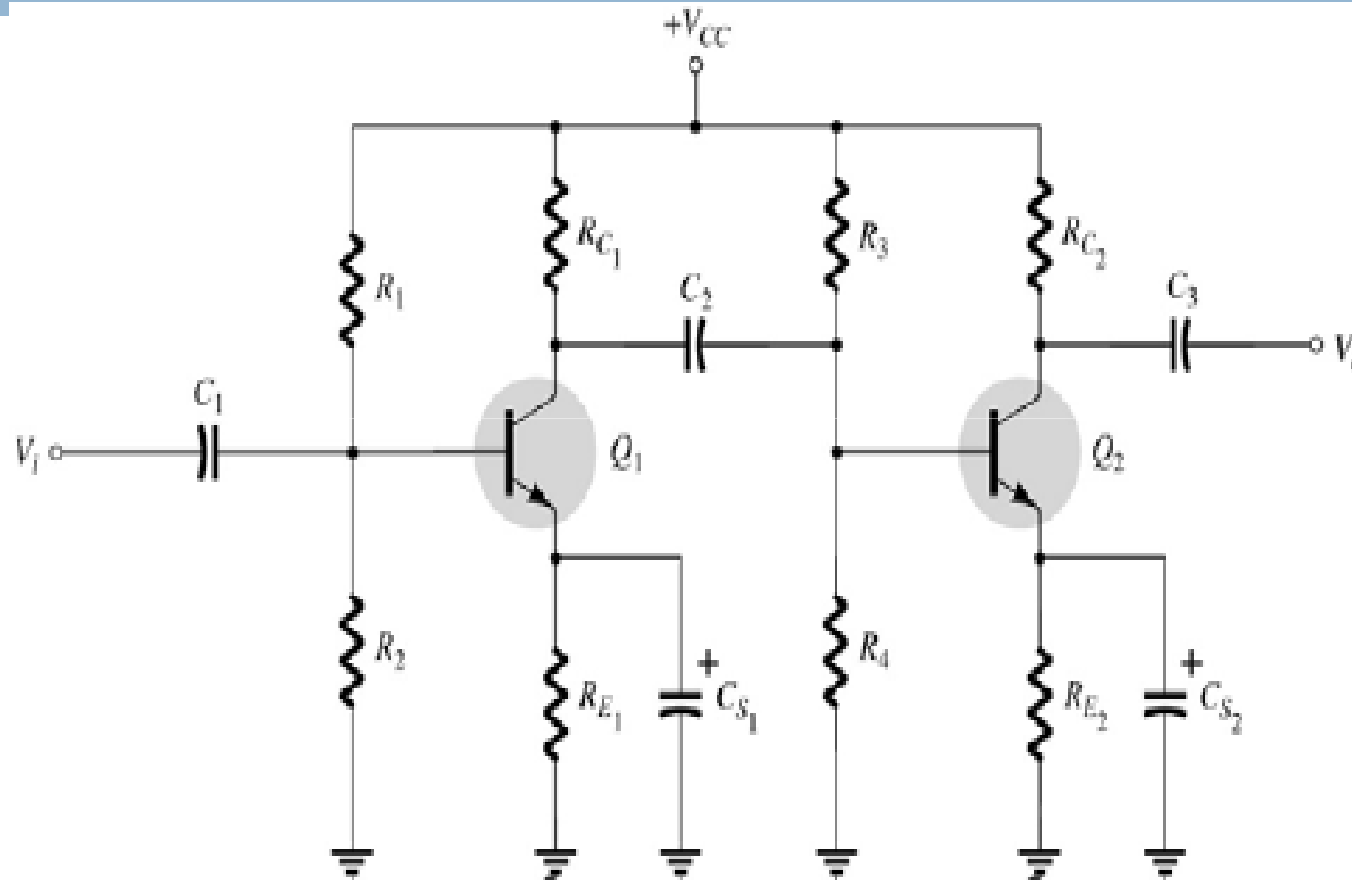
Ghép trực tiếp



- Trực tiếp ghép giữa đầu ra tầng trước và đầu vào tầng sau
- Ưu:
 - ▣ Đơn giản
 - ▣ Không mất năng lượng
 - ▣ Không méo
 - ▣ Băng thông rộng
- Nhược:
 - ▣ Phải chú ý ảnh hưởng DC giữa các tầng
- Hay sử dụng trong IC

Ghép giữa các tầng khuếch đại

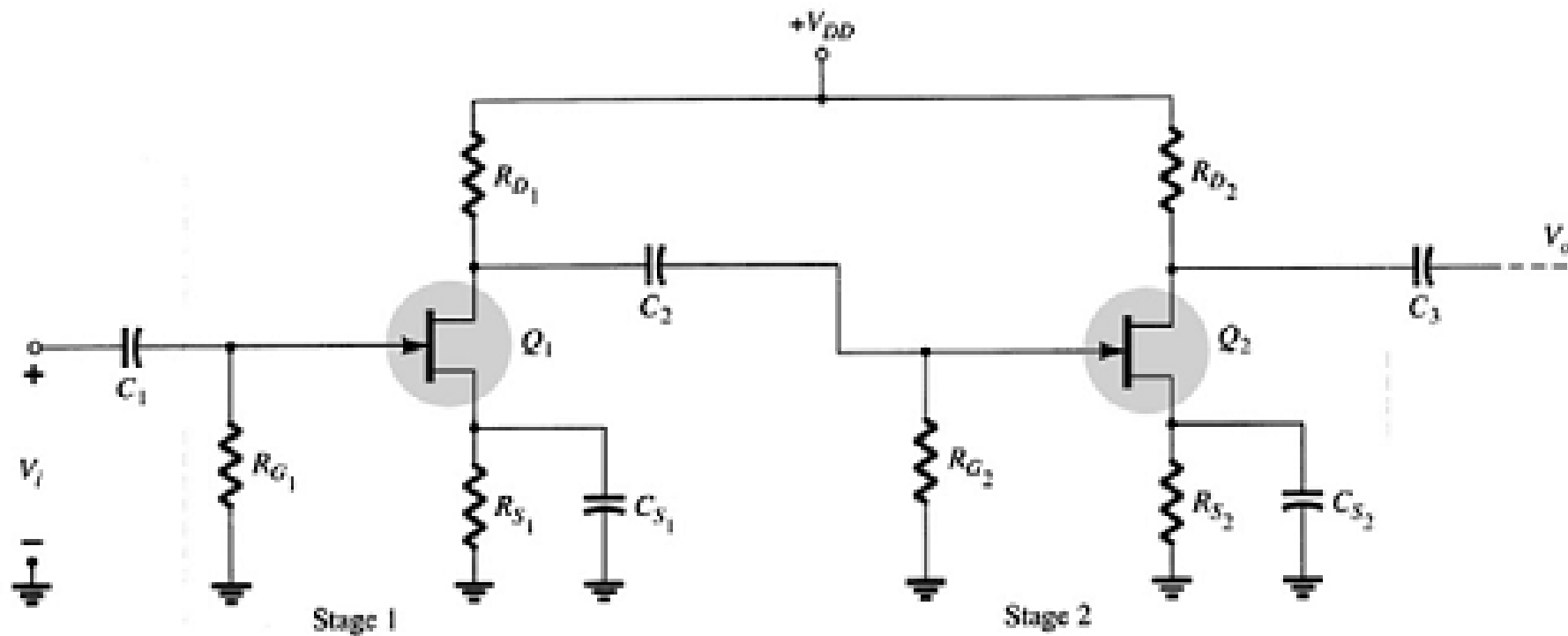
Ghép dùng tụ



- Dùng tụ ghép đầu ra tầng trước và đầu vào tầng sau

Ghép giữa các tầng khuếch đại

Ghép dùng tụ



Ghép giữa các tầng khuếch đại

Ghép dùng tụ

- Dùng tụ ghép đầu ra tầng trước và đầu vào tầng sau
- Ưu:
 - ▣ Cách ly DC các tầng
 - ▣ Dùng tụ lớn tránh méo
- Nhược:
 - ▣ Công kênh
 - ▣ Hạn chế tần số thấp
- Sử dụng trong mạch riêng lẻ
- Tụ tùy thuộc vào tần số của tín hiệu. VD: với âm tần tụ nối tầng có trị số từ $1\mu\text{F}$ đến $10\mu\text{F}$. Tụ C_e thường chọn từ $25\mu\text{F}$ đến $50\mu\text{F}$

Ghép giữa các tầng khuếch đại

Ghép biến áp

- Dùng nhiều trước kia
- Cách ly vào ra
- Dễ phối hợp trở kháng
- Dải tần làm việc hẹp
- Không tích hợp được
- Cồng kềnh
- Đắt

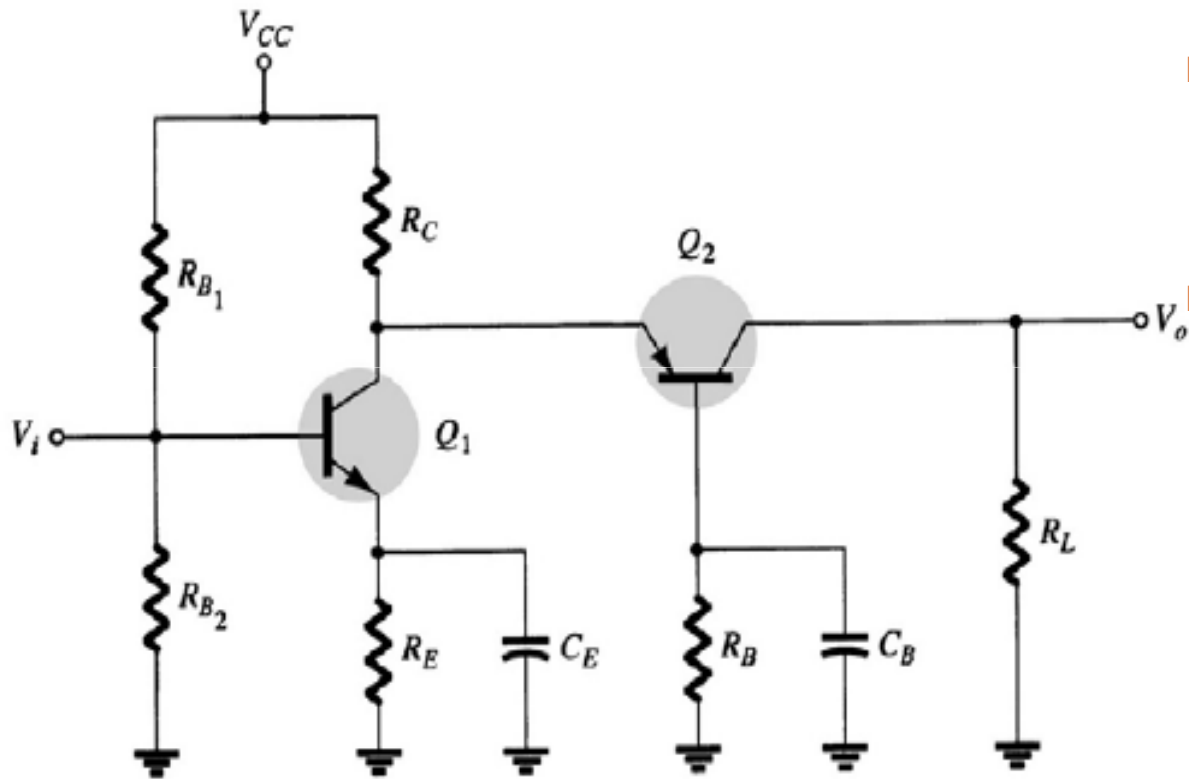
=> ít dùng

Ghép giữa các tầng khuếch đại



- Ghép dùng điện trở - thường dùng cùng C
 - ▣ Tăng trở kháng vào
 - ▣ Giảm tín hiệu vào
 - ▣ Tạo mức dịch điện áp
 - ▣ Phụ thuộc tần số (khi dùng cùng C)
- Ghép điện quang
 - ▣ Dùng cho nguồn điện áp cao

Ghép Cascode

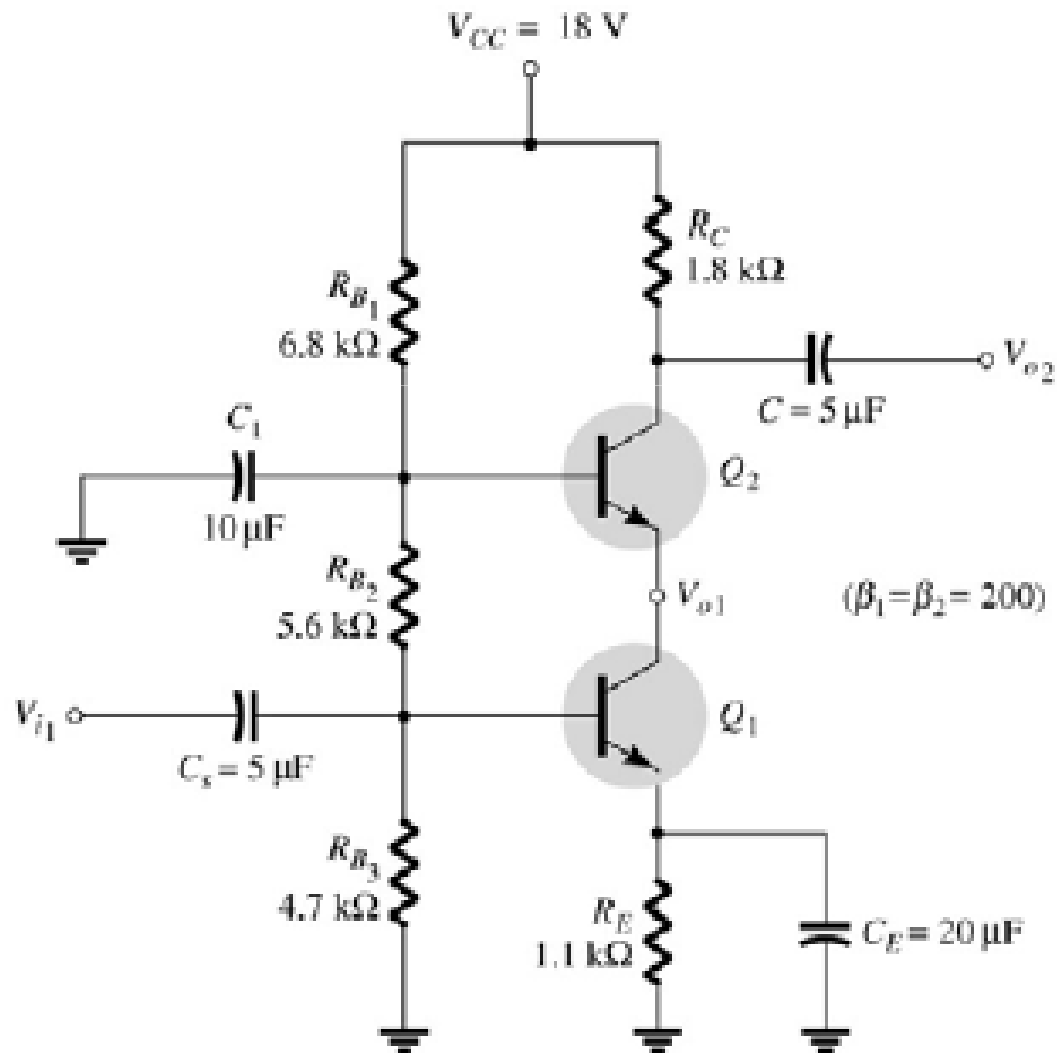


- Hai transistor mắc chung E và chung B được nối trực tiếp
- Đặc biệt được sử dụng nhiều trong các ứng dụng ở tần số cao, ví dụ: mạch khuếch đại dải rộng, mạch khuếch đại chọn lọc tần số cao

Ghép Cascode

- Tầng EC với hệ số khuếch đại điện áp âm nhỏ và trở kháng vào lớn để điện dung Miller đầu vào nhỏ
- Phối hợp trở kháng ở cửa ra tầng EC và cửa vào tầng BC
- Cách ly tốt giữa đầu vào và đầu ra: tầng BC có tổng trở vào nhỏ, tổng trở ra lớn có tác dụng để ngăn cách ảnh hưởng của ngõ ra đến ngõ vào nhất là ở tần số cao, đặc biệt hiệu quả với mạch chọn lọc tần số cao

Ghép Cascode

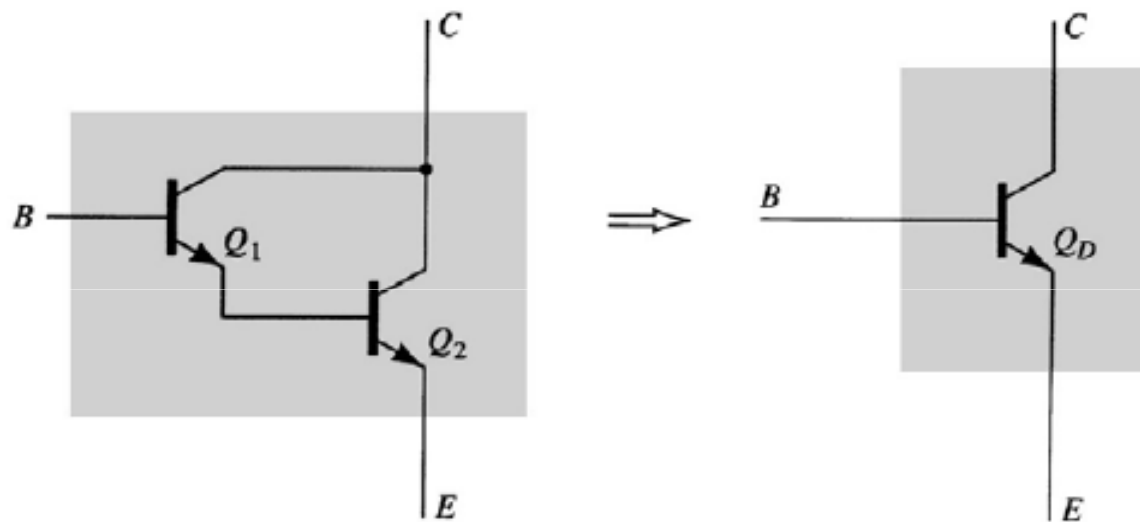


- Mạch ghép Cascode thực tế:

$A_V^1 = -1 \Rightarrow$ điện dung Miller ở đầu vào nhỏ

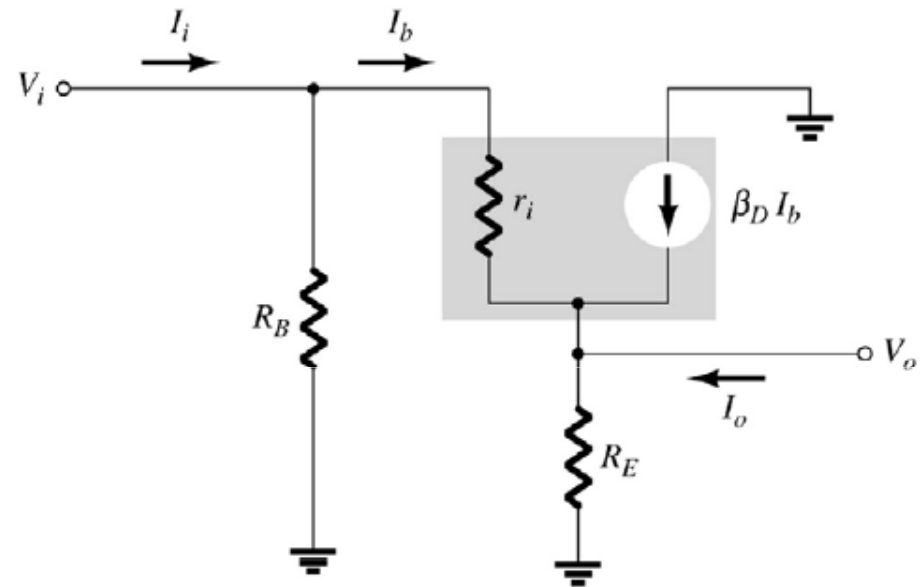
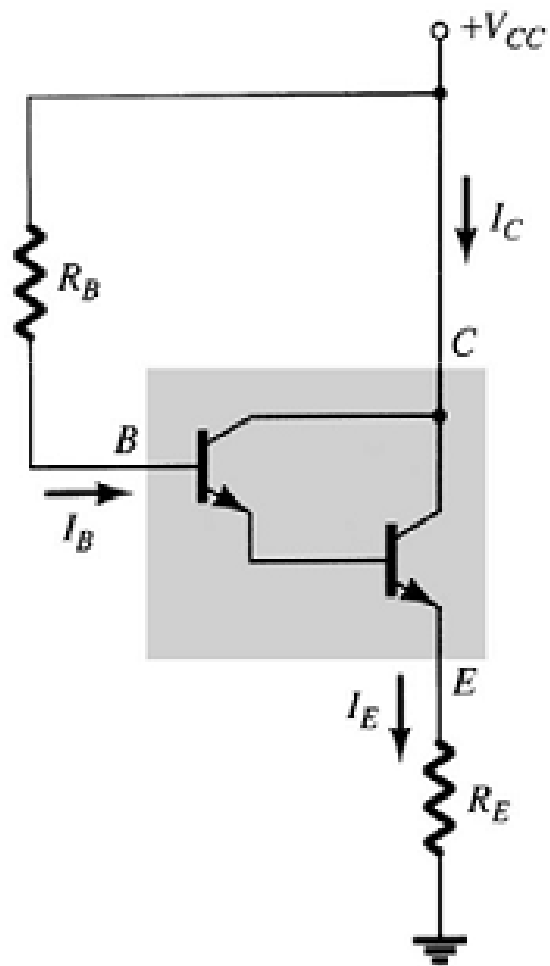
A_V^2 lớn \Rightarrow hệ số khuếch đại tổng lớn

Ghép Darlington



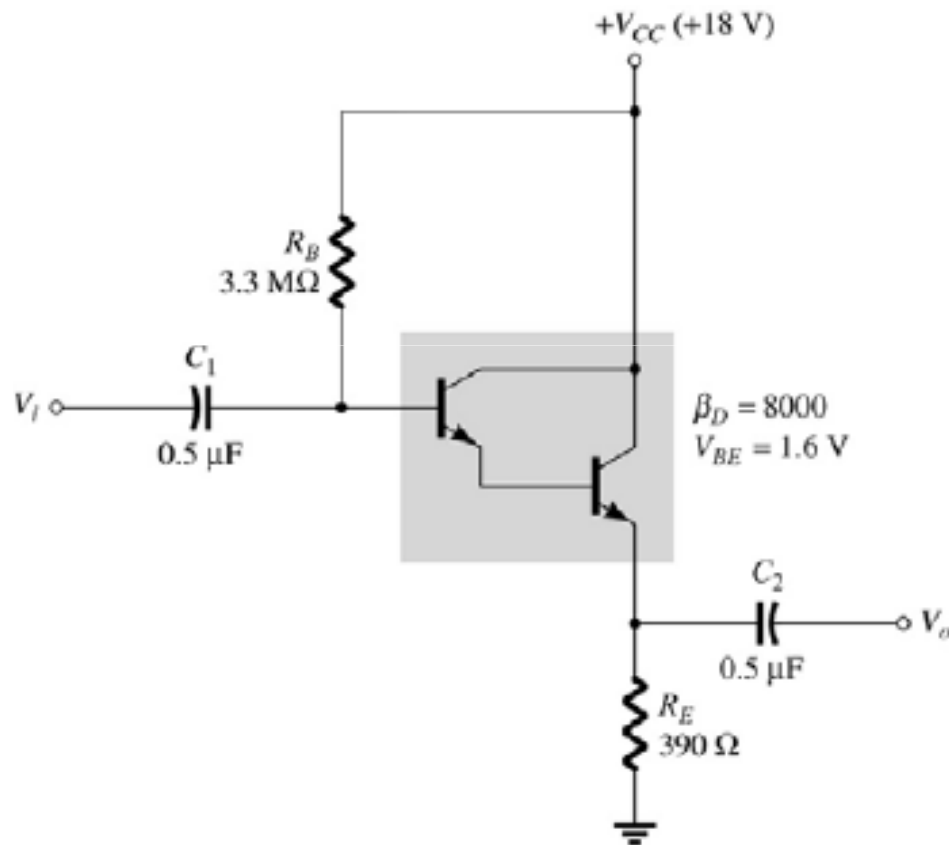
- Hai transistor **cùng loại**, hoạt động như một transistor
- Hệ số khuếch đại dòng điện tổng rất lớn
- Tổng trở vào rất lớn

Ghép Darlington



Phân cực trans Darlington và sơ đồ tương đương mạch lặp emitter (hay sử dụng trong mạch công suất)

Ghép Darlington



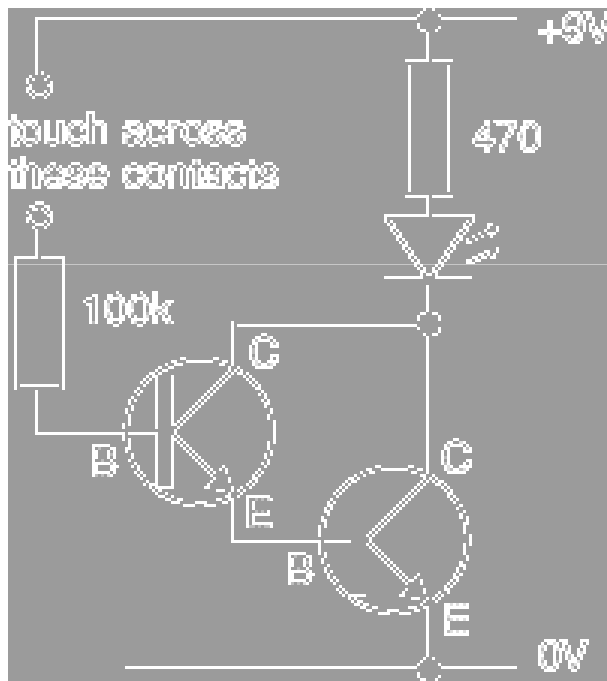
Type 2N999

N-P-N Darlington-Connected
Silicon Transistor Package

Parameter	Test Conditions	Min.	Max.
V _{BE}	I _C = 100 mA		1.8 V
h _{FE} (β _D)	I _C = 10 mA	4000	
	I _C = 100 mA	7000	70,000

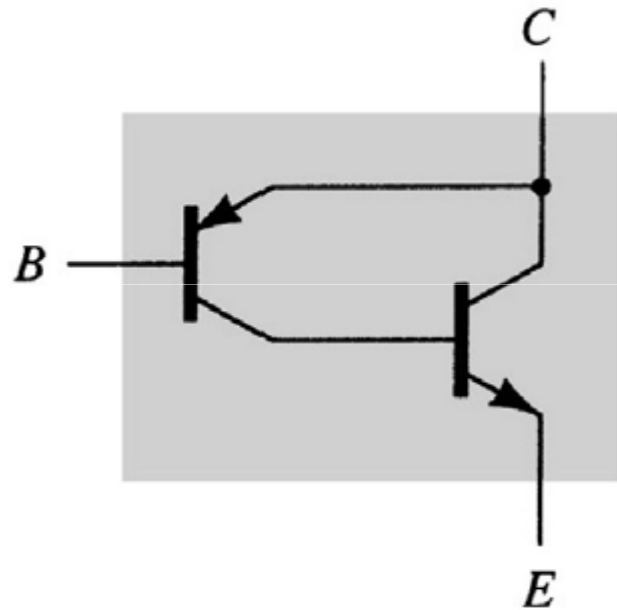
- Tổ hợp vào một package (hình vẽ)
- Hoặc xây dựng từ 2 transistor rời rạc (chú ý: T₁ công suất nhỏ, T₂ công suất lớn, I_C max là giới hạn của T₂)

Ghép Darlington - ứng dụng



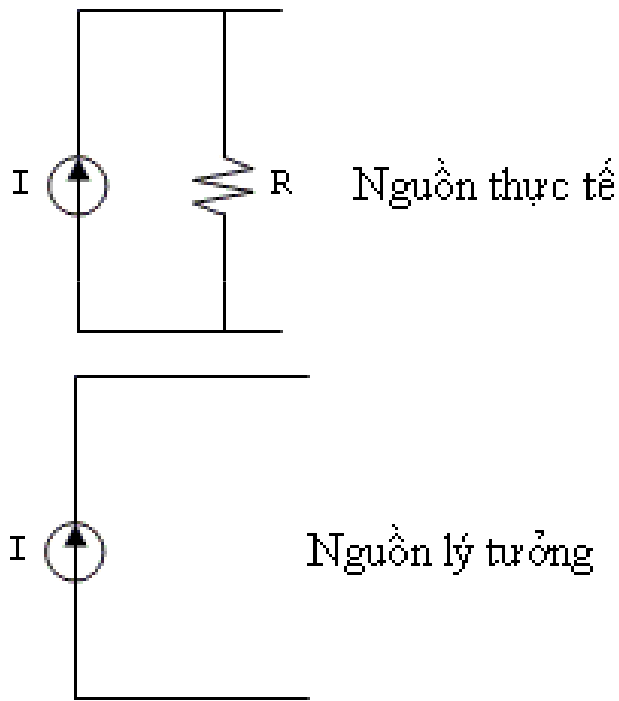
- Nhạy cảm với dòng rất nhỏ
-> có thể làm mạch “touch-switch”
- Mặc kiểu CC cho khuếch đại công suất với yêu cầu phối hợp trở kháng với tải có tổng trở nhỏ

Ghép Darlington bù



- Tương tự ghép darlington
- Hai transistor ***khác loại***, hoạt động giống như một BJT loại pnp
- Hệ số khuếch dòng điện tổng rất lớn

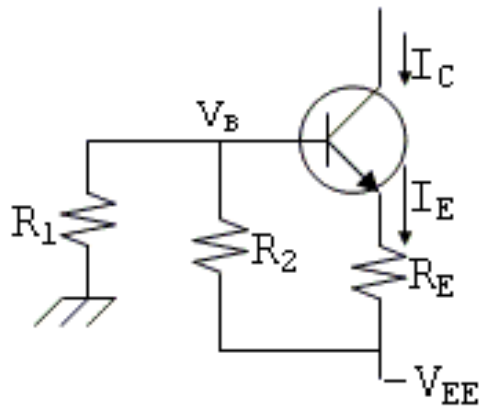
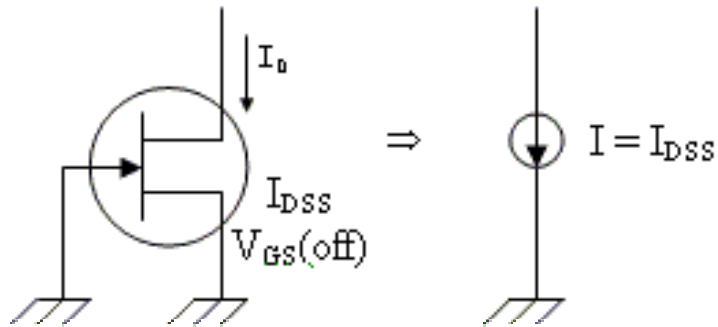
Mạch nguồn dòng



Bộ phận cấp dòng điện, mắc song song với điện trở R , được gọi là nội trở của nguồn

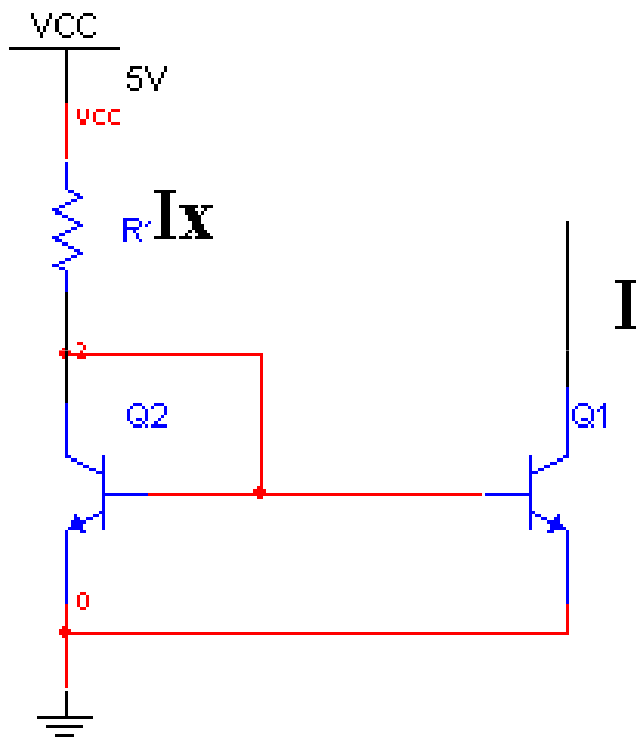
Nguồn dòng điện lý tưởng khi $R = \infty$, và cung cấp một dòng điện là hằng số

Mạch nguồn dòng



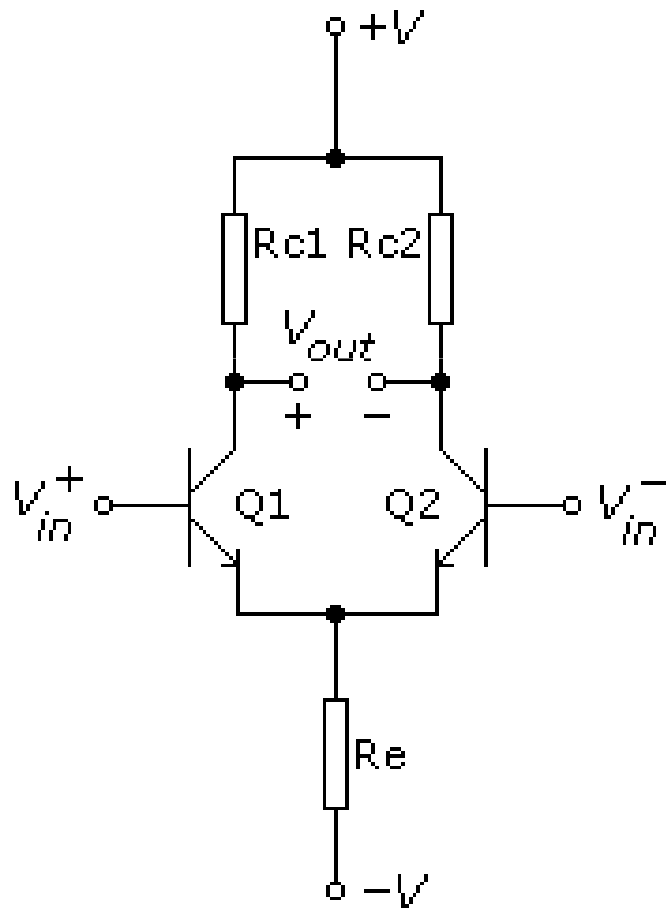
- Dòng cung cấp ổn định và điện trở nguồn rất lớn
- Sử dụng BJT, hoặc FET, hoặc kết hợp
- I_D , I_C là dòng điện không đổi được cấp cho mạch, nội trở nguồn là điện trở ra của mạch

Mạch dòng gương



- Cung cấp 1 hoặc nhiều dòng bằng 1 dòng xác định khác. Chú ý không nhân ra quá nhiều dòng
- Sử dụng chủ yếu trong IC
- Yêu cầu: Q_1 , Q_2 hoàn toàn giống nhau
- $I \approx I_x = (V_{cc} - V_{BE}) / R_x$

Mạch khuếch đại vi sai



- Mạch đối xứng theo đường thẳng đứng, các phần tử tương ứng giống nhau về mọi đặc tính
- Q1 giống hệt Q2, mắc kiểu EC hoặc CC
- 2 đầu vào v_1 và v_2 , có thể sử dụng 1 hoặc phối hợp
- 2 đầu ra v_a và v_b , sử dụng 1 hoặc phối hợp

Mạch khuếch đại vi sai

- Đầu vào cân bằng, đầu ra cân bằng

$$V_{in} = V_1 - V_2 \quad ; \quad V_{out} = V_a - V_b$$

- Đầu vào cân bằng, đầu ra không cân bằng

$$V_{in} = V_1 - V_2 \quad ; \quad V_{out} = V_a$$

- Đầu vào không cân bằng, đầu ra cân bằng

$$V_{in} = V_1 \quad ; \quad V_{out} = V_a - V_b$$

- Đầu vào không cân bằng, đầu ra không cân bằng

$$V_{in} = V_1 \quad ; \quad V_{out} = V_a$$

Mạch khuếch đại vi sai

- hệ số khuếch đại vi sai và hệ số triệt tiêu đồng pha

Chế độ phân cực 1 chiều: $V_{B1} = V_{B2} \Rightarrow I_{C1} = I_{C2} = I_E/2 \Rightarrow V_{C1} = V_{C2}$

Nếu $v_{in} = v_1 - v_2 \Rightarrow V_{B1} + v_{in}$ và $V_{B2} - v_{in} \Rightarrow i_{c1} > i_{c2}$

$$\Rightarrow v_{out} = v_{c1} - v_{c2} > 0$$

\Rightarrow *khuếch đại điện áp vi sai*

Nếu $v_{in} = v_1 = v_2 \Rightarrow V_{B1} + v_{in}$ và $V_{B2} + v_{in} \Rightarrow i_{c1} = i_{c2}$

$$\Rightarrow v_{out} = v_{c1} - v_{c2} = 0$$

\Rightarrow *triệt tiêu điện áp đồng pha*

Mạch khuếch đại vi sai

– hệ số khuếch đại vi sai và hệ số triệt tiêu đồng pha

Phân tích bằng sơ đồ tương đương xoay chiều:

$$v_{in} = v_1, v_2 = 0 ; v_{out} = v_a : A_v = R_C / 2r_e$$

$$v_{in} = v_1 - v_2 ; v_{out} = v_a - v_b : A_d = R_C / r_e \quad (\text{differential mode})$$

$$v_{in} = v_1 = v_2 ; v_{out} = v_a : A_c = \beta R_C / (\beta r_e + 2(\beta + 1)R_E) \quad (\text{common mode})$$

Nhận xét :

- ▣ Tín hiệu vào ngược pha: khuếch đại lớn
- ▣ Tín hiệu vào cùng pha: khuếch đại nhỏ
- ⇒ khả năng chống nhiễu tốt
- ⇒ Tỷ số nén đồng pha (CMRR-Common mode rejection ratio)
= Hệ số KĐ vi sai / Hệ số KĐ đồng pha
- ⇒ CMRR càng lớn chất lượng mạch càng tốt

Với KĐ ngõ ra không cân bằng, T_1, T_2 vẫn có tác dụng trừ các tín hiệu nhiễu đồng pha hay ảnh hưởng của nhiệt độ tác dụng lên hai transistor

Mạch khuếch đại vi sai

- nâng cao tính chống nhiễu

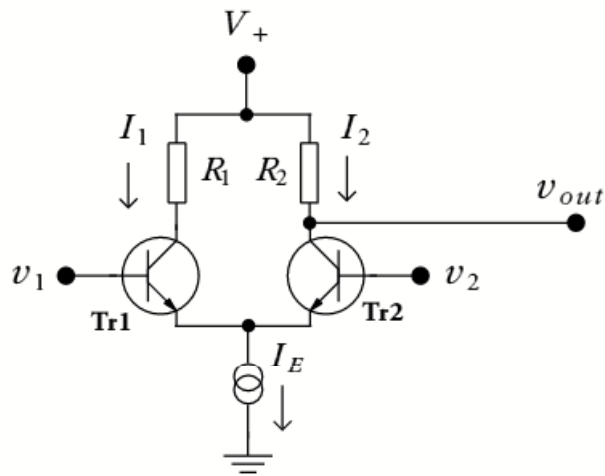


Figure 1.7 — 'Long-tailed pair' differential amp

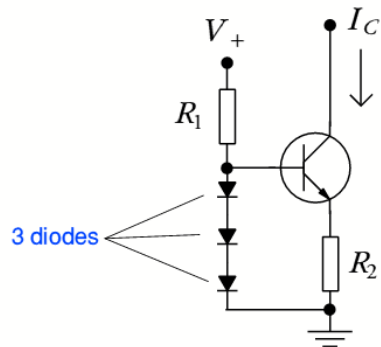


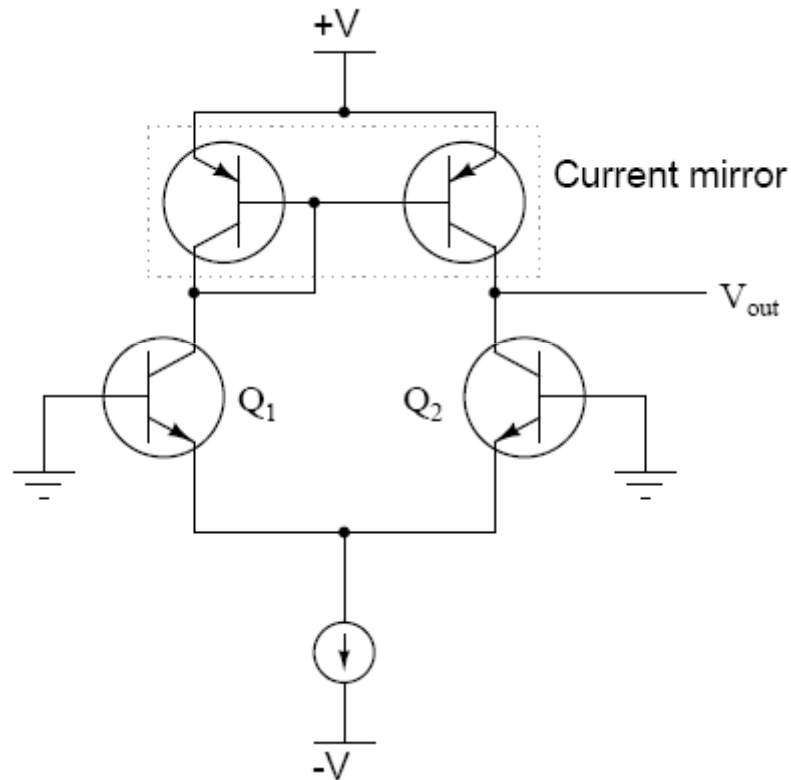
Figure 1.8 — Simple Current Source

- Có nguồn dòng ổn định với nội trở rất lớn
- > ổn định nhiệt và giảm hệ số KĐ đồng pha
- > tăng khả năng chống nhiễu

Nguồn dòng cũng có thể là mạch dòng gương

Mạch khuếch đại vi sai

- nâng cao tính chống nhiễu



- Sử dụng “active loads” - mạch dòng gương
- ⇒ thiết lập dòng collector như nhau trên cả hai transistor
- ⇒ tăng hệ số khuếch đại vi sai

Mạch khuếch đại vi sai

- vấn đề điện áp trôi

- Ng/nhân: đặc tính kỹ thuật của hai transistor không hoàn toàn giống nhau
- Khắc phục: Dùng điện trở R_C không đối xứng (biến trở)

Mạch ghép

- BT chương 12: 1, 6, 11, 12, 15, 19, 21, 24, 26, 30