

CHƯƠNG 3: TRANSISTOR MOSFET

TS. PHẠM NGUYỄN THANH LOAN

Hà Nội, 9/24/2012

Tổ chức lớp

2

- Số tín chỉ: 3
- Giảng viên: TS. Phạm Nguyễn Thanh Loan
- Văn phòng: Phòng 618, thư viện Điện Tử
- Email: loanpham.sinhvien@gmail.com
- Sách:
 1. Electronic Devices and Circuit Theory, Robert Boylestad and Louis Nashelsky
 2. Kỹ thuật Mạch điện tử, Phạm Minh Hà
- Bài tập tại lớp, bài tập về nhà theo nhóm được cung cấp tại lớp

Chương 3: Mạch khuếch đại tín hiệu nhỏ sử dụng FET

- Giới thiệu chung
- Phân loại
 - JFET
 - MOSFET kênh có sẵn (Depletion MOS)
 - MOSFET kênh cảm ứng (Enhancement MOS)
- Cách phân cực
- Mạch khuếch đại tín hiệu nhỏ
- Sơ đồ tương đương và tham số xoay chiều

Giới thiệu chung

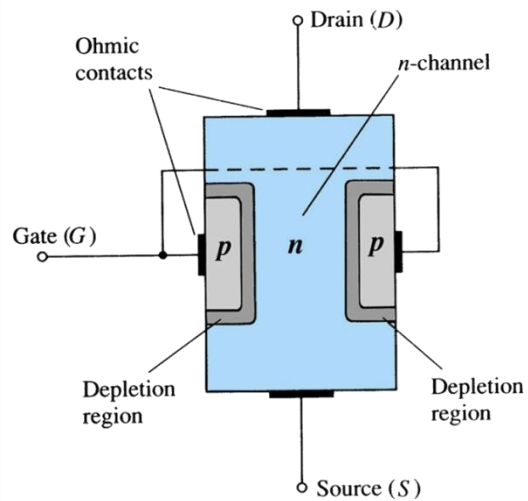
- Trở kháng vào rất lớn, $nM\Omega$ - $100M\Omega$
- Được điều khiển bằng điện áp (khác với BJT)
- Tiêu tốn ít công suất
- Hệ số tạp âm nhỏ, phù hợp với nguồn tín hiệu nhỏ
- Ít bị ảnh hưởng bởi nhiệt độ
- Phù hợp với vai trò khóa đóng mở công suất nhỏ
- Kích thước nhỏ, công nghệ chế tạo phù hợp với việc sử dụng để thiết kế IC

Phân loại

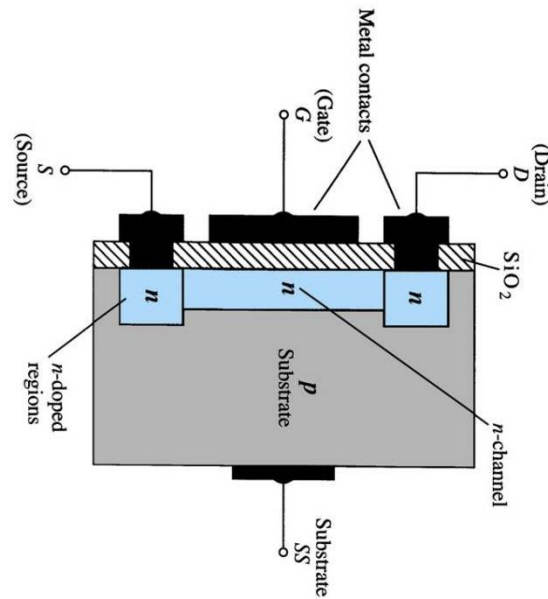
- JFET-Junction Field Effect Transistor
 - ▣ Kênh N
 - ▣ Kênh P
- MOSFET-Metal Oxide Semiconductor FET
 - ▣ Kênh có sẵn (Depletion MOS) :
 - Kênh N và P
 - ▣ Kênh cảm ứng (Enhancement MOS):
 - Kênh N và P

Phân loại (tiếp)

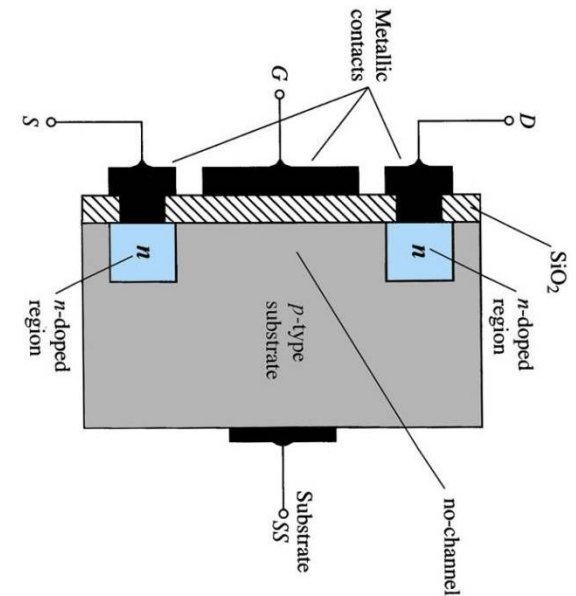
□ JFET



□ D-FET



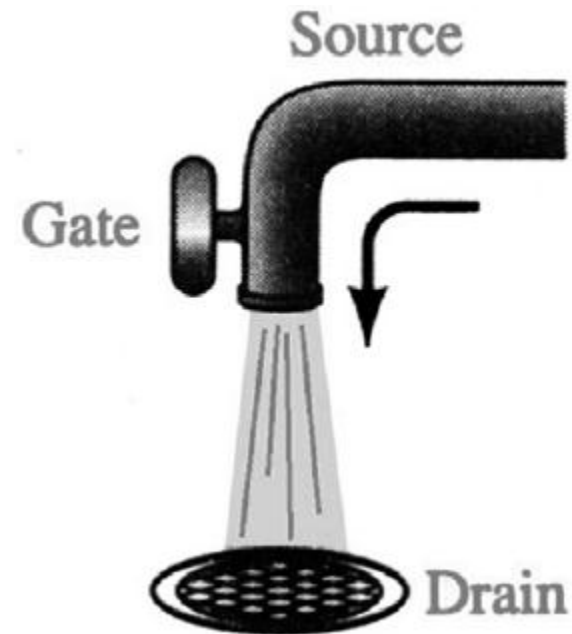
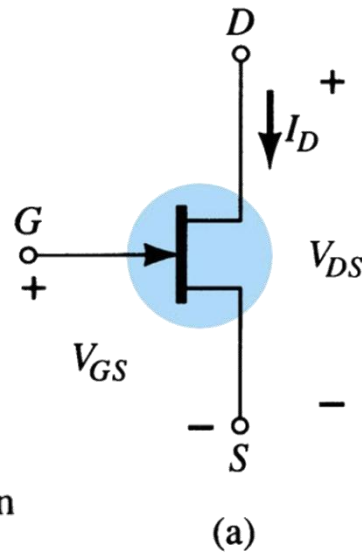
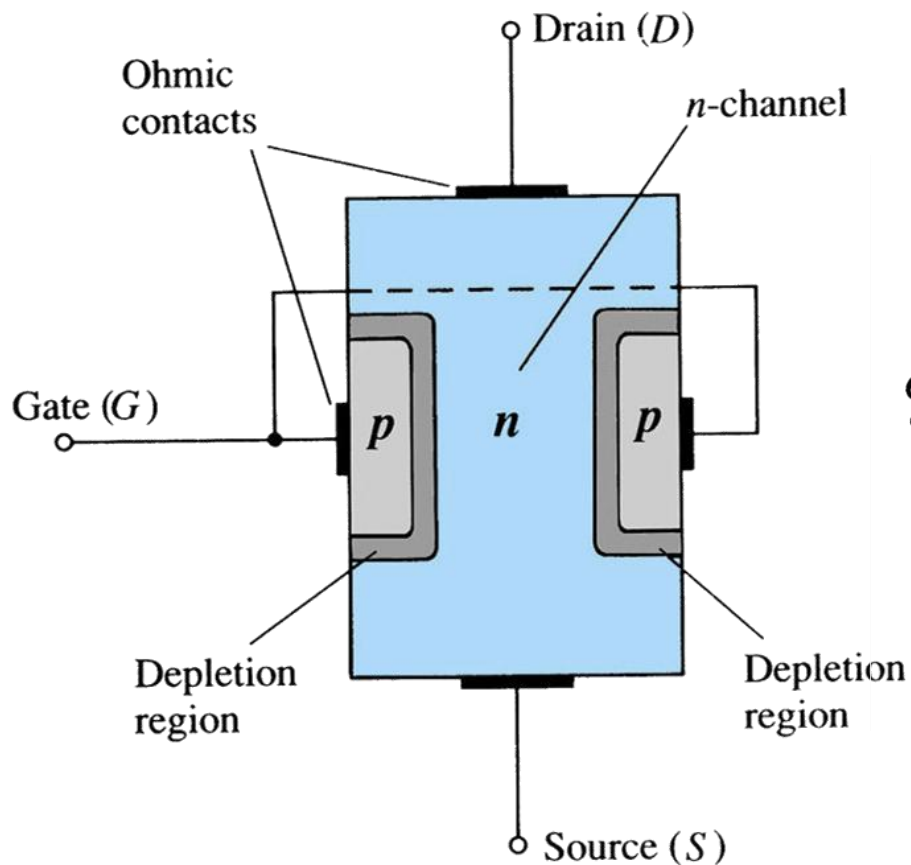
□ E-FET (MOSFET)



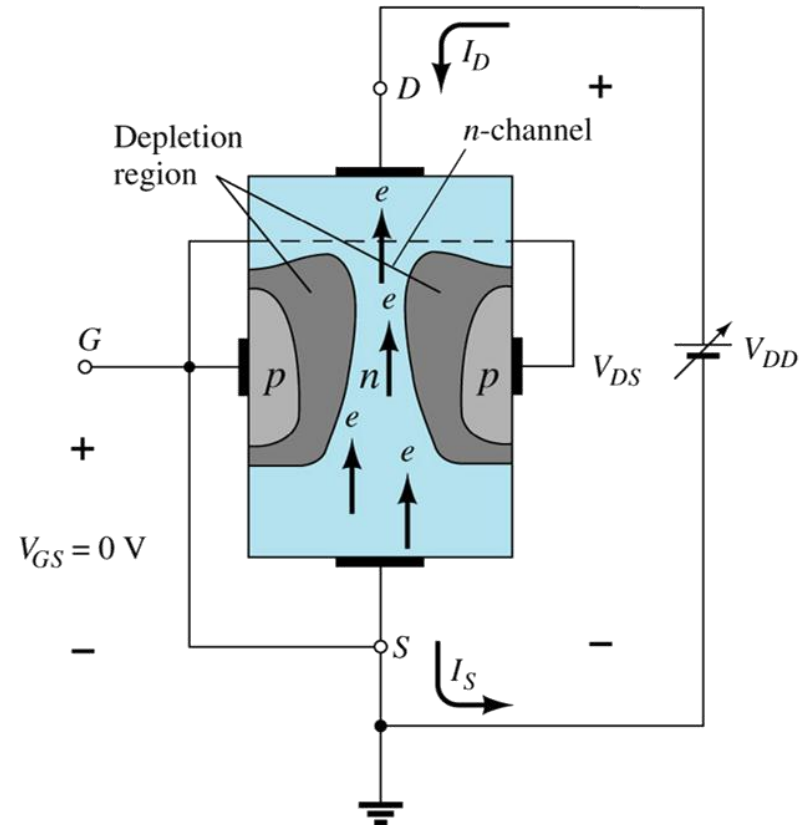
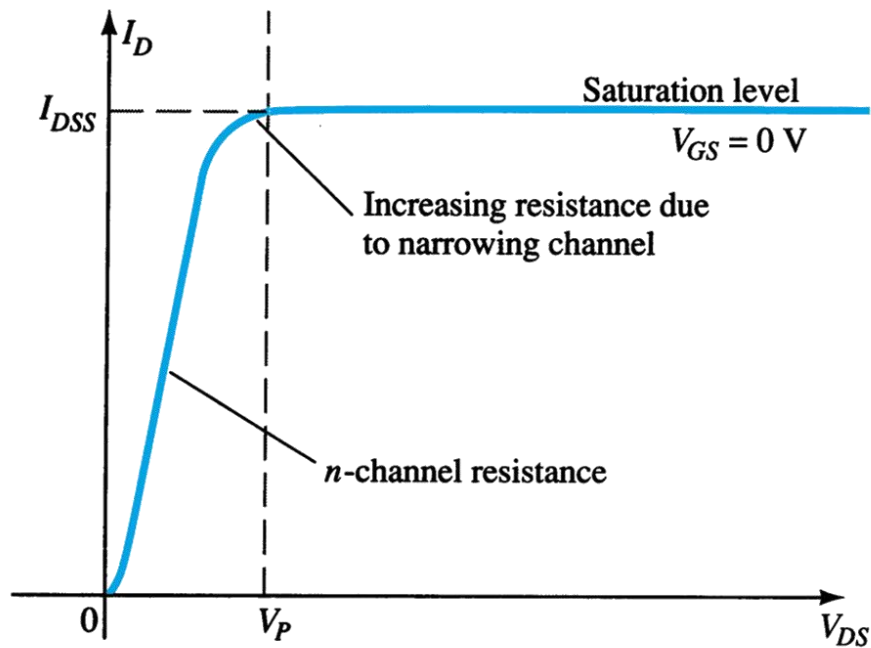
JFET

- Cấu trúc
- Hoạt động
- Đặc tuyến
- So sánh với BJT
- Ví dụ, bảng tham số kỹ thuật

JFET – Cấu trúc

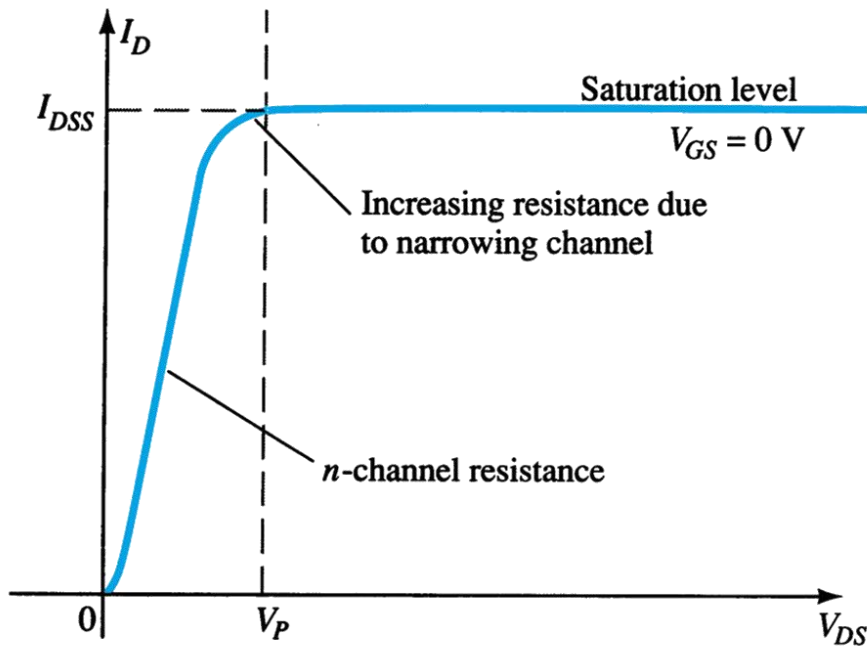


JFET – Hoạt động

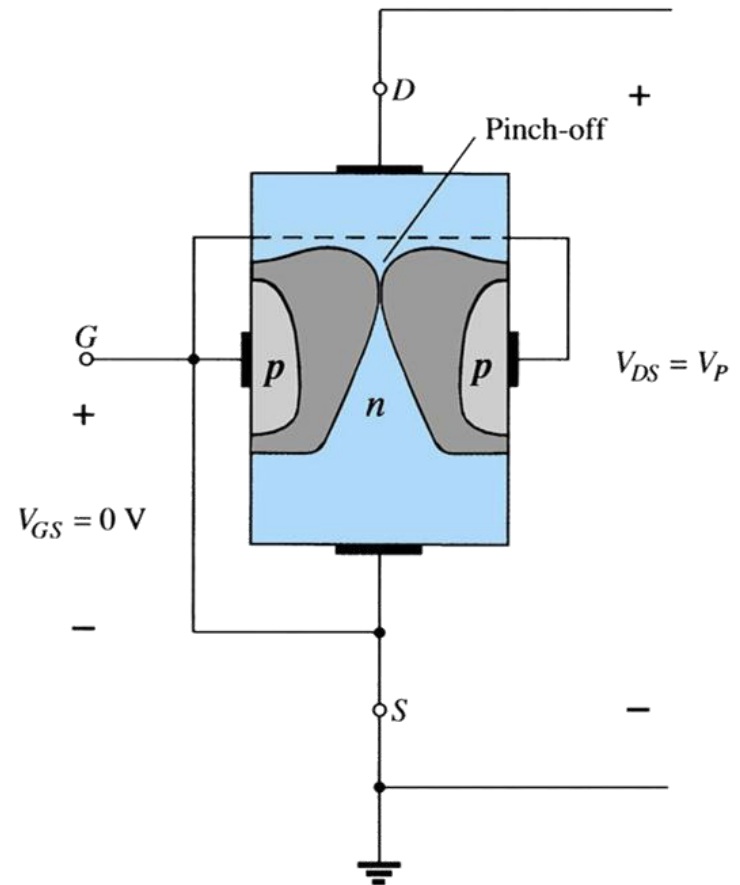


- $V_{GS} = 0$, $V_{DS} > 0$ tăng dần, I_D tăng dần

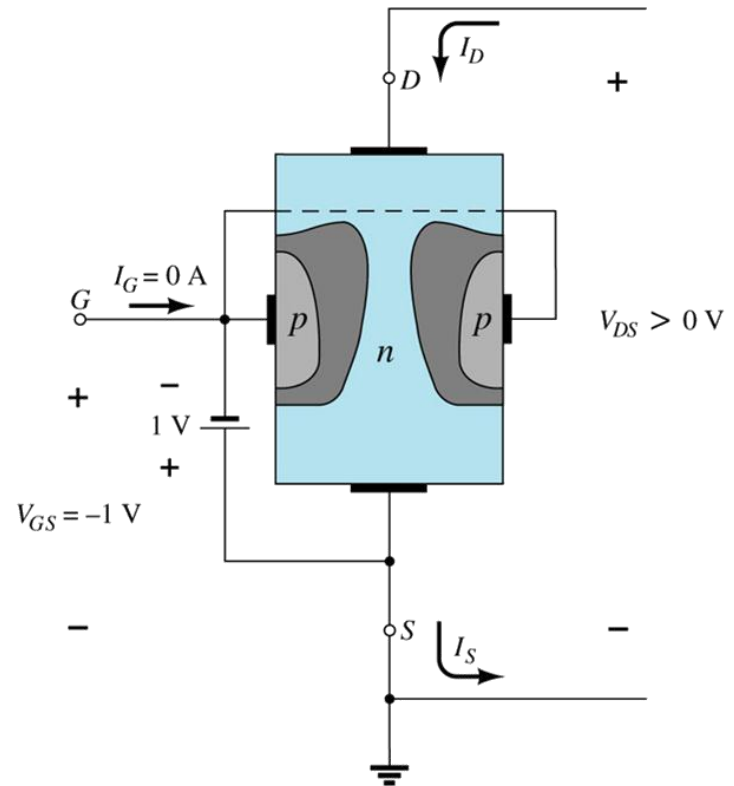
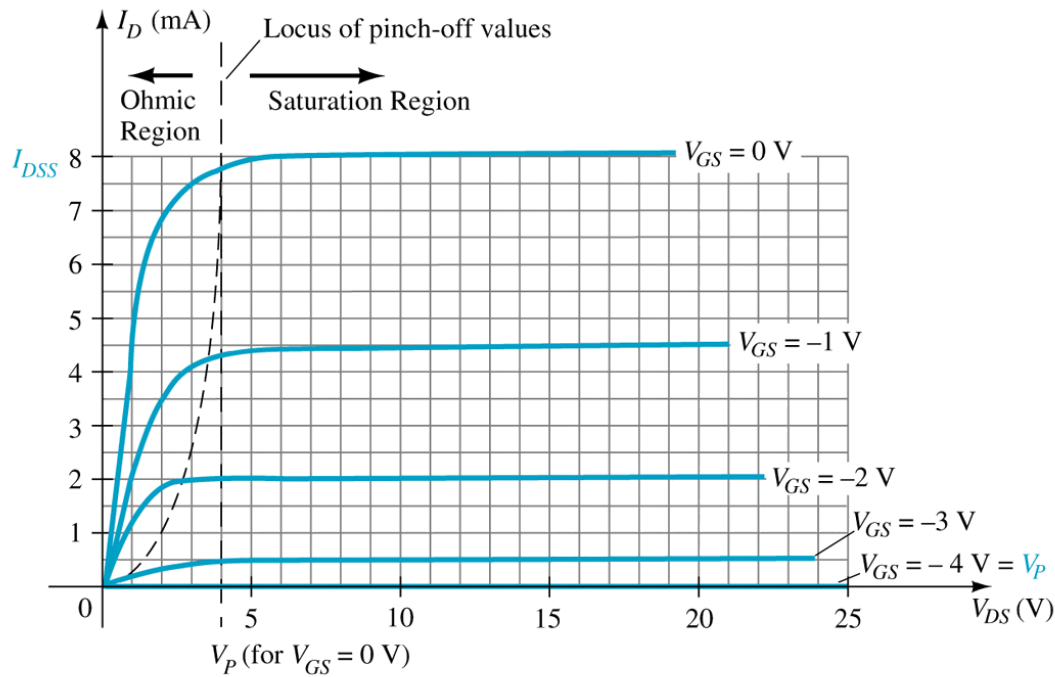
JFET – Hoạt động



- $V_{GS} = 0$, $V_{DS} = V_P$, $I_D = I_{DSS}$
- V_P điện áp thắt kênh (pinch-off)

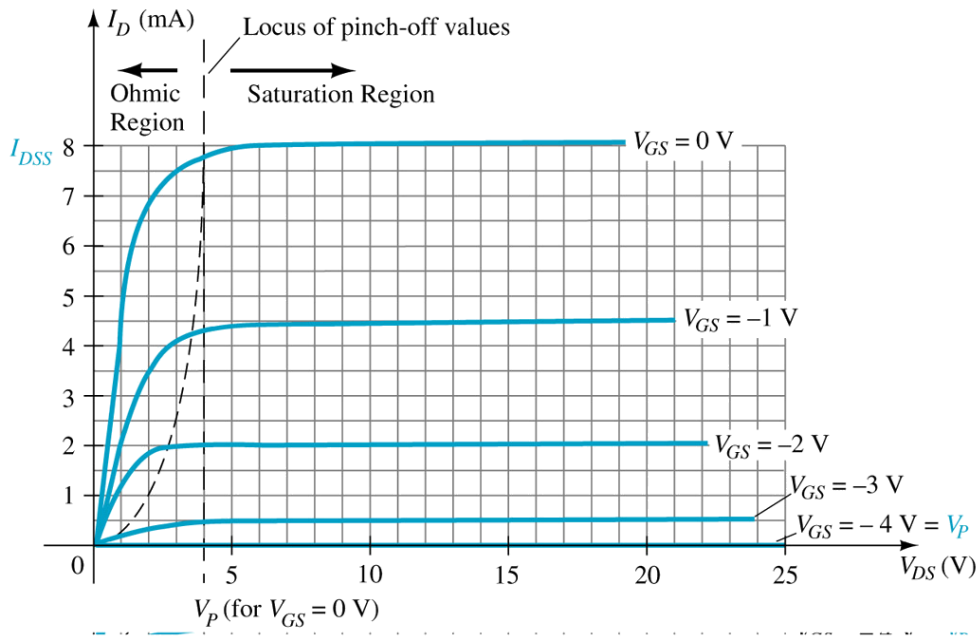


JFET – Hoạt động

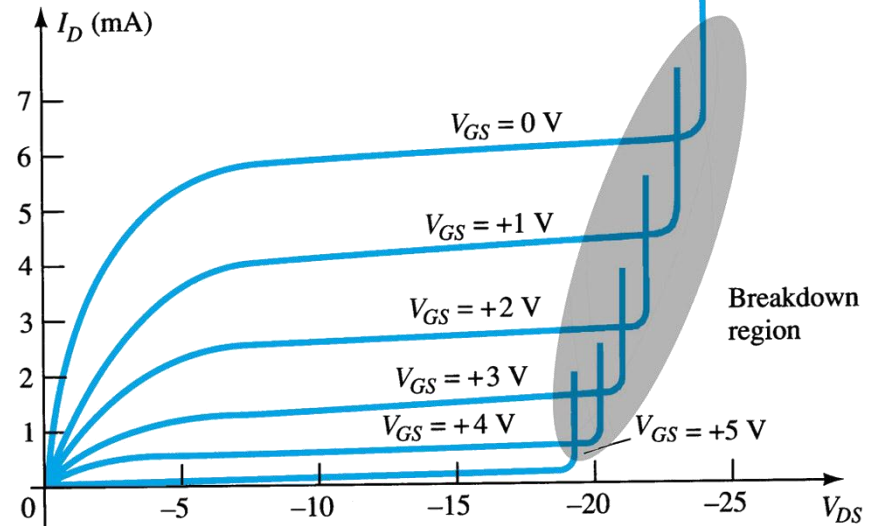


- $V_{GS} < 0$, $V_{DS} > 0$, giá trị mức bão hòa của I_D cũng giảm dần
- $V_{GS} = V_P$, $I_D = 0$

JFET – Đặc tuyến

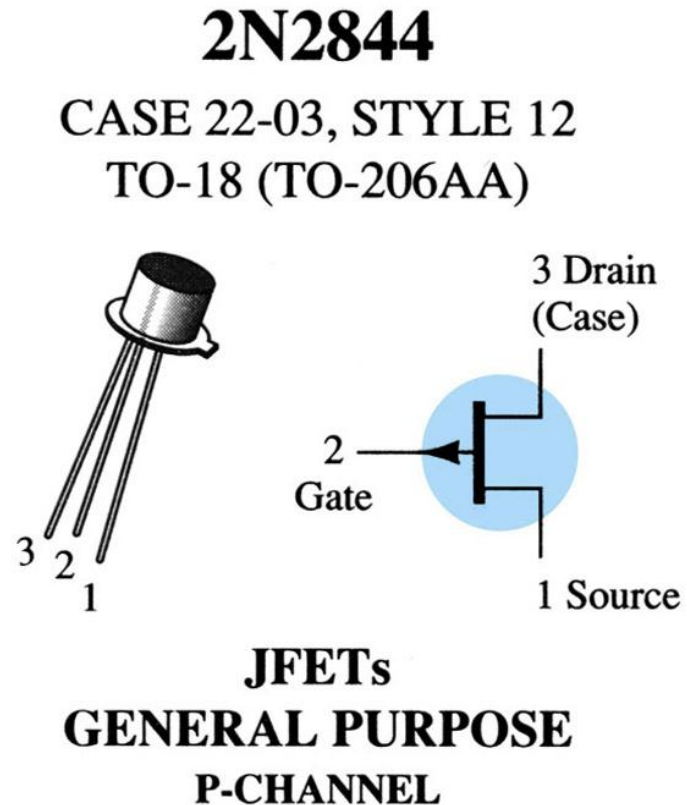
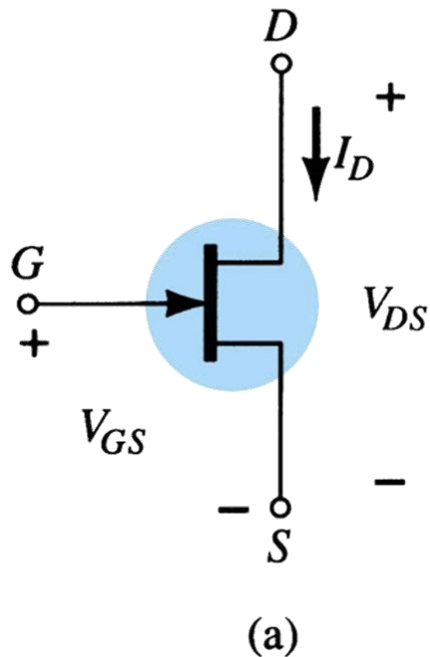


N-channel, $I_{DSS} = 8\text{mA}$, $V_P = -4\text{V}$



P-channel, $I_{DSS} = 6\text{mA}$, $V_P = 6\text{V}$

JFET – Kí hiệu



JFET

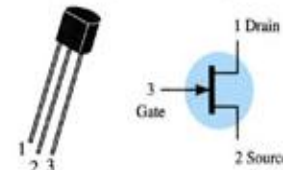
2N5457

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	25	Vdc
Reverse Gate-Source Voltage	V_{GSR}	-25	Vdc
Gate Current	I_G	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	310 2.82	mW mW/ $^\circ\text{C}$
Junction Temperature Range	T_J	125	$^\circ\text{C}$
Storage Channel Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

2N5457

CASE 29-04, STYLE 5
TO-92 (TO-226AA)



JFETs
GENERAL PURPOSE
N-CHANNEL—DEPLETION

Refer to 2N4220 for graphs.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Gate-Source Breakdown Voltage ($I_G = -10 \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GS}$	-25	—	—	Vdc
Gate Reverse Current ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15 \text{ Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	— —	— —	-1.0 -200	nAdc
Gate Source Cutoff Voltage ($V_{DS} = 15 \text{ Vdc}$, $I_D = 10 \text{ nAdc}$)	$V_{GS(off)}$	-0.5	—	-6.0	Vdc
Gate Source Voltage ($V_{DS} = 15 \text{ Vdc}$, $I_D = 100 \mu\text{Adc}$)	V_{GS}	—	-2.5	—	Vdc

ON CHARACTERISTICS

Zero-Gate-Voltage Drain Current* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$)	I_{DSS}	1.0	3.0	5.0	mAdc
--	-----------	-----	-----	-----	------

SMALL-SIGNAL CHARACTERISTICS

Forward Transfer Admittance Common Source* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{fs} $	1000	—	5000	μmhos
Output Admittance Common Source* ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ kHz}$)	$ y_{os} $	—	10	50	μmhos
Input Capacitance ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{iss}	—	4.5	7.0	pF
Reverse Transfer Capacitance ($V_{DS} = 15 \text{ Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{ MHz}$)	C_{rss}	—	1.5	3.0	pF

*Pulse Test: Pulse Width $\leq 630 \text{ ms}$; Duty Cycle $\leq 10\%$

Datasheet-2N5457

Rating	Symbol	Value	Unit
Drain-Source voltage	V_{DS}	25	Vdc
Drain-Gate voltage	V_{DG}	25	Vdc
Reverse G-S voltage	V_{GSR}	-25	Vdc
Gate current	I_G	10	nAdc
Device dissipation 25°C	P_D	310	mW
Derate above 25°C		2.82	mW/°C
Junction temp range	T_J	125	°C
Storage channel temp range	T_{stg}	-60 to +150	°C

Datasheet-2N5457-characteristics

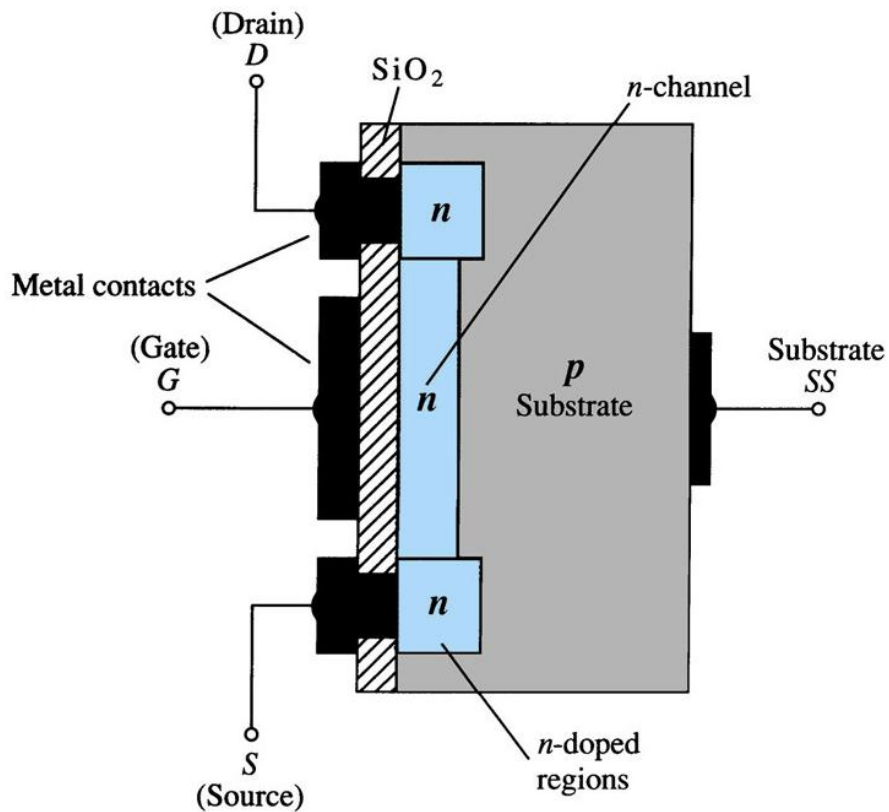
Characteristic	Symbol	Min	Typ	Max	Unit
V_{G-S} breakdown	$V_{(BR)GSS}$	-25			Vdc
I_{gate} reverse($V_{gs}=-15$, $V_{ds}=0$)	I_{GSS}			-1.0	nAdc
V_{G-S} cutoff	$V_{GS(off)}$	-0.5		-1.0	Vdc
V_{G-S}	V_{GS}		-2.5	-6.0	Vdc
I_{D-zero} gate volage	I_{DSS}	1.0	3.0	5.0	mAdc
C_{in}	C_{iss}		4.5	7.0	pF
$C_{reverse}$ transfer	C_{rss}		1.5	3.0	pF

MOSFET

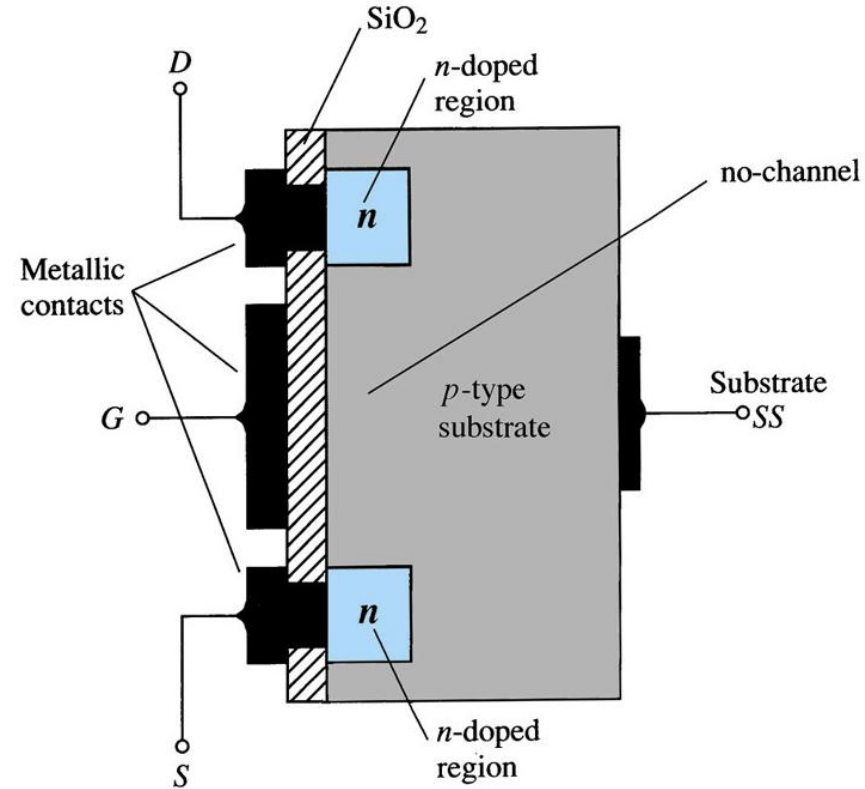
- Cấu trúc
- Hoạt động
- Đặc tuyến

Chú ý: rất cẩn thận khi sử dụng so với JFET vì lớp oxit bán dẫn của MOS dễ bị đánh thủng do tĩnh điện

MOSFET – Cấu trúc

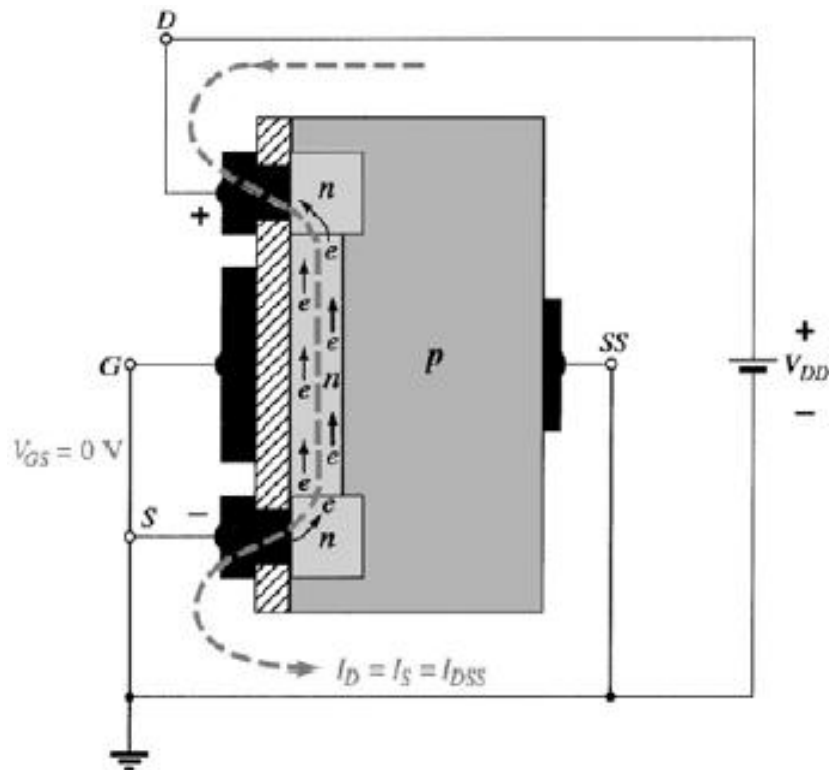


N-channel depletion DMOS



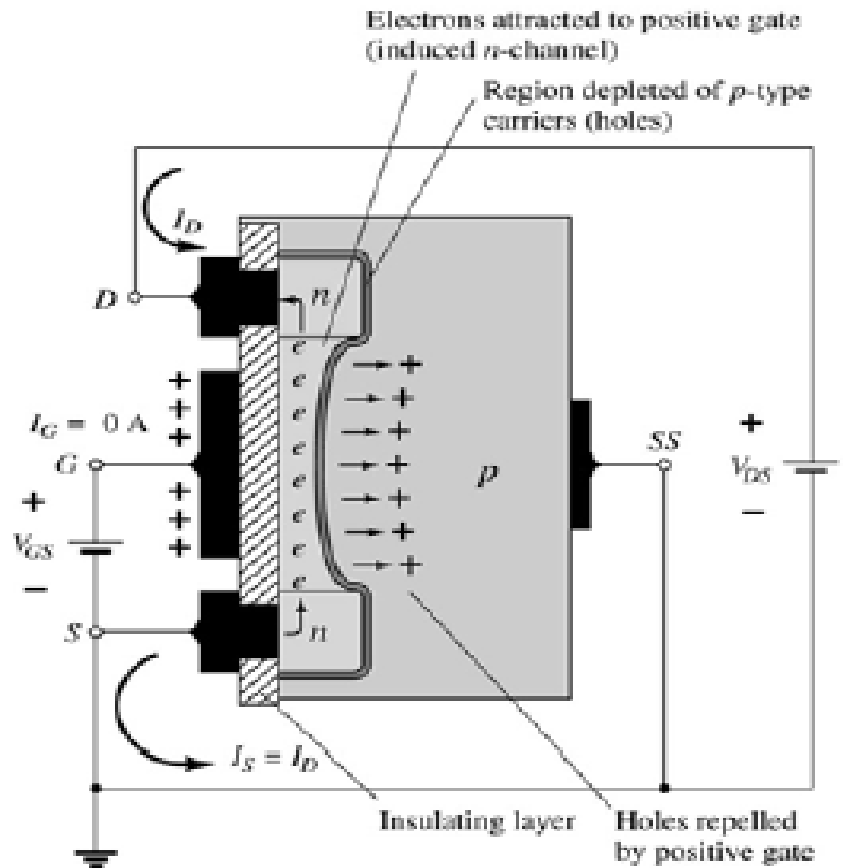
N-channel enhancement EMOS

MOSFET – Hoạt động



N-channel DMOS

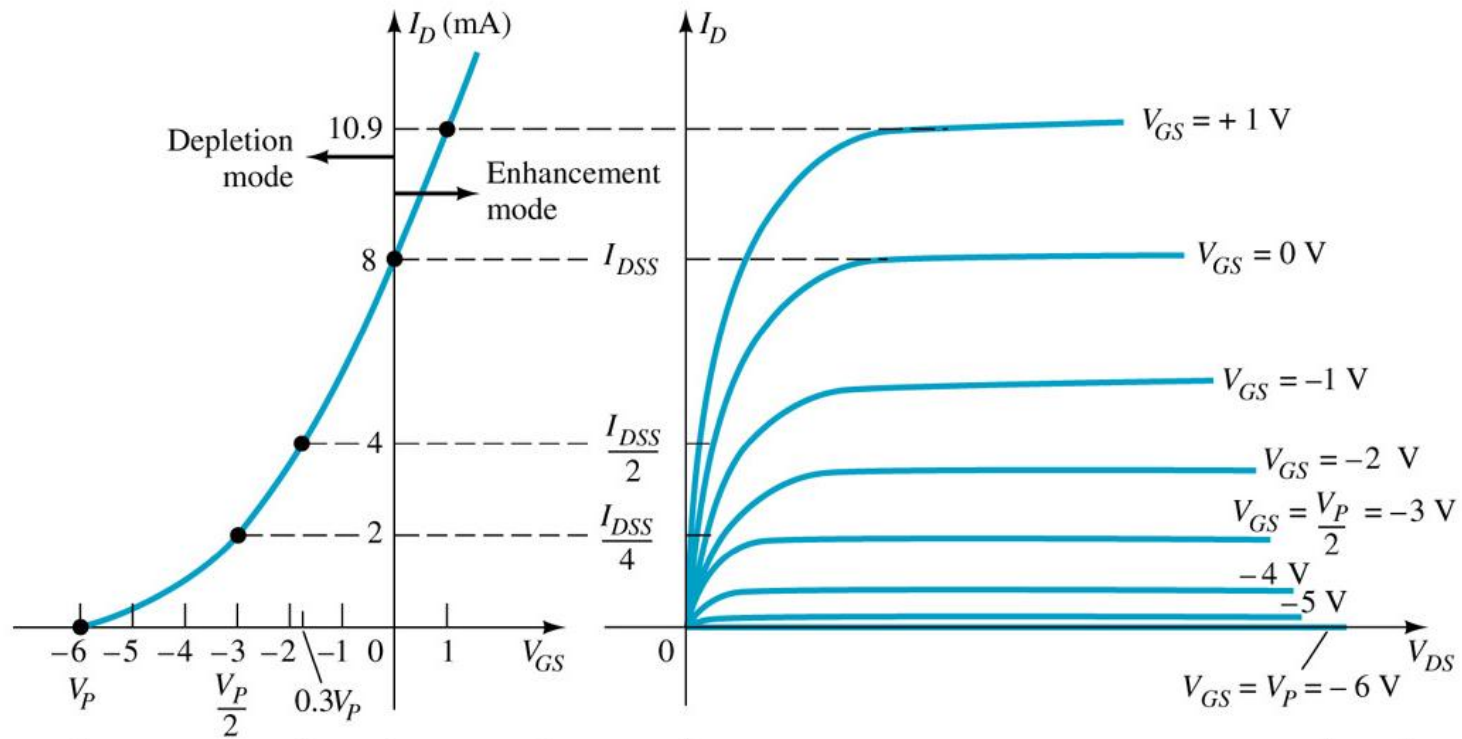
$$V_{GS} = 0, V_{DS} > 0$$



N-channel EMOS

$$V_{GS} > 0, V_{DS} > 0$$

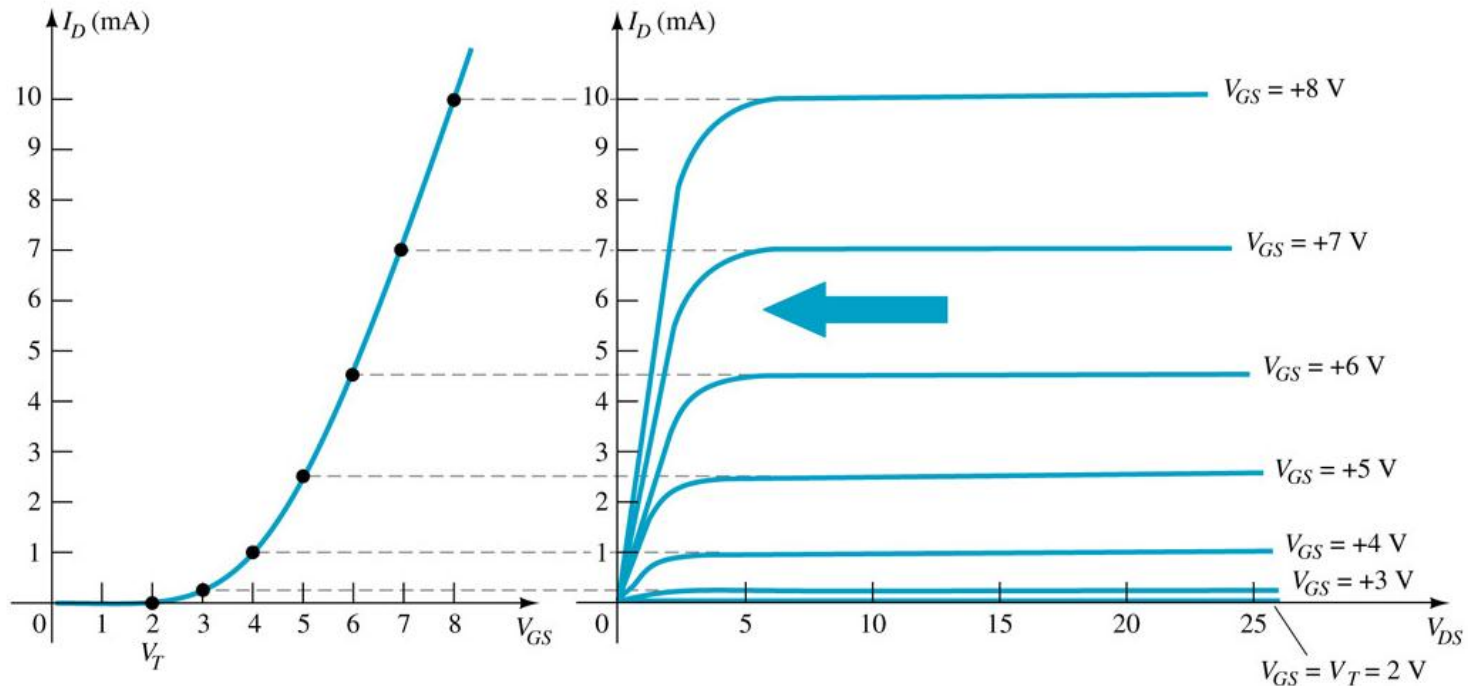
DMOS – Đặc tuyến truyền đạt



Tương tự như của JFET, đặc tuyến truyền đạt $I_D = f(V_{GS})$ tuân theo phương trình Shockley: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$

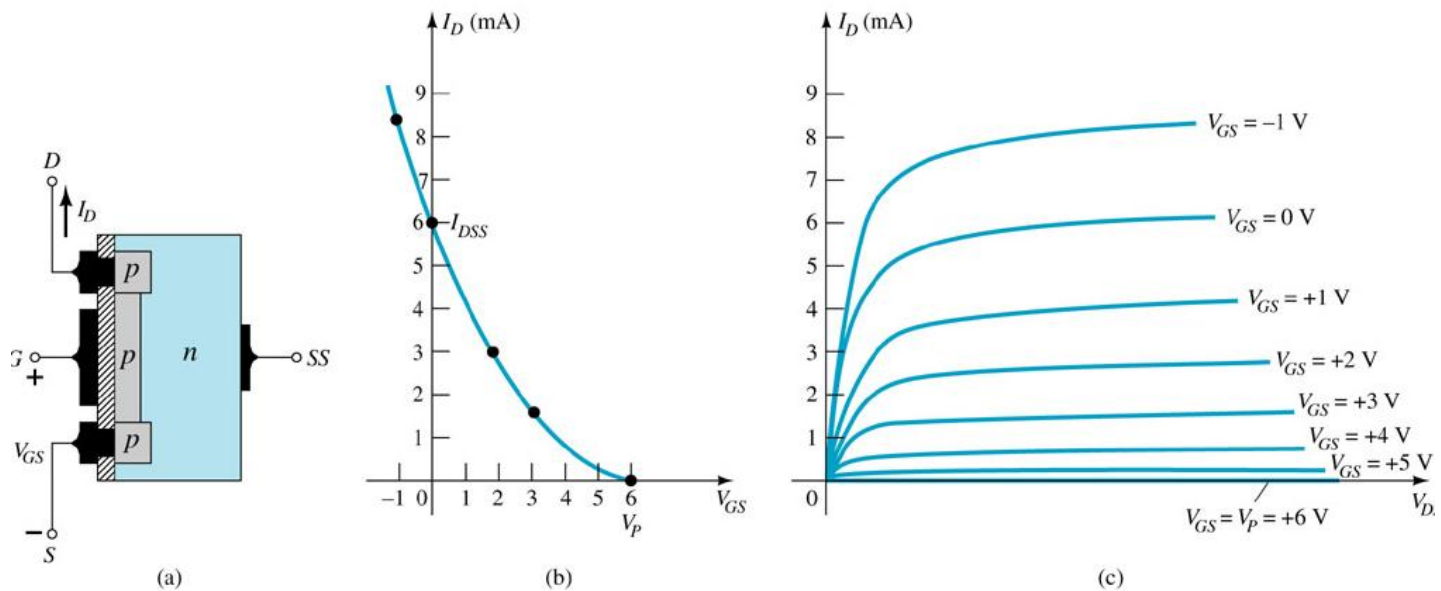
nhưng có thể hoạt động ở vùng $V_{GS} > 0, I_D > 0$

EMOS – Đặc tuyến truyền đạt



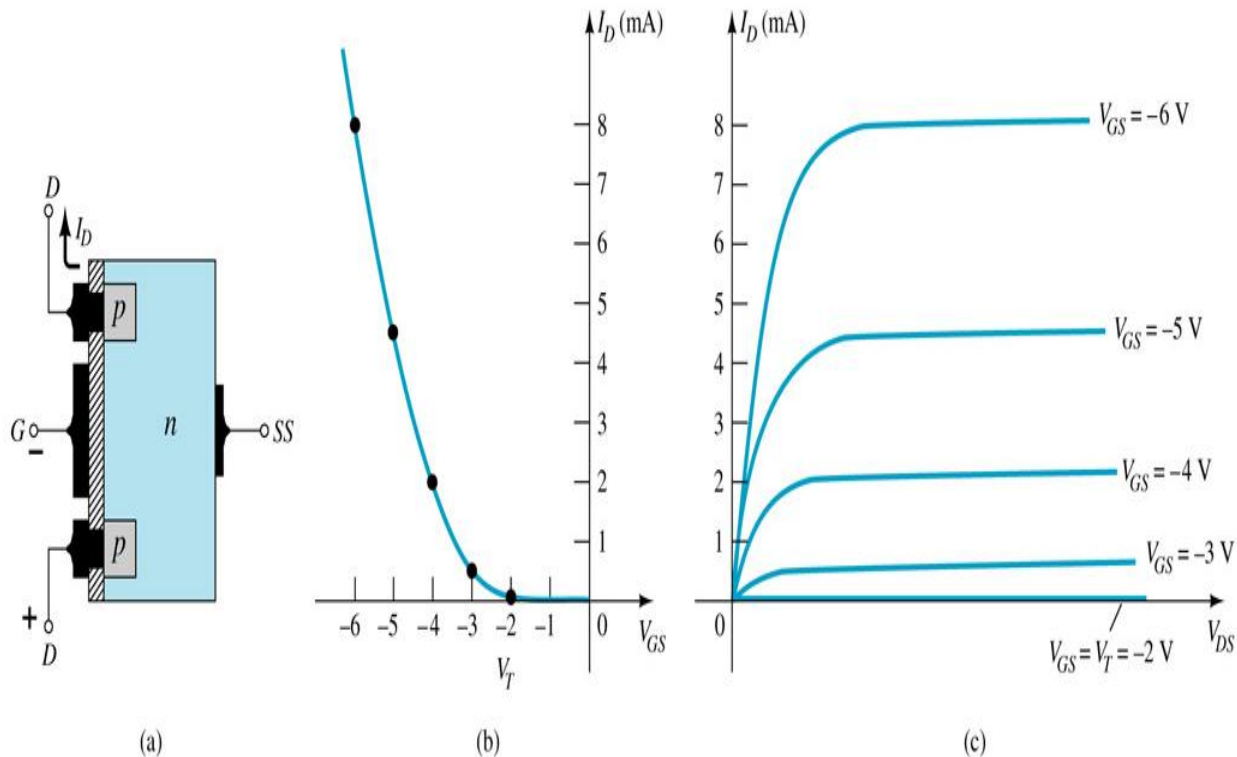
- Phương trình đặc tuyến truyền đạt:
 $I_D = k(V_{GS} - V_T)^2$ với điện áp mở $V_T > 0$ (kênh N)
- $V_{GS} < V_T$, $I_D = 0$

MOSFET – Đặc tuyến truyền đạt



P-channel depletion

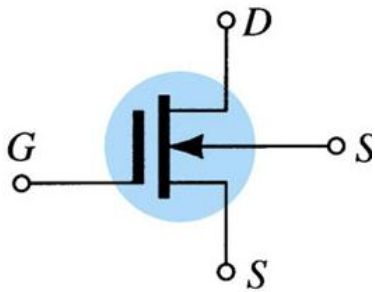
MOSFET – Đặc tuyến truyền đạt



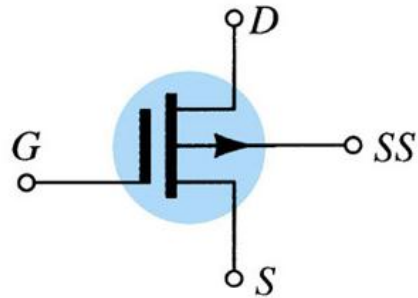
P-channel enhancement

MOSFET – Kí hiệu

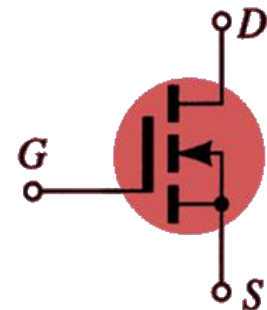
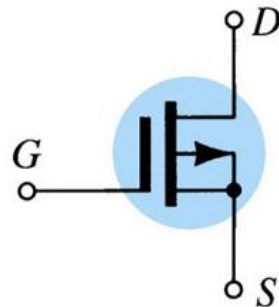
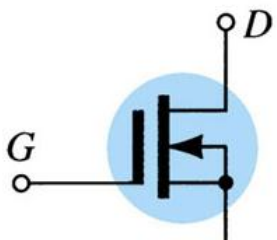
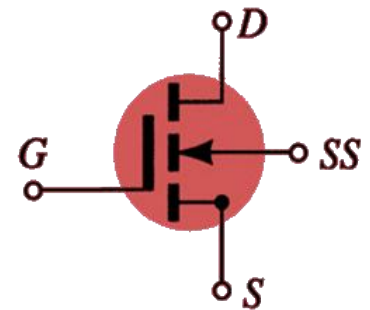
n-channel



p-channel



n-channel



DMOS

EMOS

EMOS

2N4351

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	30	Vdc
Gate-Source Voltage*	V_{GS}	30	Vdc
Drain Current	I_D	30	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	300 1.7	mW mW/°C
Junction Temperature Range	T_J	175	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

* Transient potentials of ± 75 Volt will not cause gate-oxide failure.

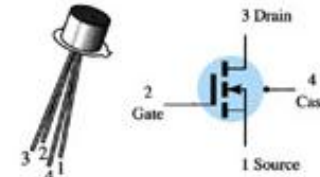
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Drain-Source Breakdown Voltage ($I_D = 10 \mu\text{A}$, $V_{GS} = 0$)	$V_{(BR)DSX}$	25	—	Vdc
Zero-Gate-Voltage Drain Current ($V_{DS} = 10 \text{ V}$, $V_{GS} = 0$) $T_A = 25^\circ\text{C}$ $T_A = 150^\circ\text{C}$	I_{DSS}	— —	10 10	nAdc μAdc
Gate Reverse Current ($V_{GS} = \pm 15 \text{ Vdc}$, $V_{DS} = 0$)	I_{GSS}	—	± 10	pAdc
ON CHARACTERISTICS				
Gate Threshold Voltage ($V_{DS} = 10 \text{ V}$, $I_D = 10 \mu\text{A}$)	$V_{GS(Th)}$	1.0	5	Vdc
Drain-Source On-Voltage ($I_D = 2.0 \text{ mA}$, $V_{GS} = 10 \text{ V}$)	$V_{DS(on)}$	—	1.0	V
On-State Drain Current ($V_{GS} = 10 \text{ V}$, $V_{DS} = 10 \text{ V}$)	$I_{D(on)}$	3.0	—	mAdc
SMALL-SIGNAL CHARACTERISTICS				
Forward Transfer Admittance ($V_{DS} = 10 \text{ V}$, $I_D = 2.0 \text{ mA}$, $f = 1.0 \text{ kHz}$)	$ y_{fs} $	1000	—	μmho
Input Capacitance ($V_{DS} = 10 \text{ V}$, $V_{GS} = 0$, $f = 140 \text{ kHz}$)	C_{iss}	—	5.0	pF
Reverse Transfer Capacitance ($V_{DS} = 0$, $V_{GS} = 0$, $f = 140 \text{ kHz}$)	C_{rss}	—	1.3	pF
Drain-Substrate Capacitance ($V_{DS(SUB)} = 10 \text{ V}$, $f = 140 \text{ kHz}$)	$C_{d(sub)}$	—	5.0	pF
Drain-Source Resistance ($V_{GS} = 10 \text{ V}$, $I_D = 0$, $f = 1.0 \text{ kHz}$)	$r_{ds(on)}$	—	300	ohms
SWITCHING CHARACTERISTICS				
Turn-On Delay (Fig. 5)	t_{d1}	—	45	ns
Rise Time (Fig. 6)	t_r	—	65	ns
Turn-Off Delay (Fig. 7)	t_{d2}	—	60	ns
Fall Time (Fig. 8)	t_f	—	100	ns

$I_D = 2.0 \text{ mAdc}$, $V_{DS} = 10 \text{ Vdc}$,
($V_{GS} = 10 \text{ Vdc}$)
(See Figure 9; Times Circuit Determined)

2N4351

CASE 20-03, STYLE 2
TO-72 (TO-206AF)

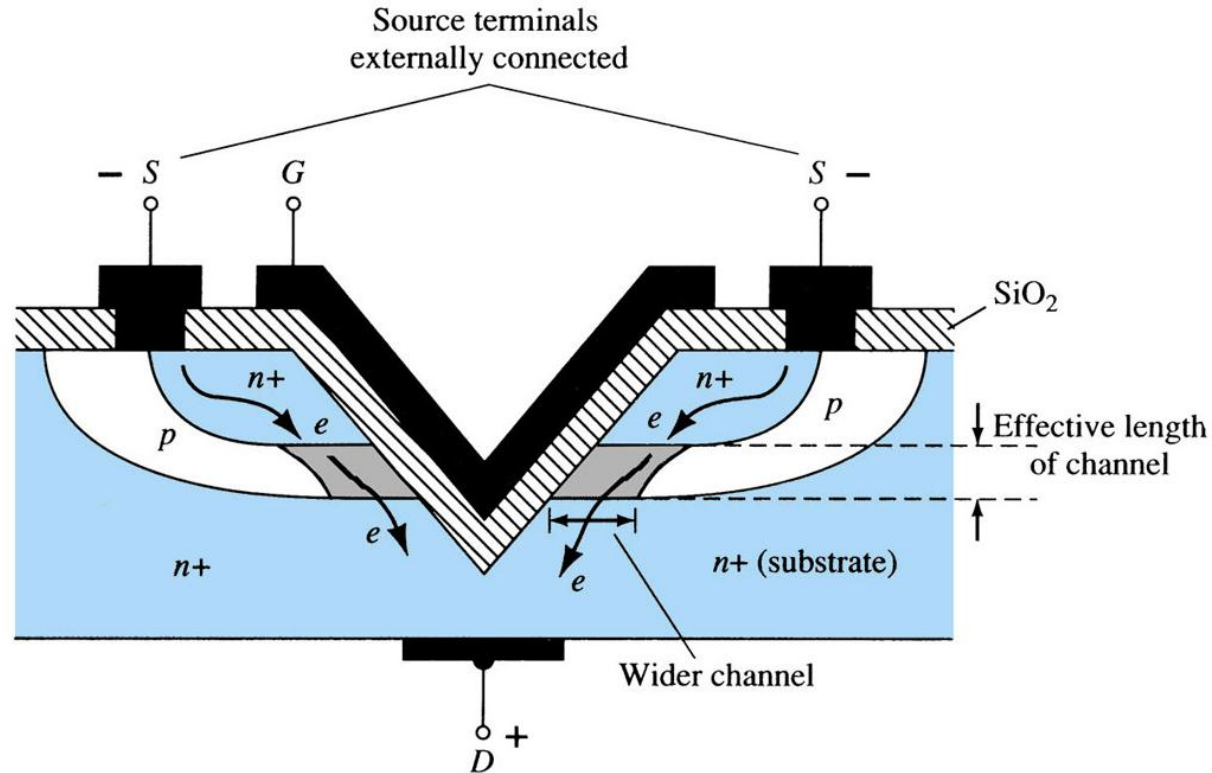


**MOSFET
SWITCHING**
N-CHANNEL - ENHANCEMENT

Datasheet-2N4351-EMOS

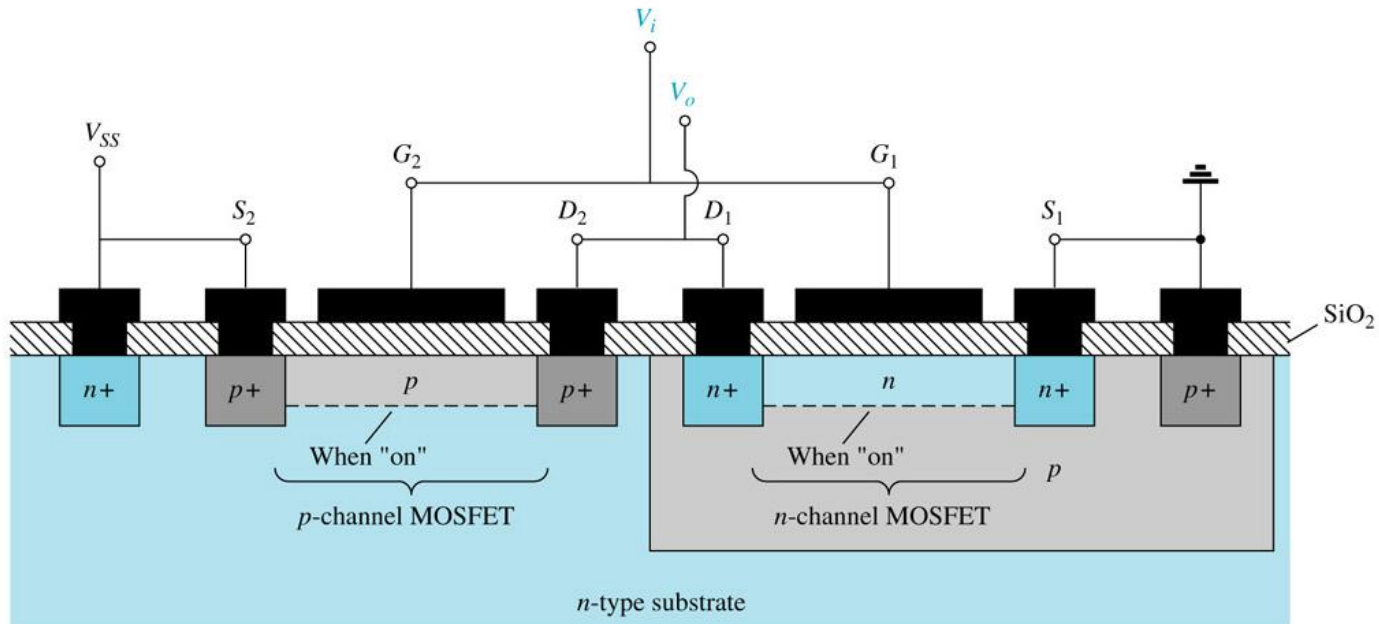
Characteristic	Symbol	Min	Max	Unit
V_{DS} breakdown	$V_{(BR)DSX}$	25		Vdc
I_D -zero gate volage, Vds=10V,Vgs=0, 25C – 150C	I_{DSS}		10 10	nAdc μ Adc
I_{gate} reverse(Vgs=+-15, Vds=0)	I_{GSS}		+ -10	nAdc
V_{DS} on Voltage	$V_{DS(on)}$		1.0	V
C_{in} (Vds=10V,Id=2mA,f=140kHz)	C_{iss}		5.0	pF
C_{DS} (Vdsub=10V,f=140KHz)	C_{rss}		5.0	pF
R_{DS} (Vgs=10V,Id=0,f=1KHz)	$R_{ds(on)}$		300	ohms

VMOS



- VMOS – Vertical MOSFET ,tăng diện tích bề mặt
- Có thể hoạt động ở dòng lớn hơn vì có bề mặt tỏa nhiệt
- Tốc độ chuyển mạch tốt hơn

CMOS



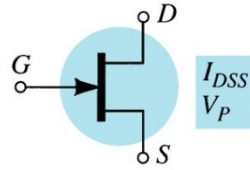
- ❑ CMOS=Complementary MOSFET
- ❑ pMOS và nMOS trên cùng một đế, hoạt động ở chế độ chuyển mạch ON/OFF
- ❑ Giảm kích thước và công suất tiêu thụ, tăng tốc độ chuyển mạch
- ❑ Thiết kế IC (tương tự và số)

So sánh FET-BJT

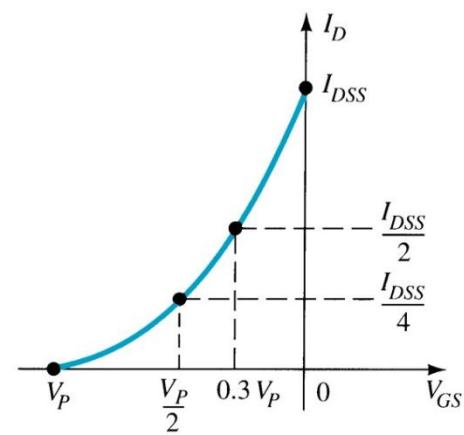
BJT	FET
<ul style="list-style-type: none">➤ Điều khiển bằng dòng => tiêu hao công suất➤ Dòng ra và dòng vào quan hệ tuyến tính➤ Hệ số khuếch đại tốt hơn➤ Chịu ảnh hưởng của nhiệt độ	<ul style="list-style-type: none">➤ Điều khiển bằng áp => ít tiêu hao công suất➤ Dòng ra và điện áp vào quan hệ không tuyến tính➤ Trở kháng vào rất lớn, hệ số tạp âm nhỏ, phù hợp nguồn tín hiệu nhỏ➤ Ít bị ảnh hưởng của nhiệt độ

Tổng kết

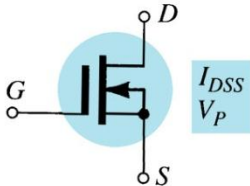
$$I_G = 0 \text{ A}, I_D = I_S$$



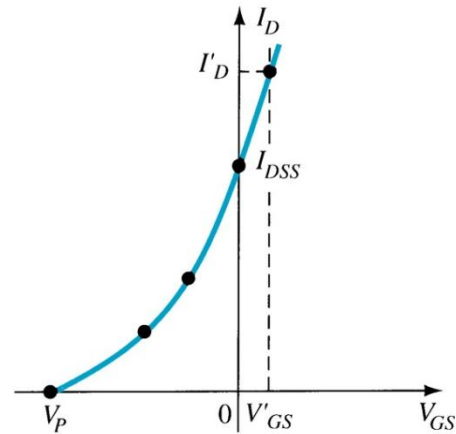
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



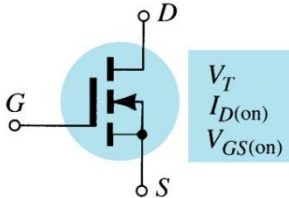
$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

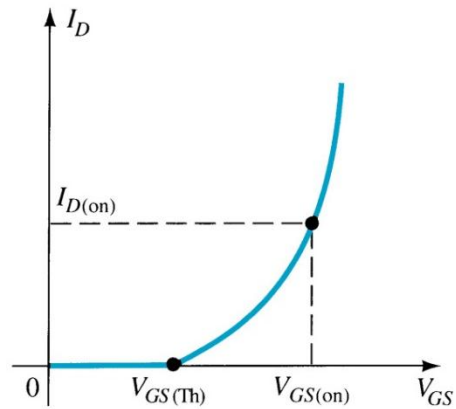


$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = k (V_{GS} - V_{GS(Th)})^2$$

$$k = \frac{I_{D(on)}}{(V_{GS(on)} - V_{GS(Th)})^2}$$



Phân cực

- Phân cực cố định (Fixed bias)
- Tự phân cực (Self bias)
- Phân cực phân áp (Voltage divider bias)
- Phân cực hồi tiếp (Feedback bias)

Phân cực

Mối liên hệ giữa dòng điện và điện áp khi đặt FET ở chế độ khuếch đại

Với tất cả các loại FET:

$$I_G = 0A$$

$$I_D = I_S$$

Với JFET và DMOS:

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Với EMOS:

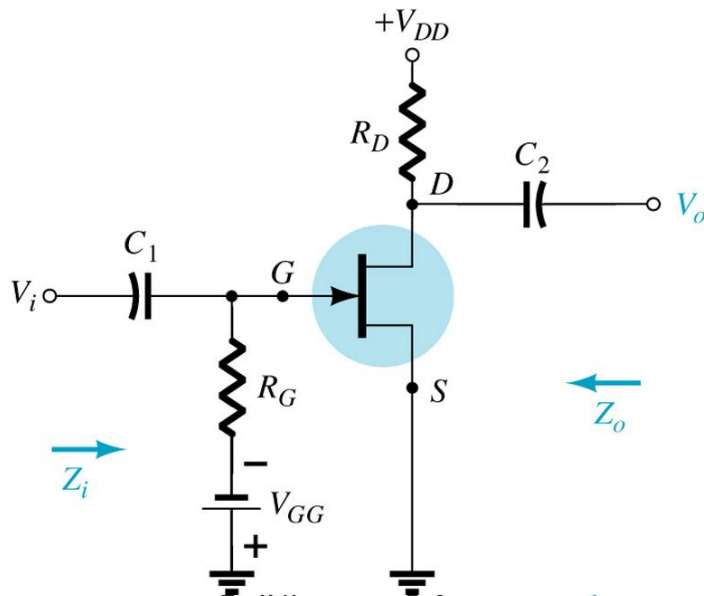
$$I_D = k(V_{GS} - V_T)^2$$

Quan hệ giữa dòng điện ra và điện áp vào là quan hệ phi tuyến => hay sử dụng phương pháp đồ thị

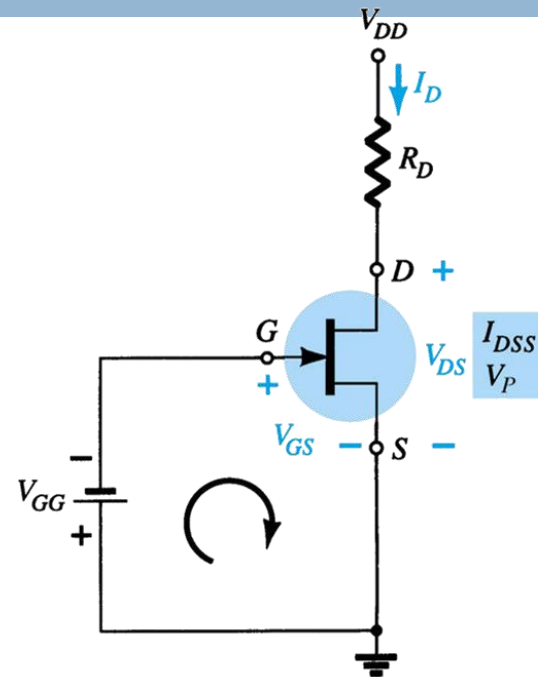
Phân cực

- Phân cực cố định (Fixed bias): JFET
- Tự phân cực (Self bias): JFET, DMOS
- Phân cực phân áp (Voltage divider bias): JFET, DMOS, EMOS
- Phân cực hồi tiếp (Feedback bias): EMOS

Phân cực cố định



Gọi là phân cực cố định
vì điện áp V_{GS} được cố
định bởi nguồn 1c V_{GG}



$$I_G = 0A$$

$$V_S = 0$$

$$V_{GS} = V_G = -V_{GG}$$

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Phân cực cố định

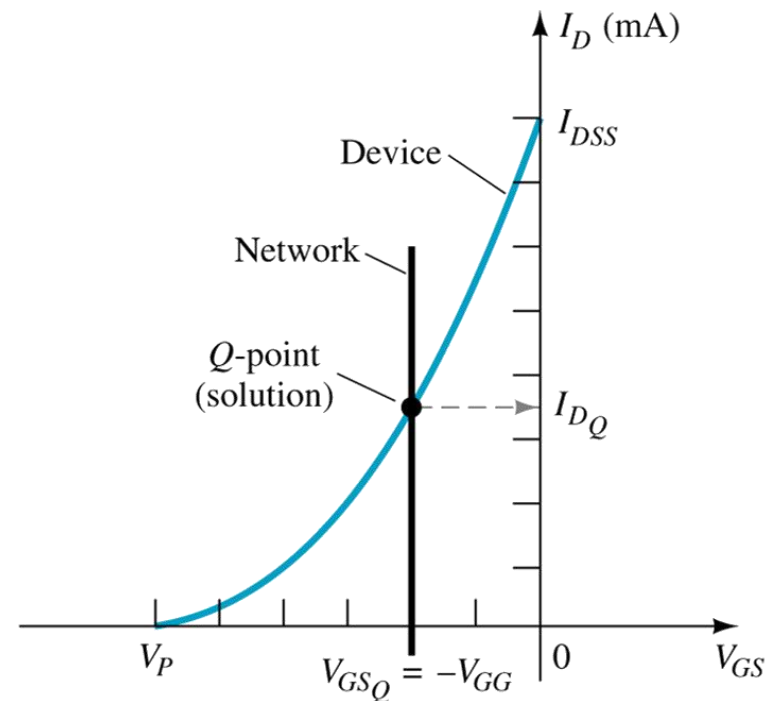
$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Xây dựng đặc tuyến truyền đạt theo bảng giá trị sau:

V_{GS}	I_D
0	I_{DSS}
$0.3V_P$	$I_{DSS}/2$
0.5	$I_{DSS}/4$
V_P	0mA

Phương trình đường tải

$$V_{GS} = -V_{GG}$$



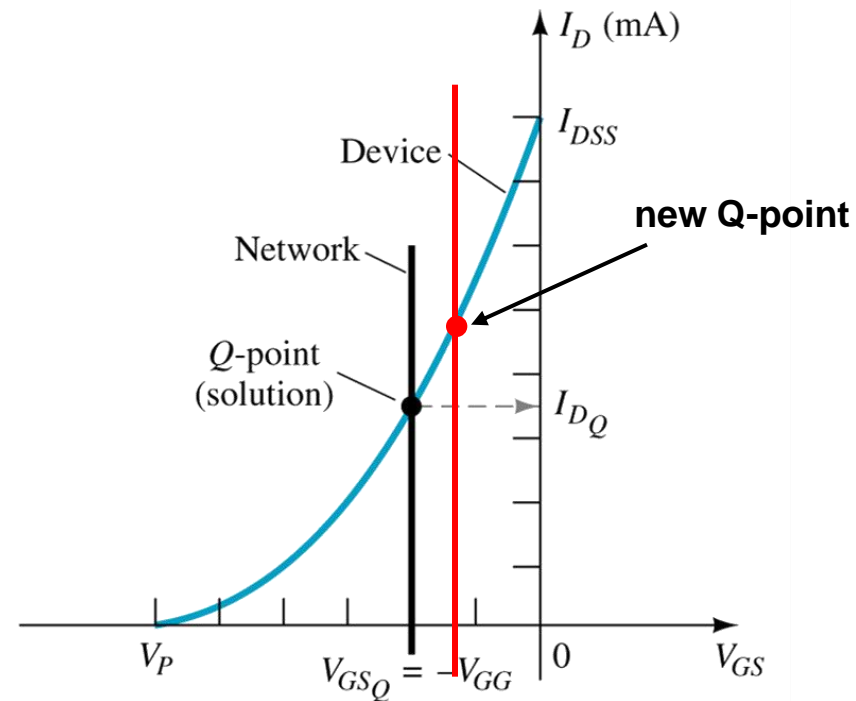
Giao điểm của đặc tuyến truyền đạt và đường tải là điểm làm việc tĩnh

Ảnh hưởng nhiệt độ

Trong thực tế, dòng rò I_{GSS} tăng lên theo nhiệt độ nên không thể hoàn toàn bỏ qua

Điểm làm việc tĩnh dịch chuyển

$$V_{GS} = V_{GG} + I_{GSS} * R_G$$



Ảnh hưởng nhiệt độ

Nếu $V_{GG} = -1V$ và $R_G = 1\text{ M}\Omega$. $I_{GSS} = 10\text{ nA}$ tại 25°C và tăng lên gấp đôi nếu nhiệt độ tăng 10°C . V_{GS} tại nhiệt độ 125°C ?

Giải.

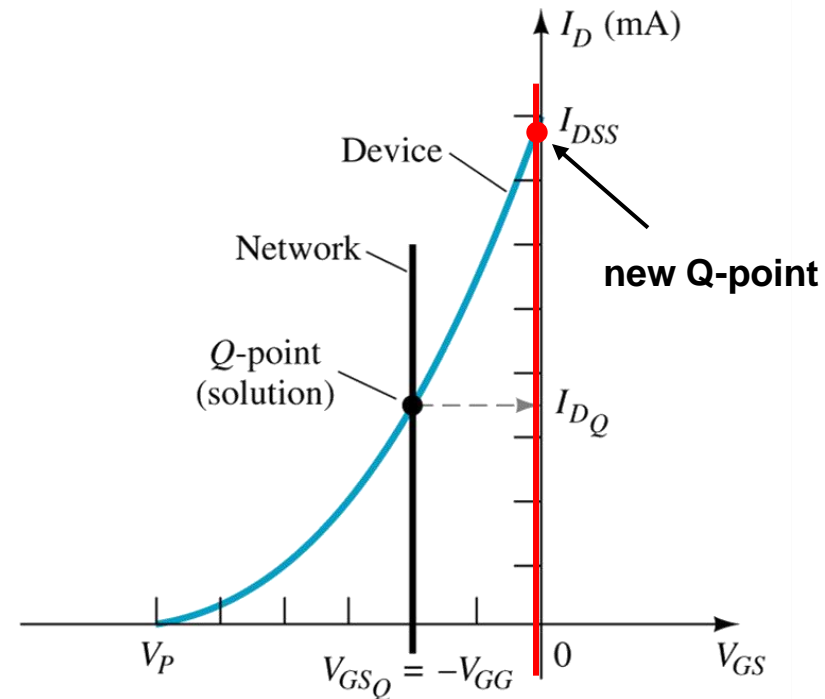
Tại 25°C , $I_{GSS} \times R_G = 10^{-9} \times 10^6 = 1\text{ mV}$, có thể bỏ qua khi so với $V_{GG} = -1V$ (chính xác $V_{GS} = -999\text{ mV}$).

Nếu nhiệt độ tăng lên 125°C , dòng I_{GSS} tăng lên 2^{10} lần ($\approx 10^3$)

$$I_{GSS} = 10^3 \times 1\text{ nA} = 1\text{ }\mu\text{A}$$

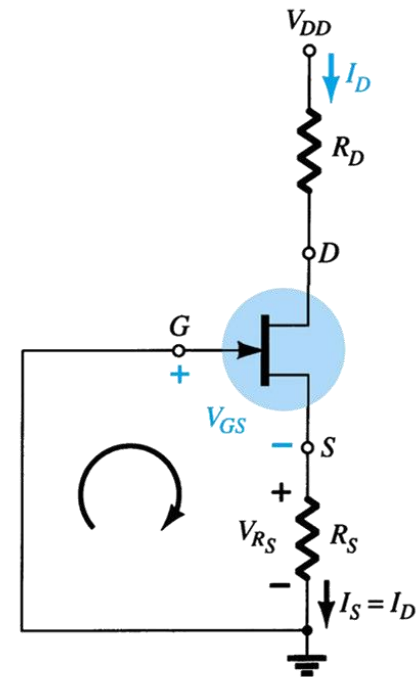
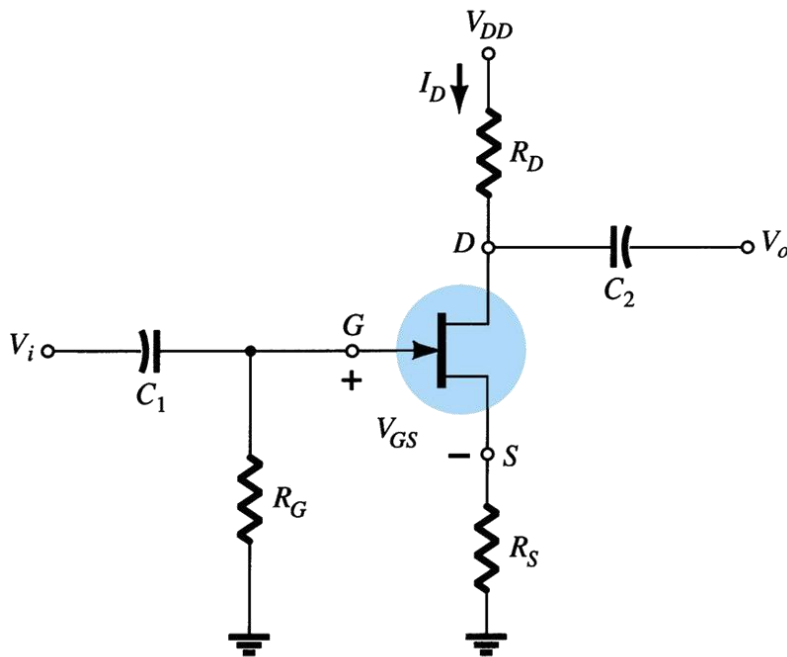
$$I_{GSS} \times R_G = 1V$$

$$V_{GS} = 0V \text{ và } I_D = I_{DSS}$$



Điểm làm việc Q dịch chuyển đi rất nhiều so với thiết kế ban đầu ở nhiệt độ phòng

Tự phân cực



Có điểm gì khác so với phân cực cố định? Tại sao gọi là tự phân cực? Vai trò của R_S ?

Điện trở R_G được coi như ngắn mạch? Có thể bỏ R_G ?

Tự phân cực

Mạch vòng đầu vào:

$$I_G = 0 \Rightarrow V_G = 0V$$

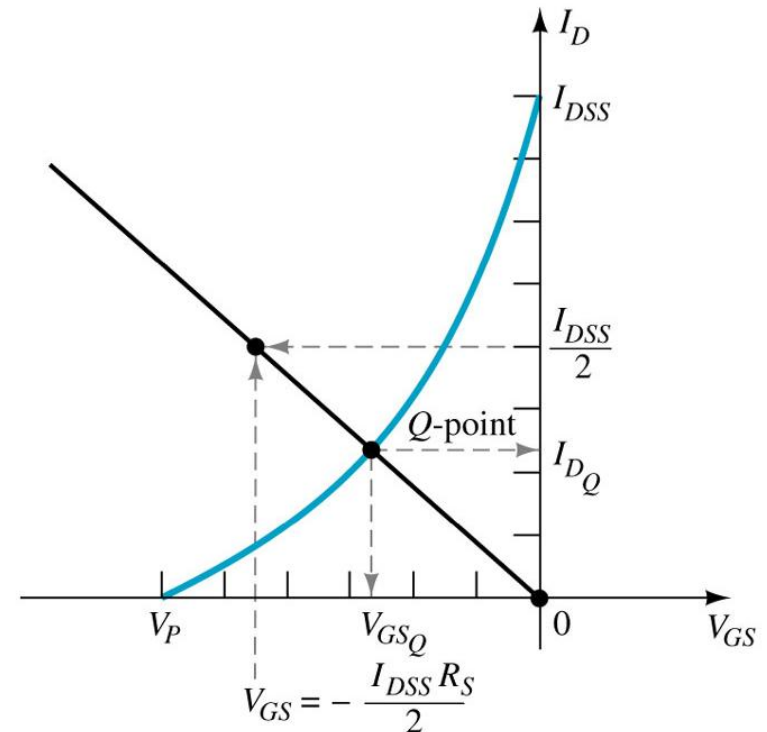
$$V_{GS} = -I_S R_S$$

$$I_D = I_{DSS}(1 - V_{GS}/V_p)^2$$

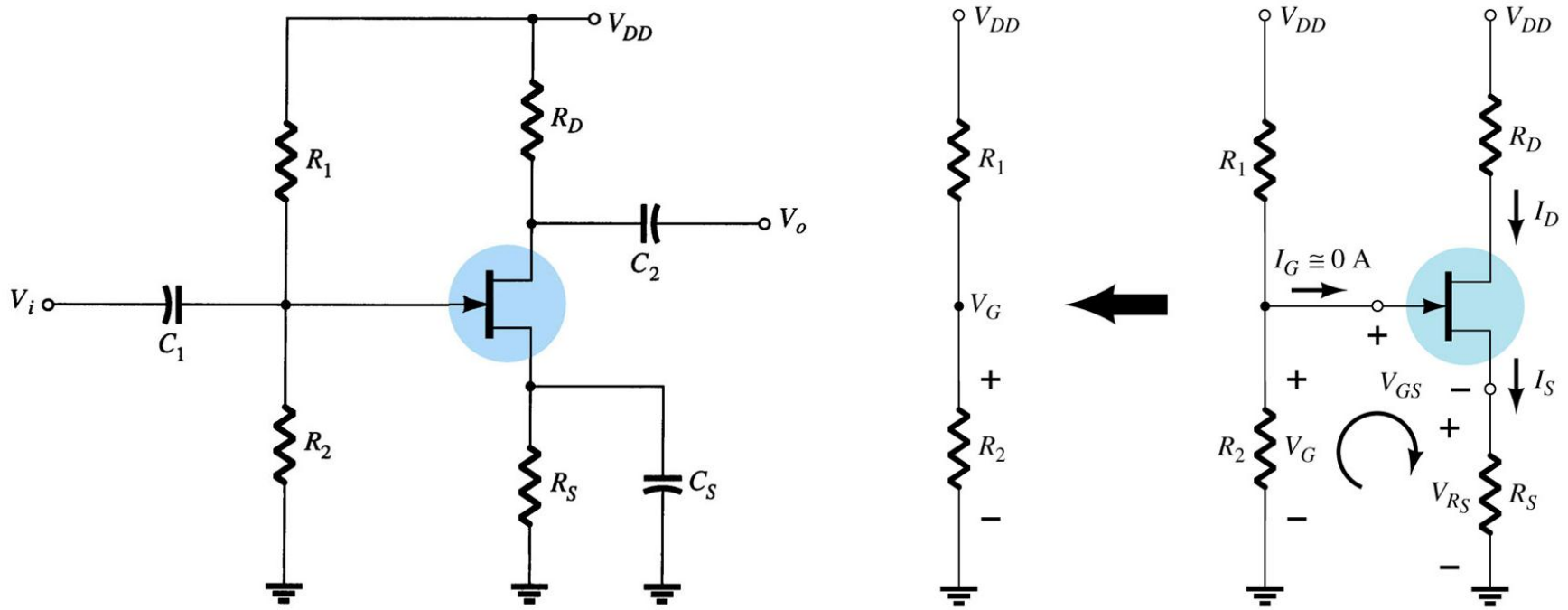
Giải hệ trên để xác định điểm làm việc Q

Hoặc xác định theo phương pháp đồ thị như hình bên

Xem xét sự phụ thuộc nhiệt độ?



Phân cực kiểu phân áp



Dòng $I_G = 0$, điện áp vào V_{GS} điều khiển dòng ra I_D
Sử dụng phổ biến, cho các loại FET

Phân cực kiểu phân áp

$$V_G = V_{DD}R_2/(R_1+R_2)$$

Phương trình đường tải

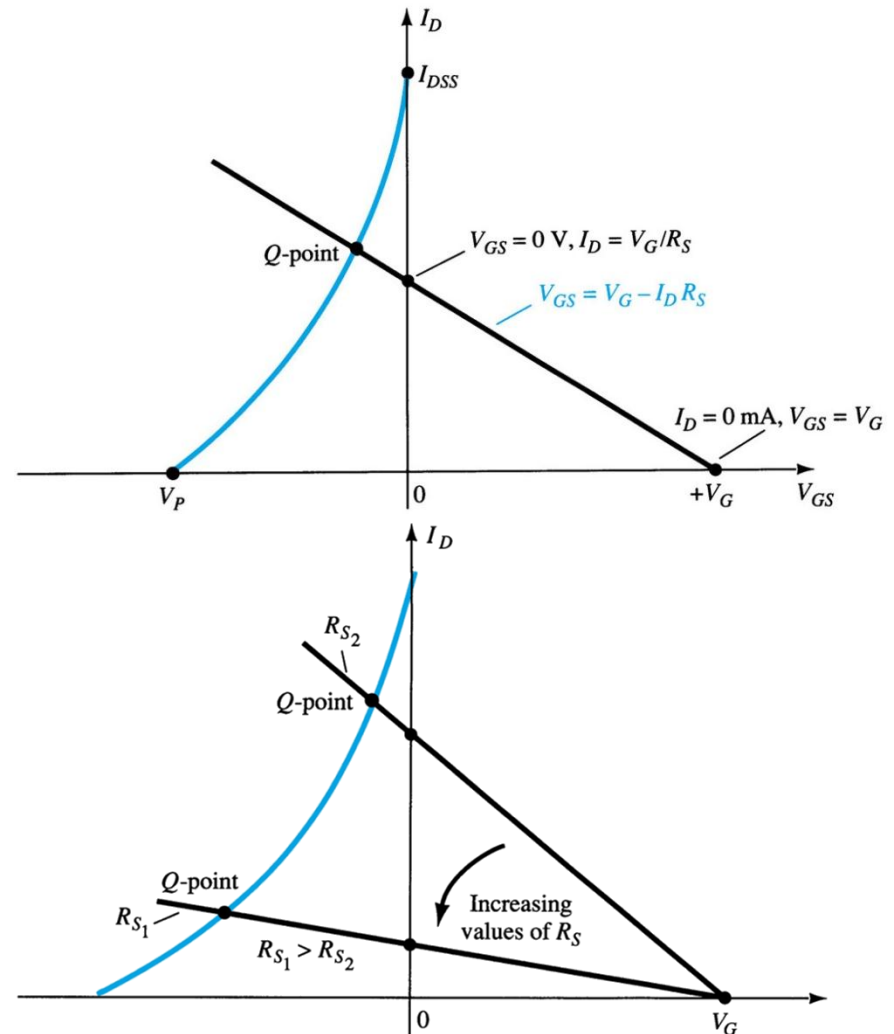
$$V_{GS} = V_G - I_D R_S \quad (1)$$

Giá trị R_S thay đổi làm đường tải và điểm làm việc dịch chuyển

Mối quan hệ bên trong của FET

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2, \quad (2)$$

Giải hệ phương trình trên (1,2) hoặc xác định theo phương pháp đồ thị như hình bên



Phân cực kiểu phân áp

$$V_G = V_{DD} * 10\text{M}\Omega / (110\text{M}\Omega + 10\text{M}\Omega)$$

Phương trình đường tải:

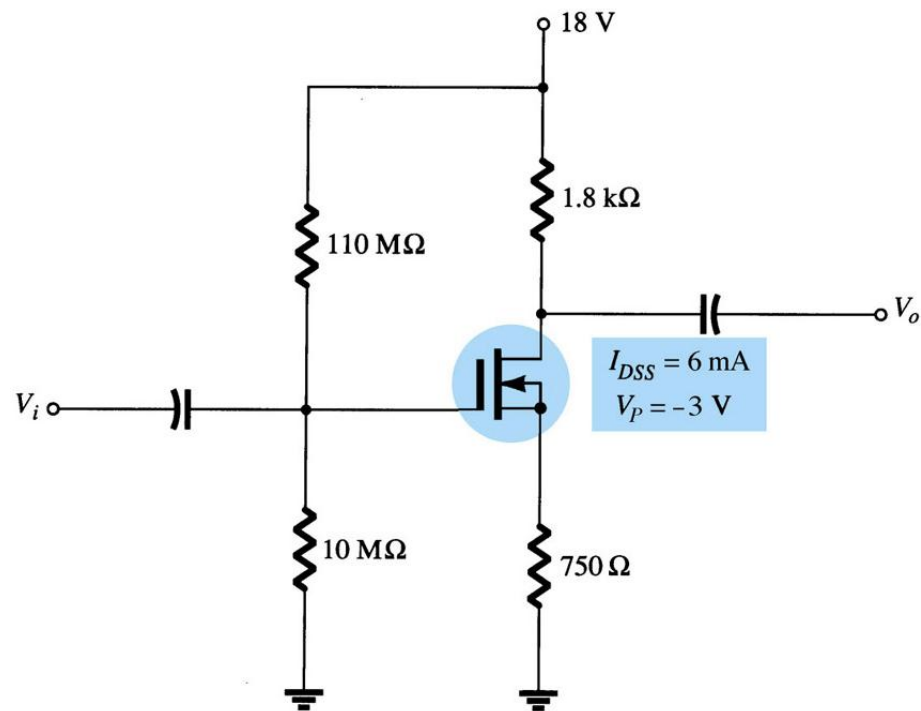
$$V_{GS} = V_G - I_S * 750\Omega \quad (1)$$

Quan hệ dòng áp với DMOS:

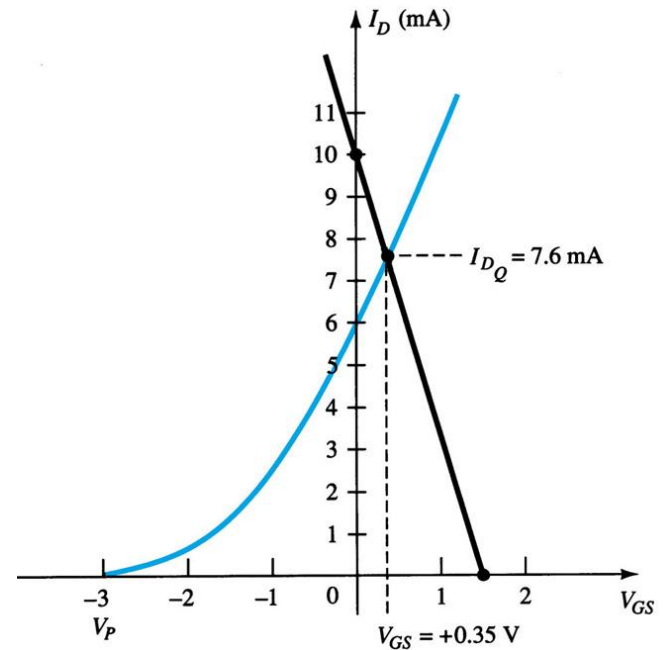
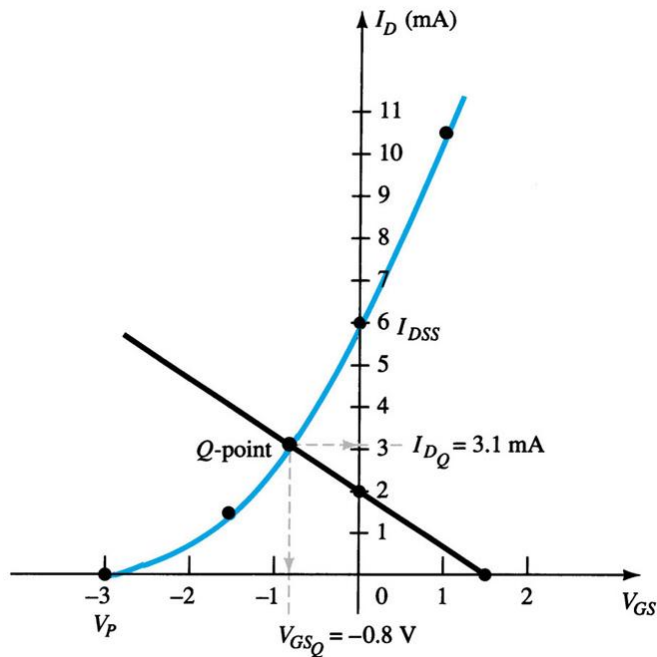
$$I_D = I_{DSS} (1 - V_{GS}/V_P)^2 \quad (2)$$

Giải hệ (1,2) hoặc xác định theo phương pháp đồ thị

Lưu ý, V_{GS} có thể dương



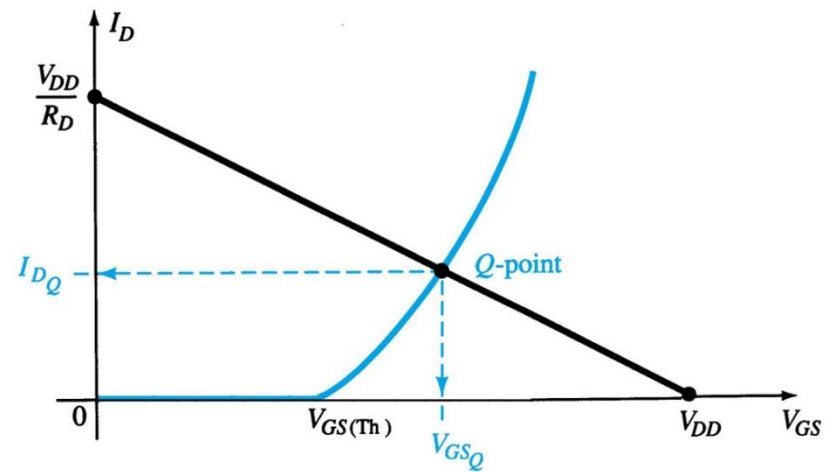
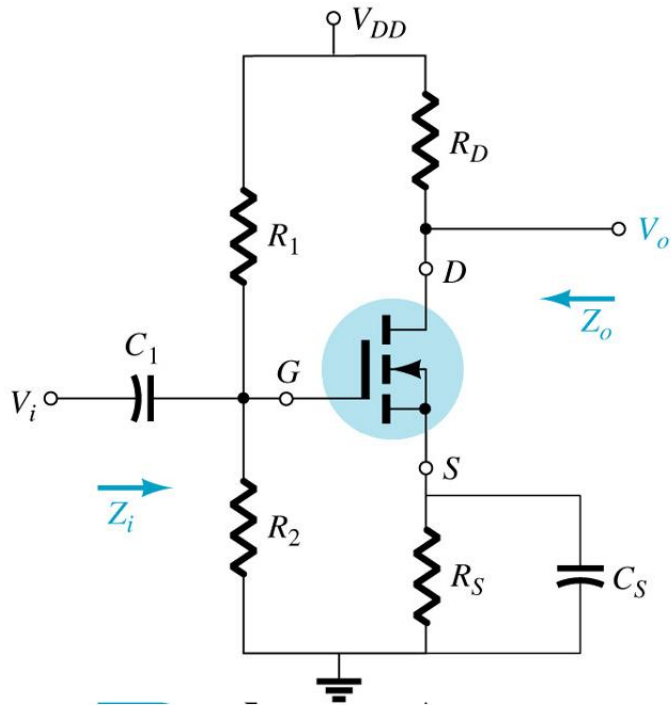
Phân cực kiểu phân áp



Với DMOS: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$

V_{GS} có thể dương

Phân cực kiểu phân áp



Với EMOS:

$$I_D = k(V_{GS} - V_T)^2$$

$$k = I_{Don} / (V_{GSon} - V_T)^2$$

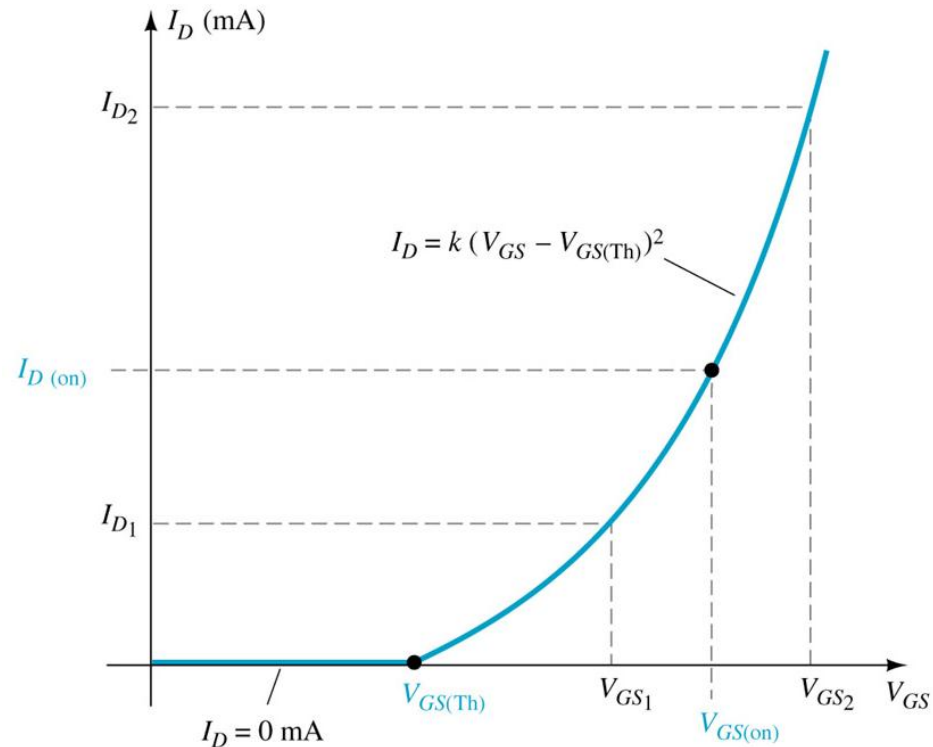
Phân cực kiểu phân áp

Với EMOS:

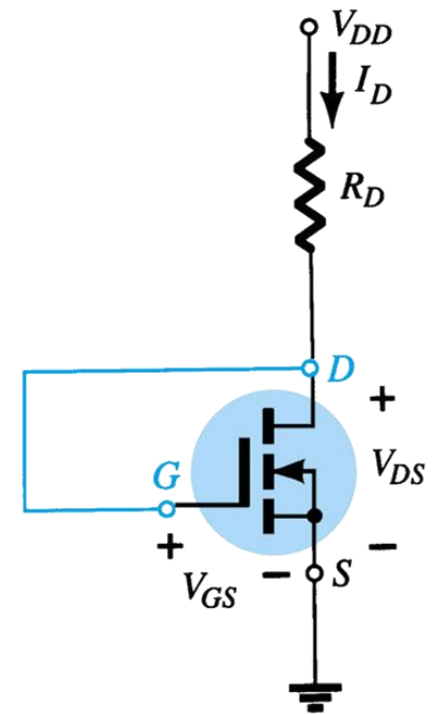
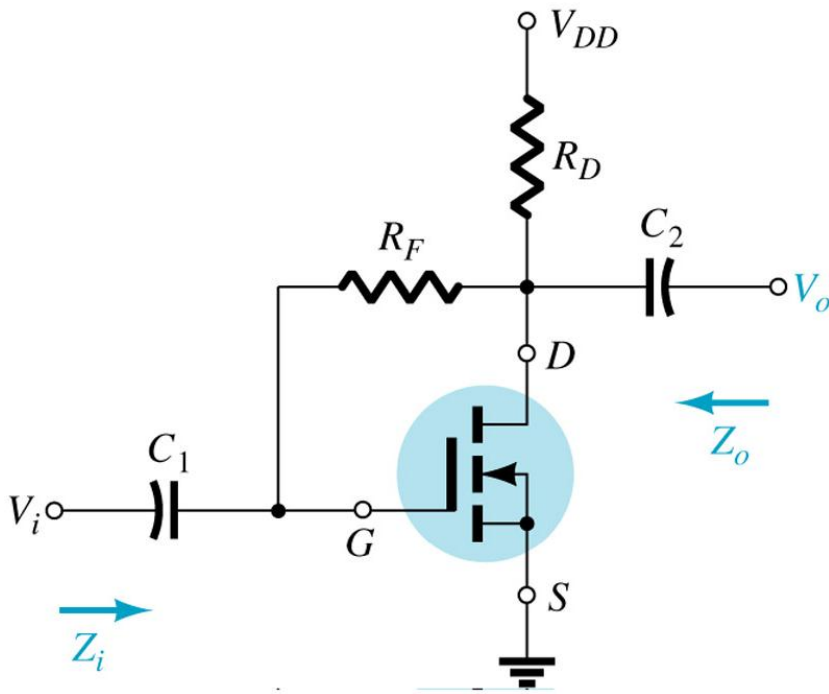
$$I_D = k(V_{GS} - V_T)^2$$

$$\text{với } k = I_{D(on)} / (V_{GS(on)} - V_T)^2$$

Vẽ đặc tuyến truyền đạt của EMOS



Phân cực kiểu hồi tiếp



Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phân cực kiểu hồi tiếp

Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phương trình đường tải:

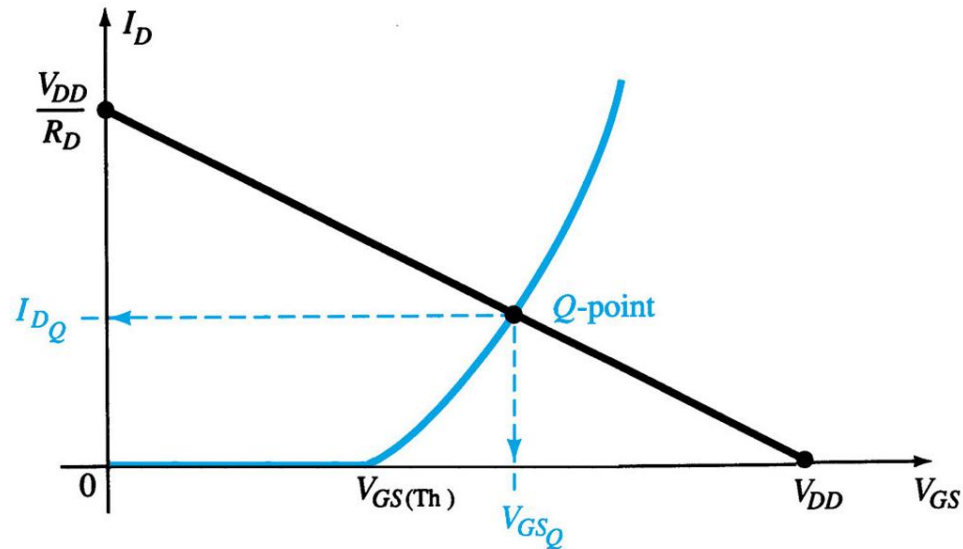
$$V_{GS} = V_{DS} = V_{DD} - R_D I_D \quad (1)$$

Đặc tuyến truyền đạt của EMOS

$$I_D = k(V_{GS} - V_T)^2, \quad (2)$$

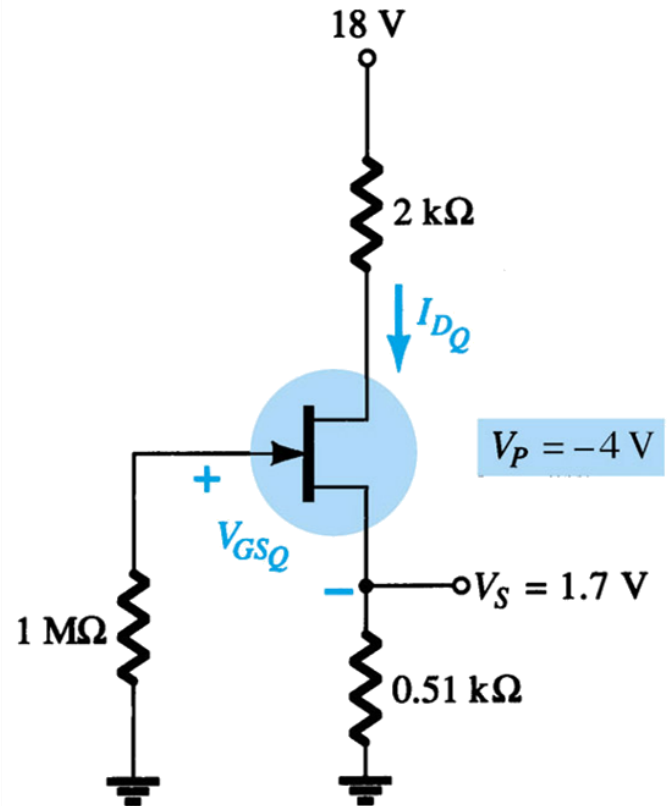
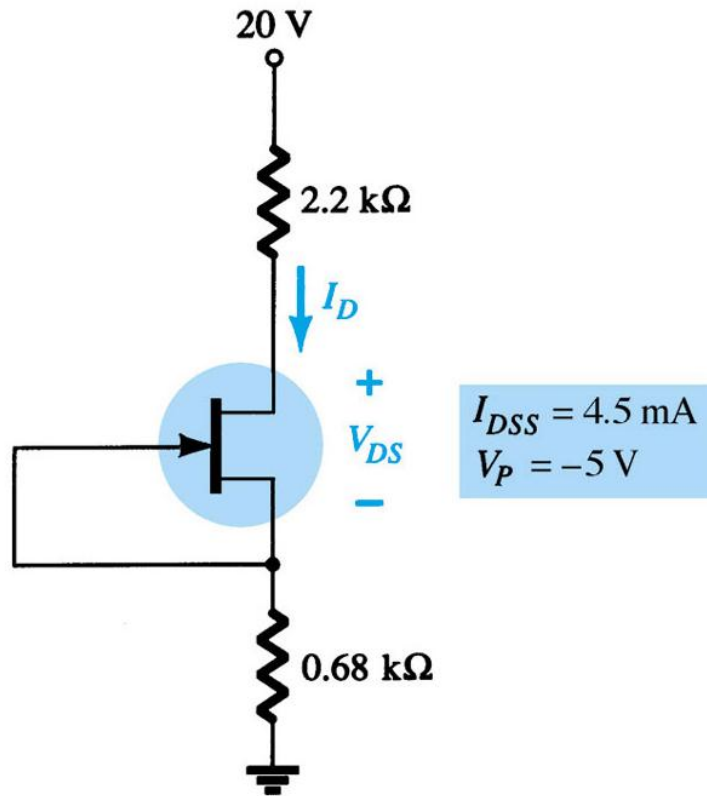
$$k = I_{Don} / (V_{GSon} - V_T)^2$$

Giải hệ (1,2) hoặc xác định theo đồ thị



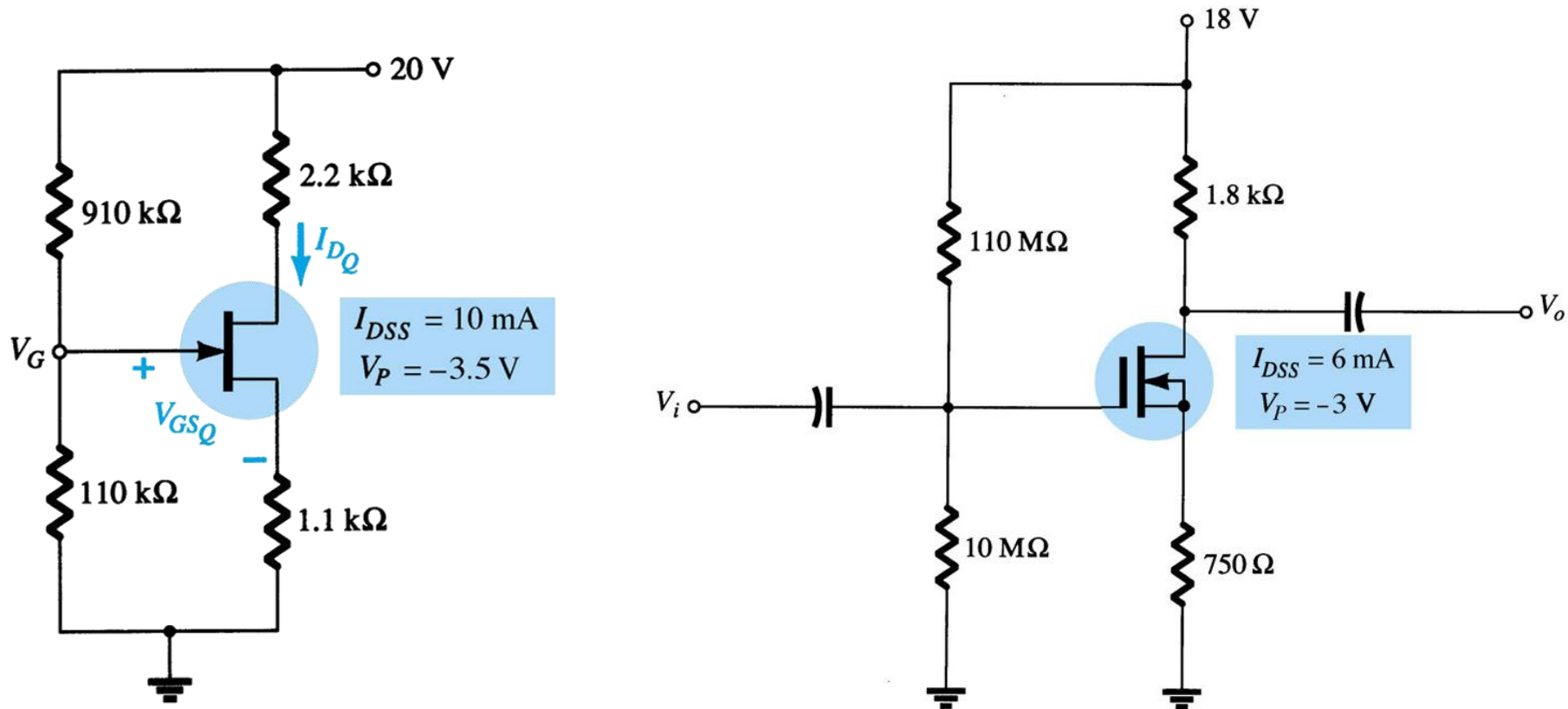
Có thể sử dụng cho JFET?

Ví dụ



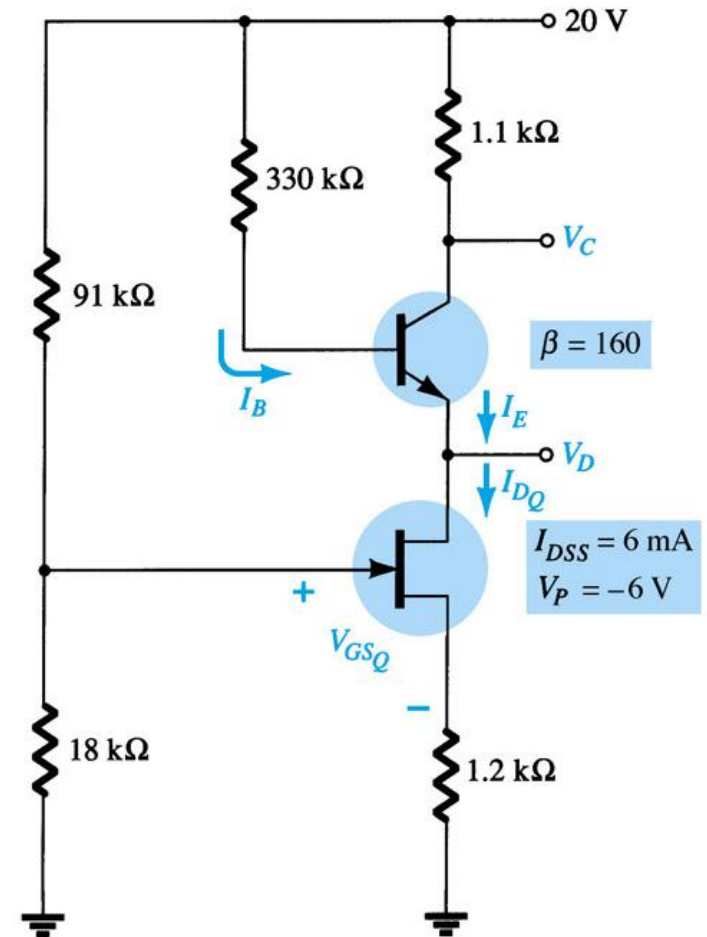
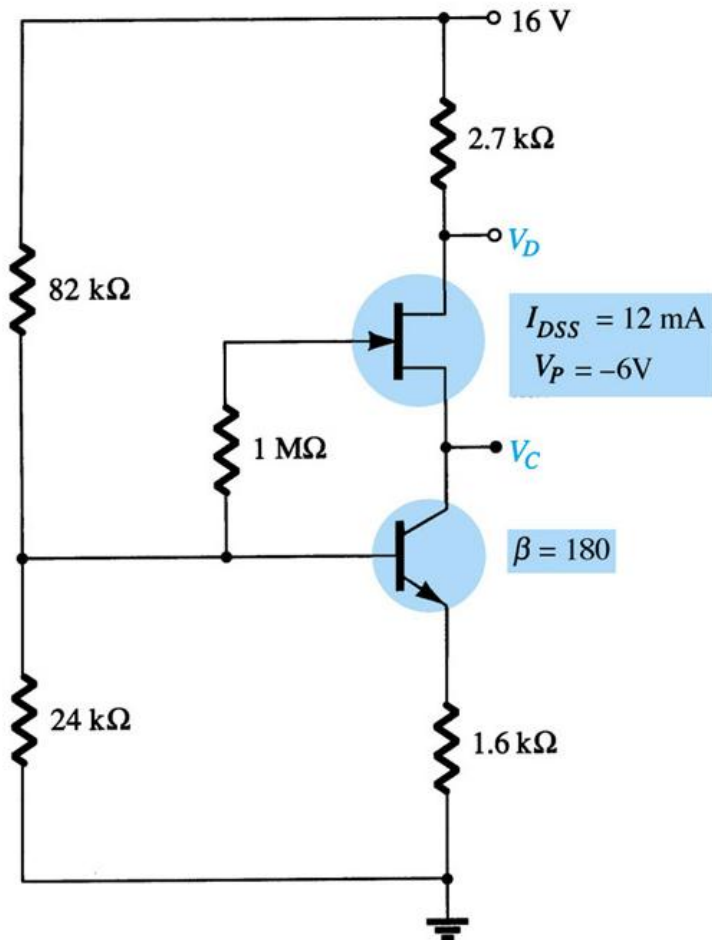
Xác định điểm làm việc Q (I_D , V_{GS})

Ví dụ



Xác định điểm làm việc Q (I_D , V_{GS})

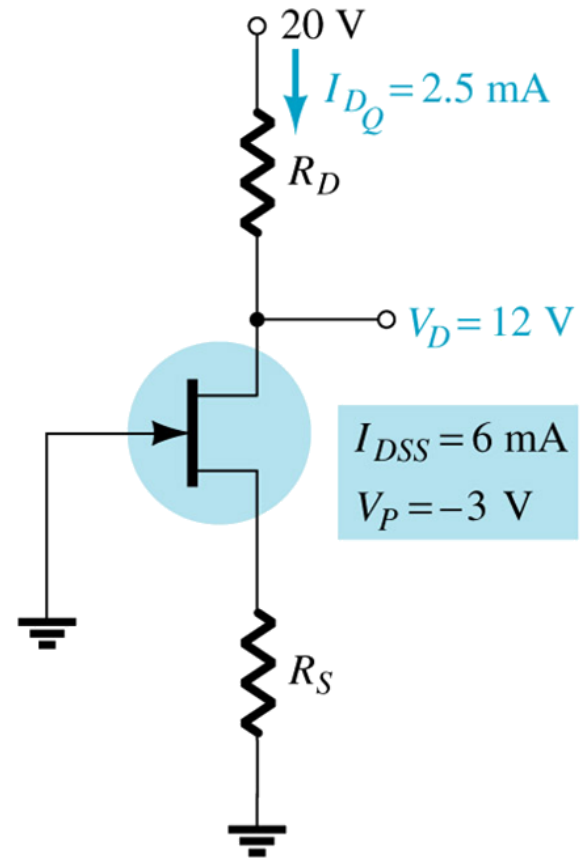
Ví dụ



Ví dụ

Thiết kế:

Tính giá trị các điện trở với điểm làm việc Q có $I_D = 2.5\text{mA}$



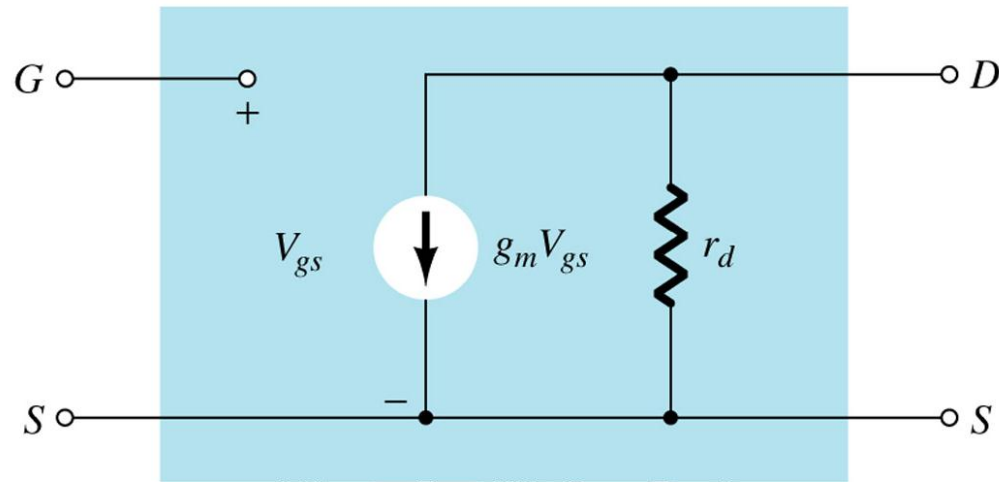
Mạch tín hiệu nhỏ sử dụng FET

Cực G và S hở mạch vì trở kháng vào cực lớn (n100- n1000 M Ω)

Trở kháng ra r_d

Nguồn dòng được điều khiển bởi điện áp với hệ số điều khiển g_m mô tả quan hệ dòng ra phụ thuộc vào điện áp vào

g_m - hồ dẫn truyền đạt

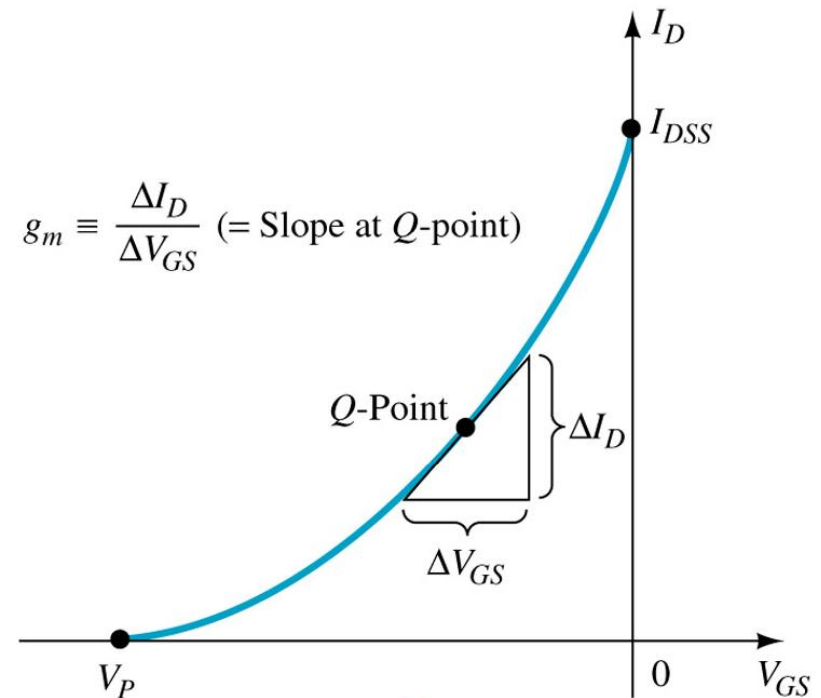


Hỗ dẫn truyền đạt

$$g_m = \Delta I_D / \Delta V_{GS} = d(I_D(V_{GS}))$$

– đạo hàm của phương trình đặc tuyến truyền đạt

Ý nghĩa hình học: độ dốc đặc tuyến truyền đạt, thường xác định tại điểm làm việc Q



Hỗ dẫn truyền đạt

Với JFET và DMOS, đặc tuyến truyền đạt tuân theo phương trình Shockley

$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{V_{GS}}{V_P} \right]$$

Khi $V_{GS} = 0$:

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

g_m xác định tại điểm làm việc Q

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right]$$

Cấu hình chung cực nguồn - CS

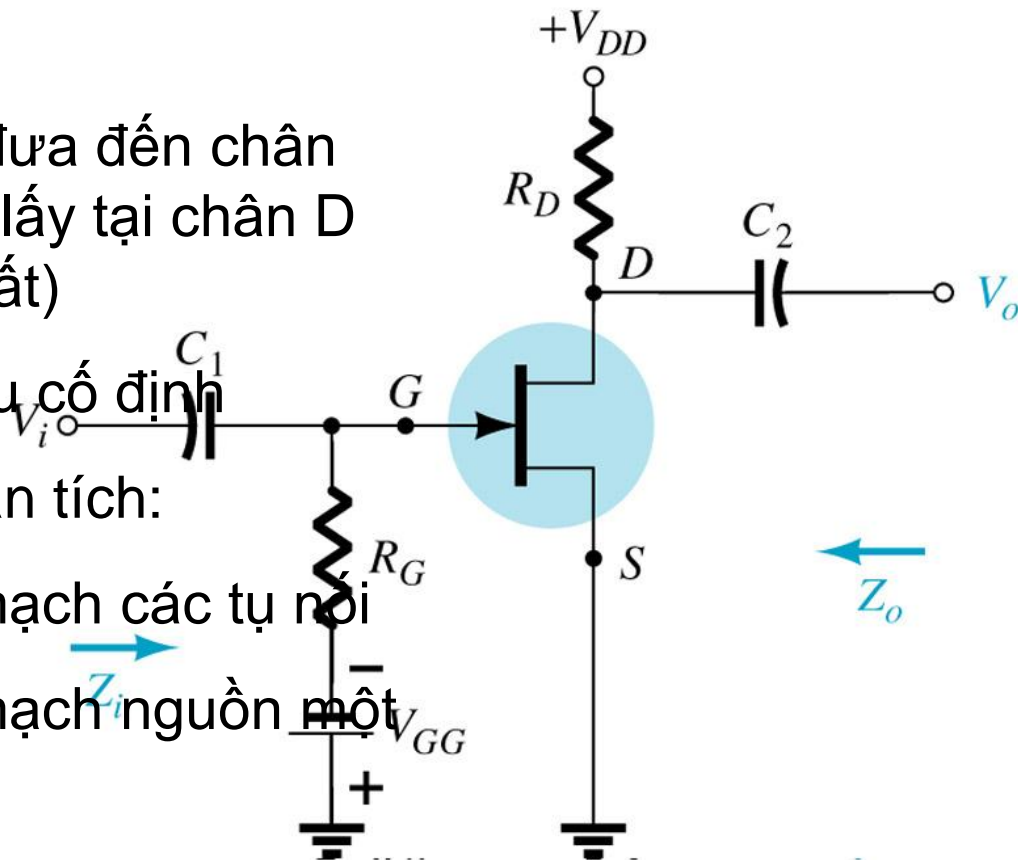
Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

Phân cực kiểu cố định

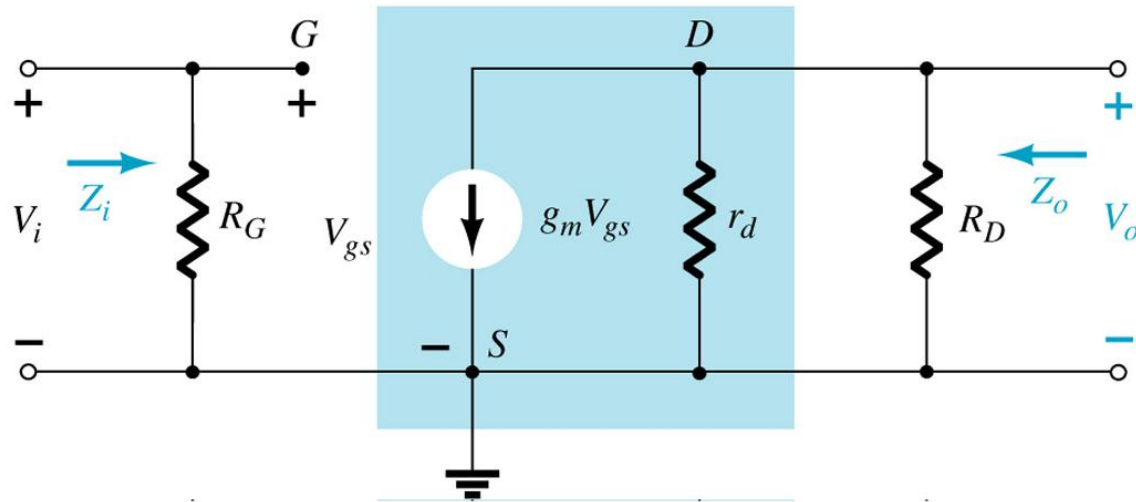
Chú ý khi phân tích:

✓ Ngắn mạch các tụ nối

✓ Ngắn mạch nguồn một chiều



Cấu hình chung cực nguồn - CS



$$Z_i = R_G$$

$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_V = -g_m (r_d // R_D) \approx -g_m R_D \quad \text{nếu } r_d > 10R_D$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

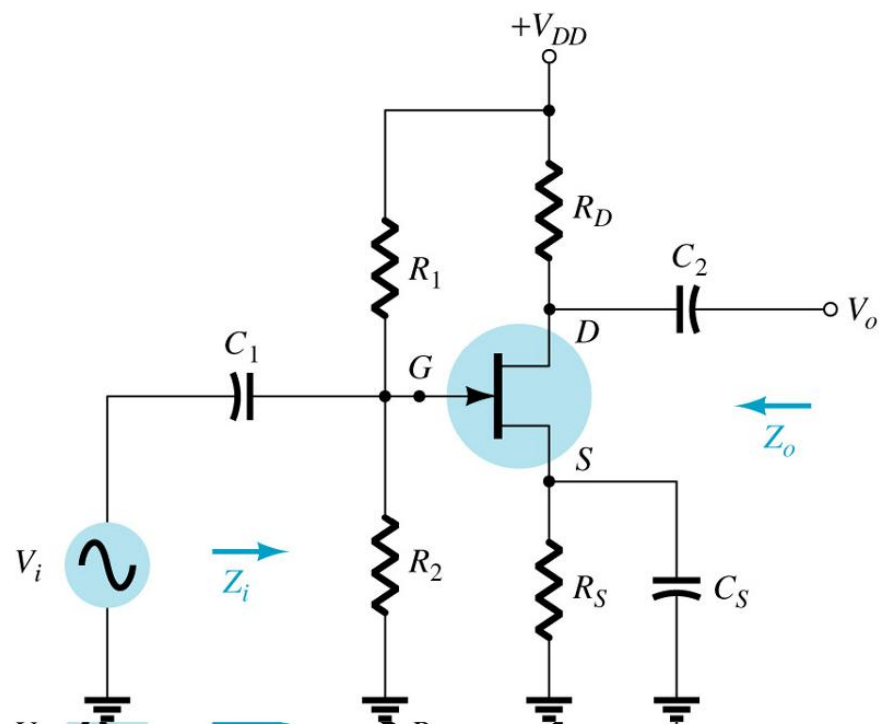
Cấu hình chung cực nguồn - CS

Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

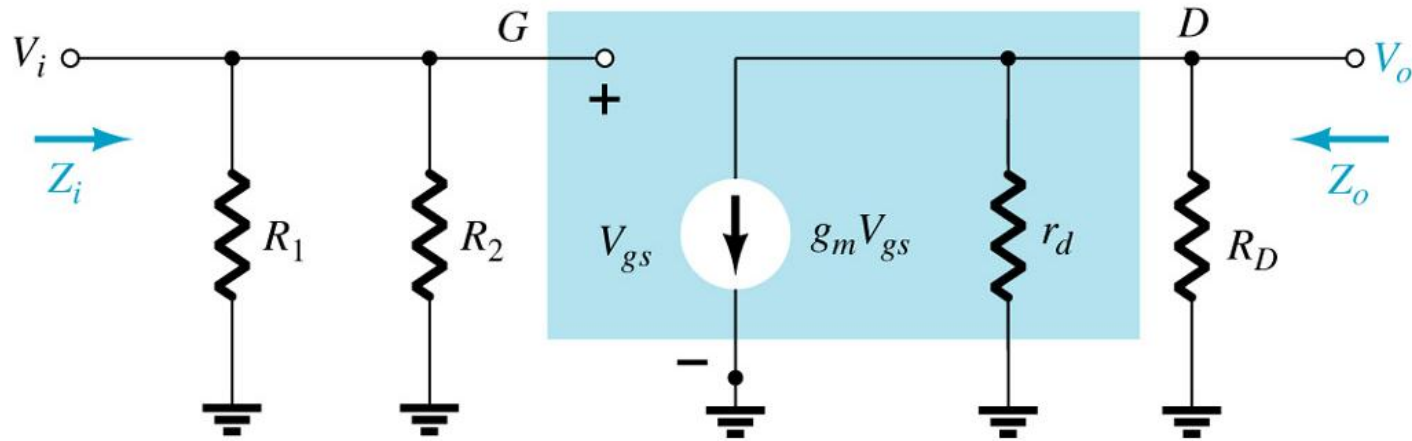
Phân cực kiểu phân áp

Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều



Cấu hình chung cực nguồn - CS



$$Z_i = R_1 // R_2$$

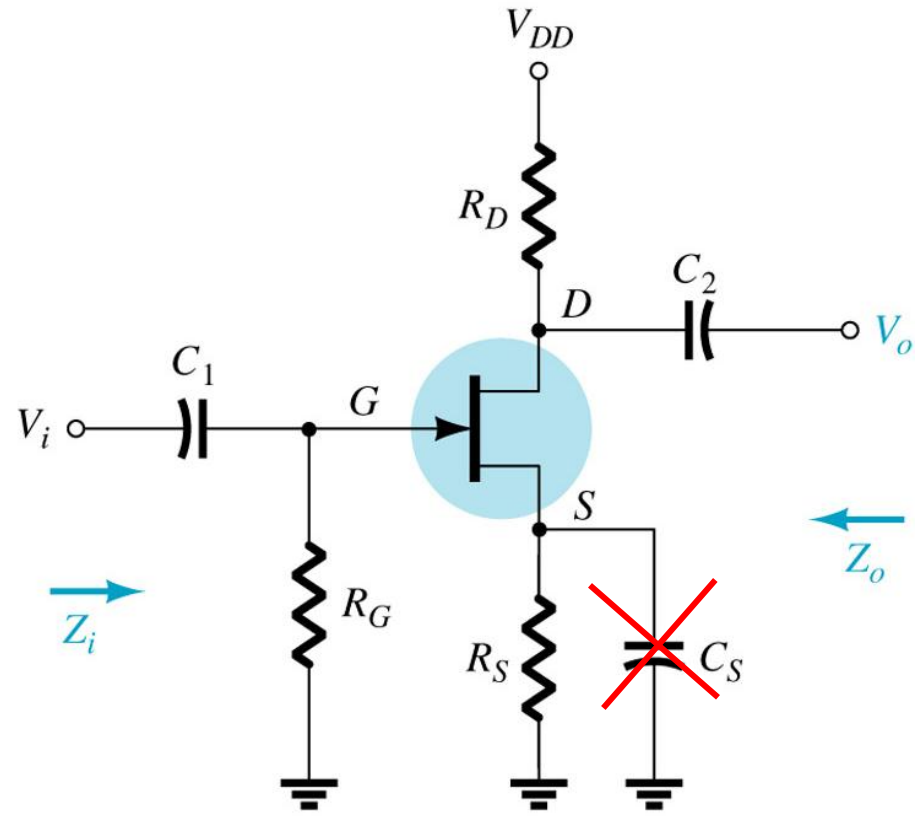
$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_V = -g_m(r_d // R_D) \approx g_m R_D \quad \text{nếu } r_d > 10R_D$$

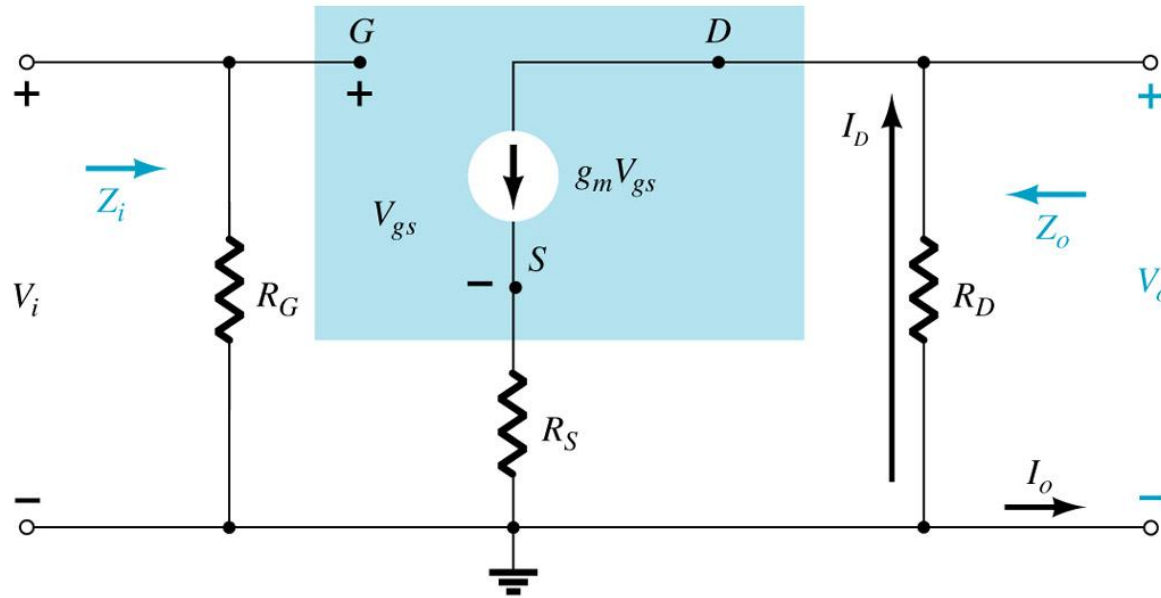
Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Cấu hình chung cực nguồn - CS

Không có tụ C_S (unbypassed R_S)



Cấu hình chung cực nguồn - CS



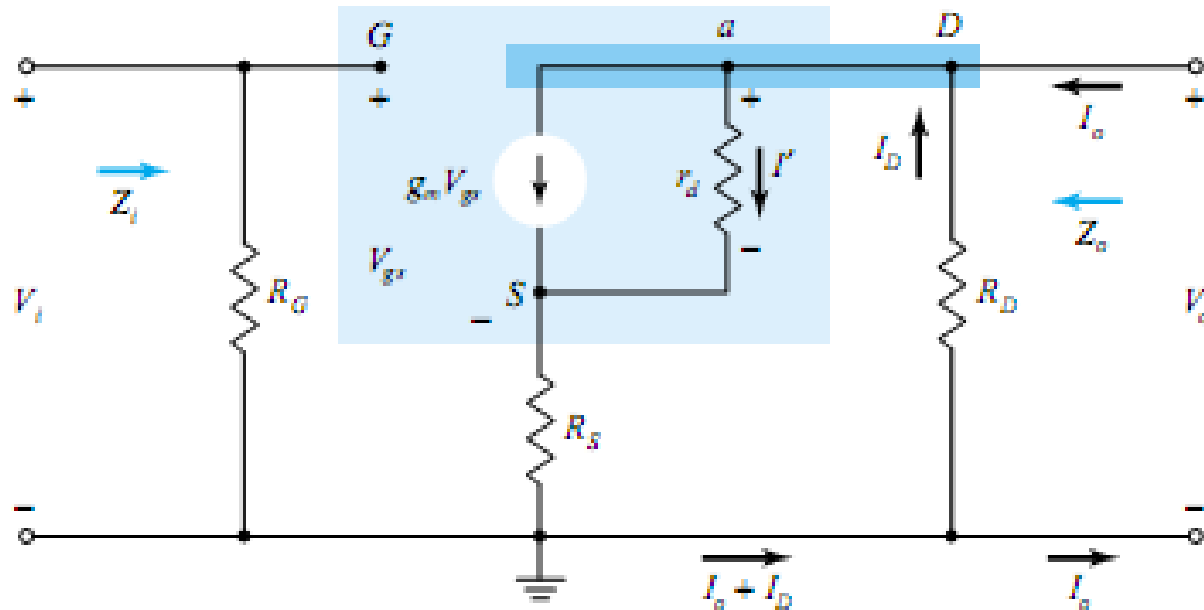
$$Z_i = R_G$$

$$Z_o = R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

$$A_V = -g_m R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Cấu hình chung cực nguồn - CS



$$Z_i = R_G$$

$$Z_o = R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

$$A_V = -g_m R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

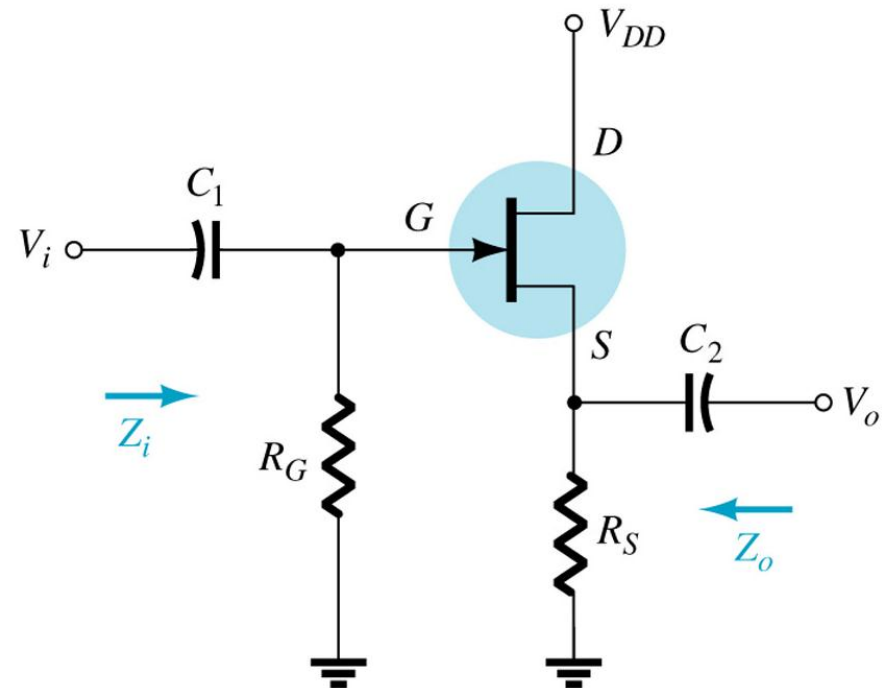
Cấu hình chung cực máng - CD

Điện áp vào đưa đến chân G,
điện áp ra lấy tại chân S

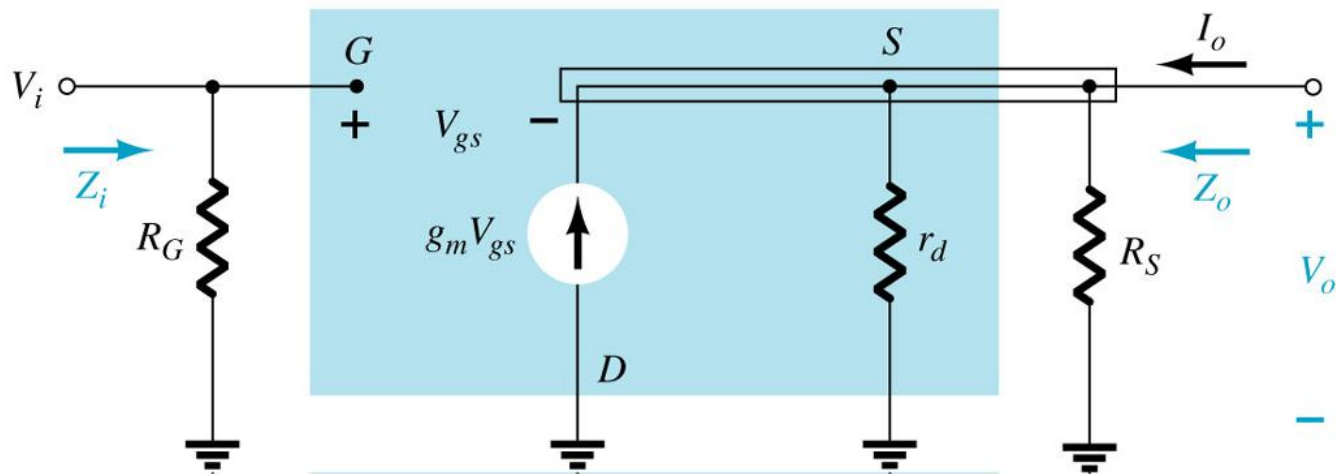
Phân cực kiểu tự phân cực

Chú ý khi phân tích:

- ✓ Ngắt mạch các tụ nối
- ✓ Ngắt mạch nguồn một chiều



Cấu hình chung cực máng - CD



$$Z_i = R_G$$

$$Z_o = r_d // R_S // (1/g_m) \approx R_S // (1/g_m)$$

nếu $r_d > 10R_S$

$$A_V = -g_m(r_d // R_S) / [1 + g_m(r_d // R_S)] \approx g_m R_S / [1 + g_m R_S]$$

≈ 1

nếu $r_d > 10R_S$
nếu $g_m R_S \gg 1$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau

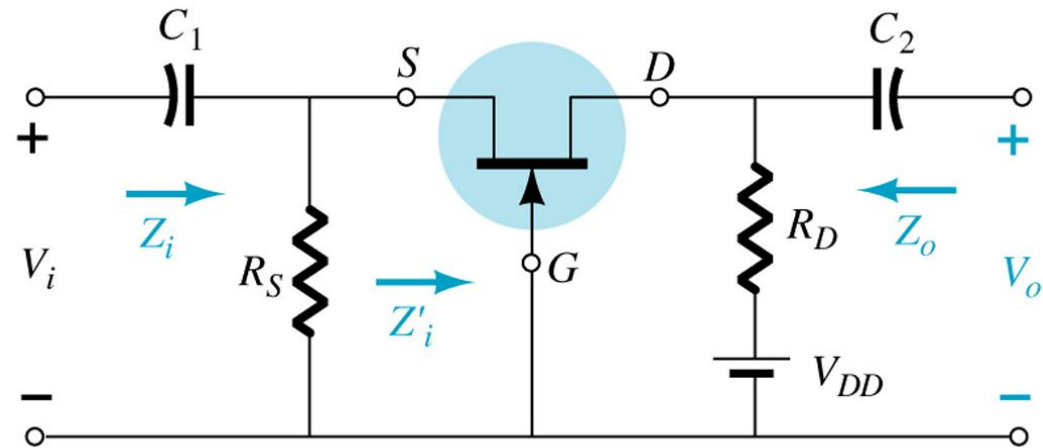
Cấu hình chung cực cửa - CG

Điện áp vào đưa đến chân S, điện áp ra lấy tại chân D

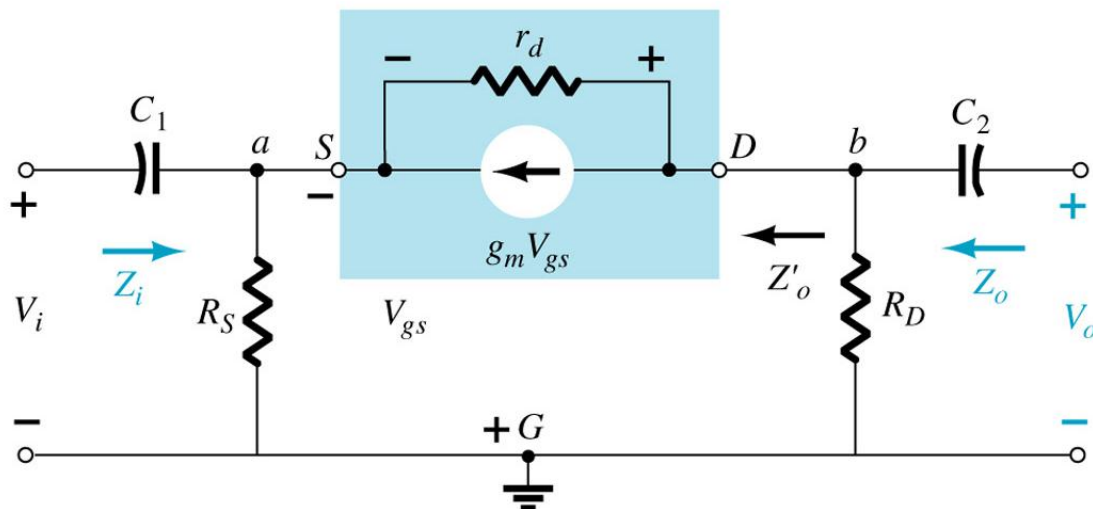
Phân cực kiểu tự phân cực

Chú ý khi phân tích:

- ✓ Ngắt mạch các tụ nối
- ✓ Ngắt mạch nguồn một chiều



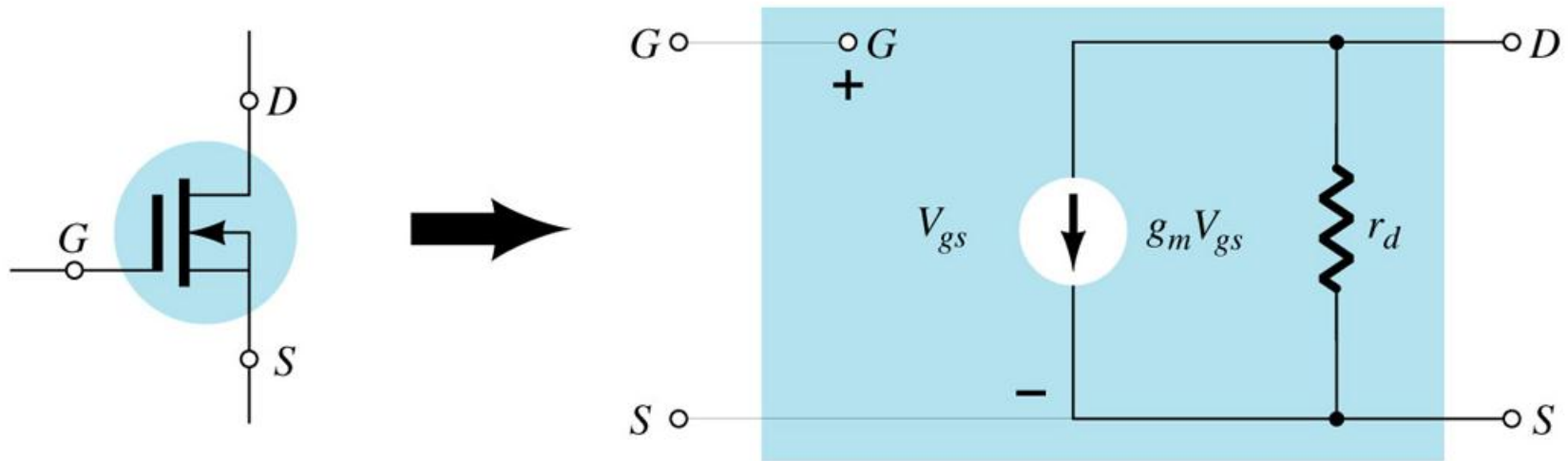
Cấu hình chung cực cửa - CG



$$\begin{aligned}
 Z_i &= R_S // [(r_d + R_D) / (1 + g_m r_d)] && \approx R_S // (1/g_m) && \text{nếu } r_d > 10R_D \\
 Z_o &= r_d // R_D && \approx R_D && \text{nếu } r_d > 10R_D \\
 A_V &= [g_m R_D + (R_D/r_d)] / [1 + R_D/r_d] && \approx g_m R_D && \text{nếu } r_d > 10R_D
 \end{aligned}$$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau

Sơ đồ tương đương DMOS

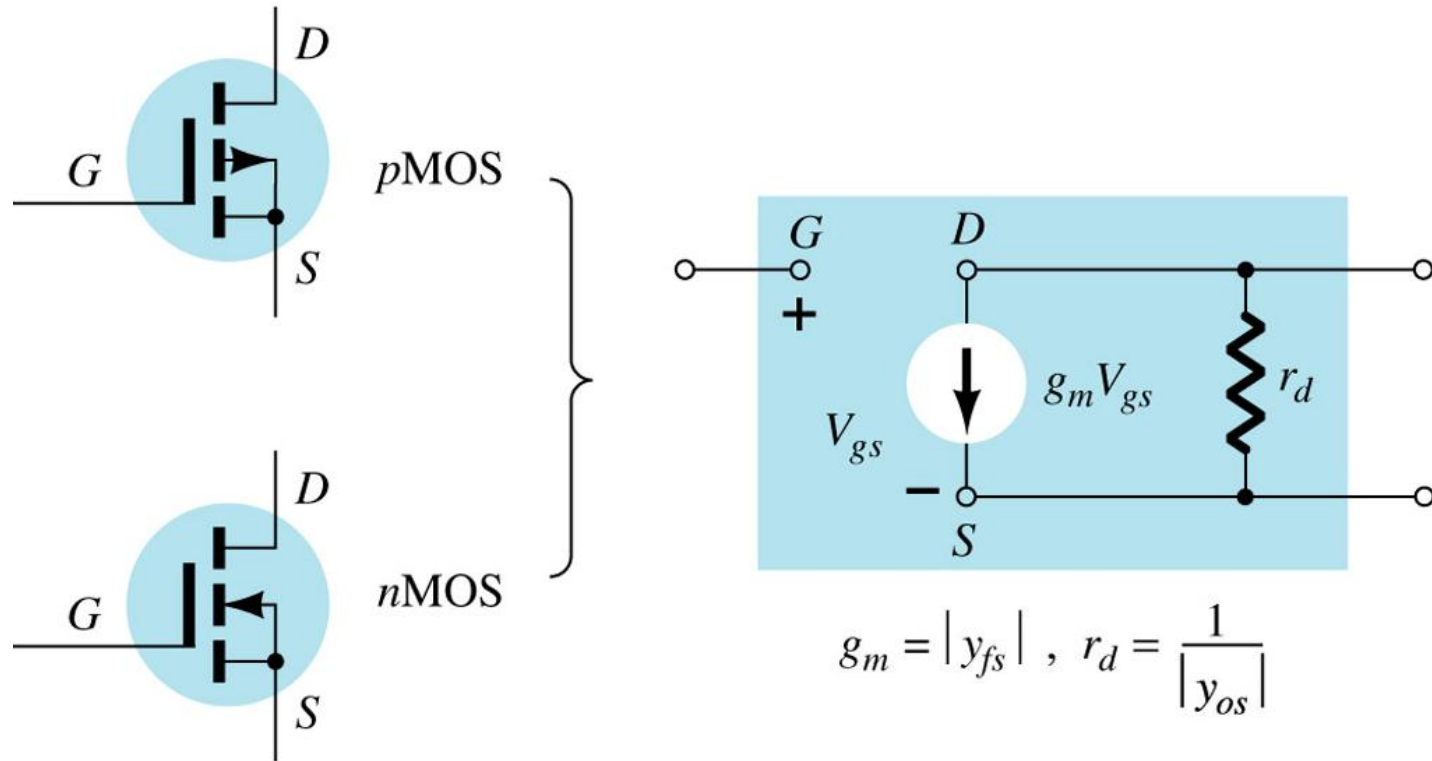


Tương tự như của JFET

Lưu ý, với DMOS:

- ✓ V_{GS} có thể dương với loại kênh N và âm với loại kênh P
- ✓ g_m có thể lớn hơn g_{m0}

Sơ đồ tương đương EMOS



Tương tự với JFET và DMOS

Lưu ý:

- ✓ V_{GS} luôn dương với loại kênh N và luôn âm với loại kênh P
- ✓ $g_m = 2k(V_{GS} - V_T)$

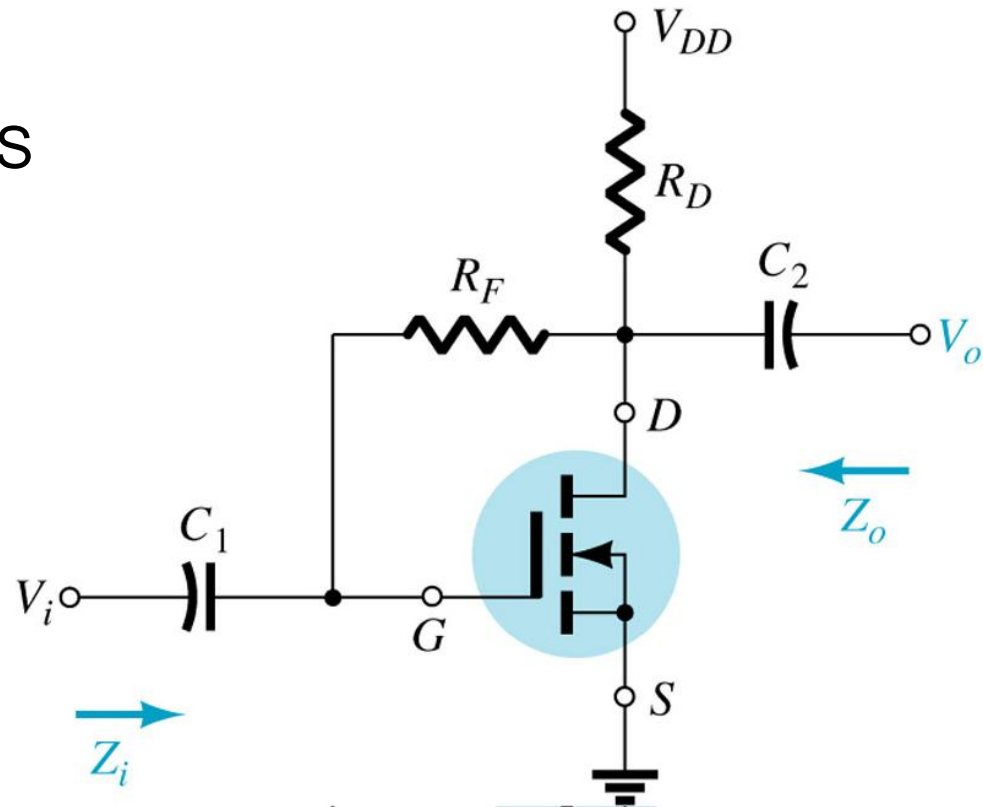
EMOS mắc chung cực nguồn

Điện áp vào đưa đến chân G,
điện áp ra lấy tại chân D, chân S
nối đất

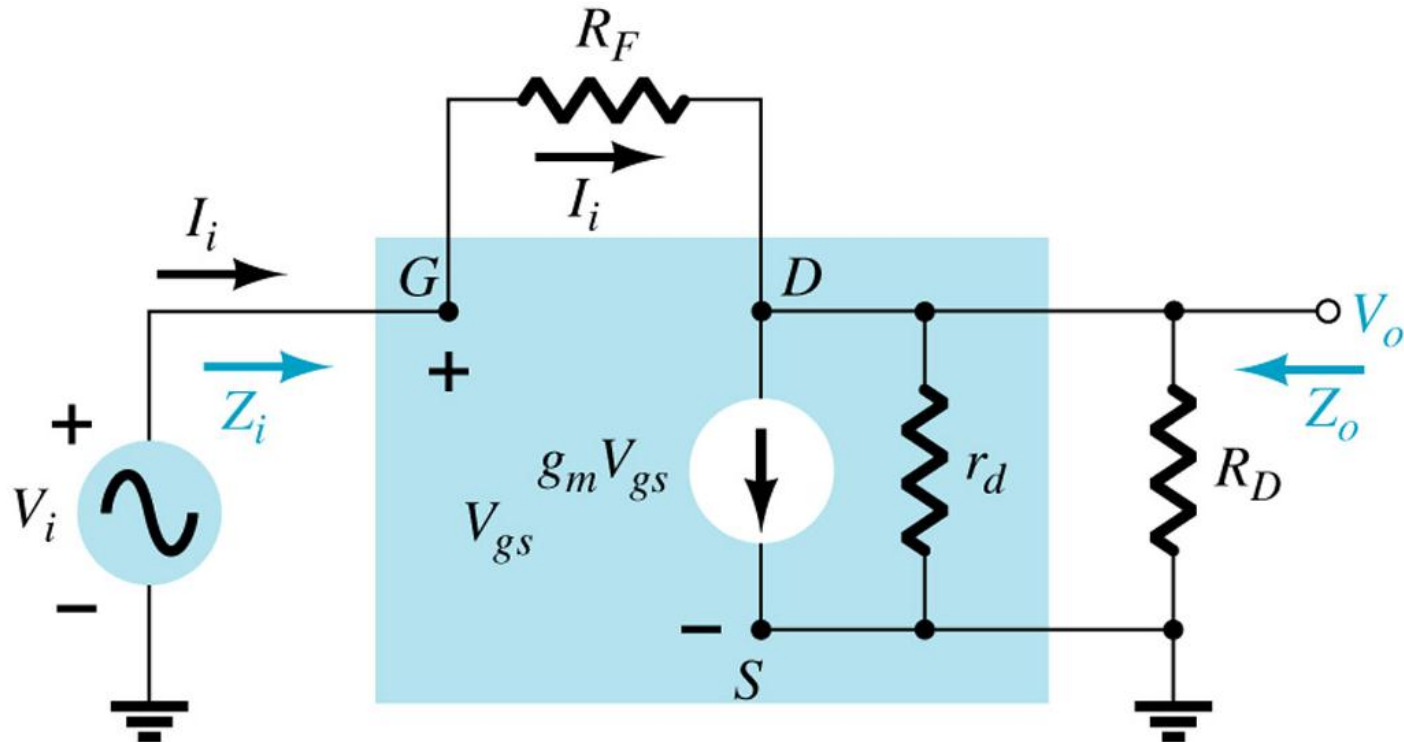
Phân cực kiểu hồi tiếp

Chú ý khi phân tích:

- ✓ Ngắt mạch các tụ nối
- ✓ Ngắt mạch nguồn một chiều



EMOS mắc chung cực nguồn



EMOS mắc chung cực nguồn

$$Z_i = (R_F + r_d // R_D) / [1 + g_m (r_d // R_D)] \\ \approx R_F / (1 + g_m R_D)$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

$$Z_o = R_F // r_d // R_D \approx R_D$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

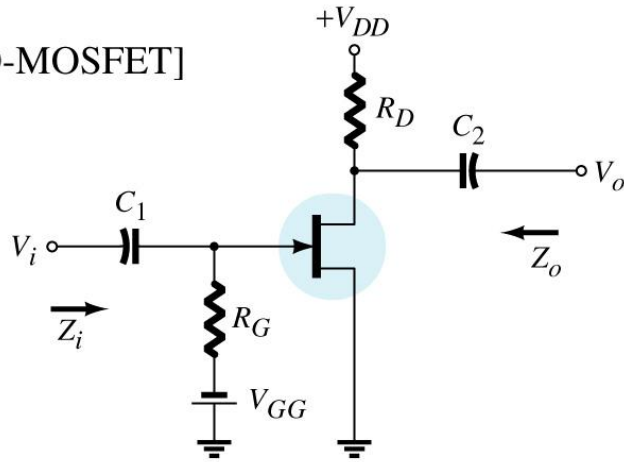
$$A_V = g_m R_F // r_d // R_D \approx g_m R_D$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

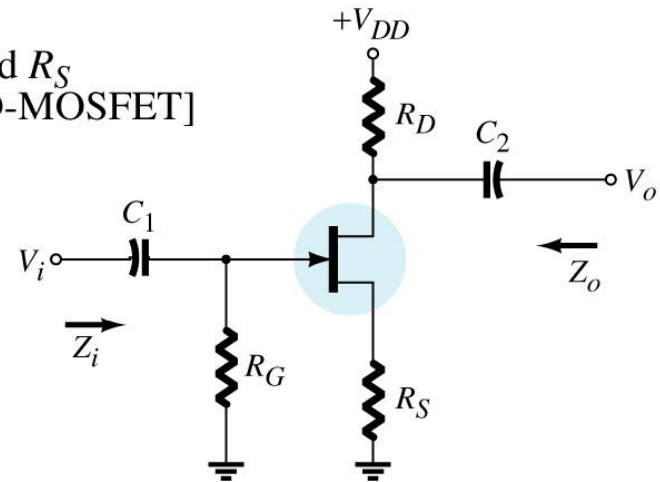
Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Tổng kết

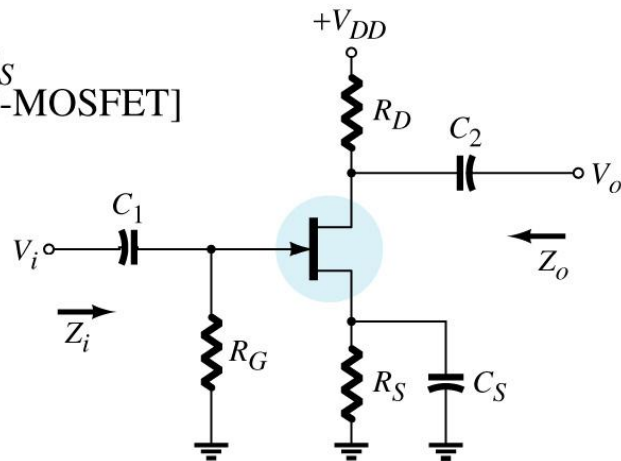
Fixed-bias
[JFET or D-MOSFET]



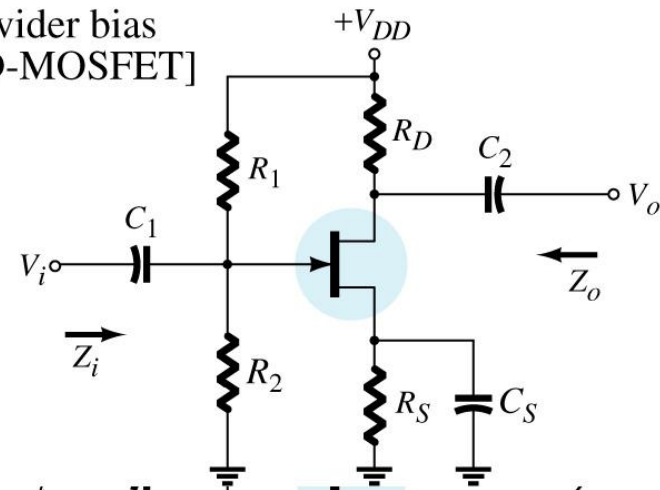
Self-bias
Unbypassed R_S
[JFET or D-MOSFET]



Self-bias
bypassed R_S
[JFET or D-MOSFET]

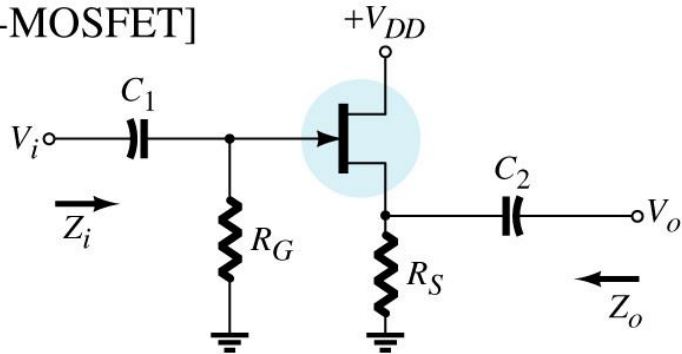


Voltage-divider bias
[JFET or D-MOSFET]

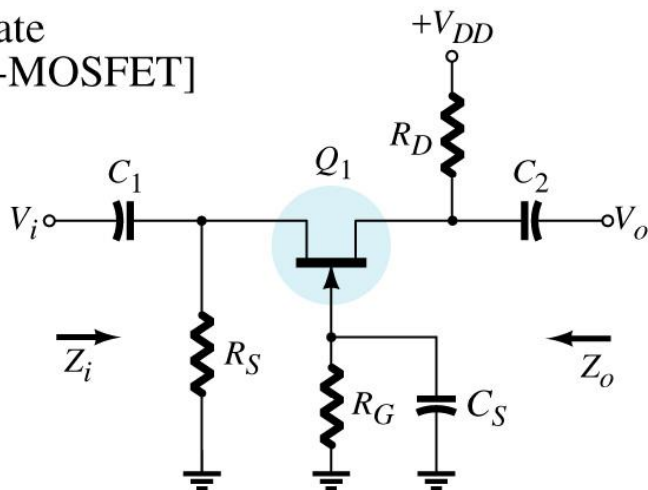


Tổng kết

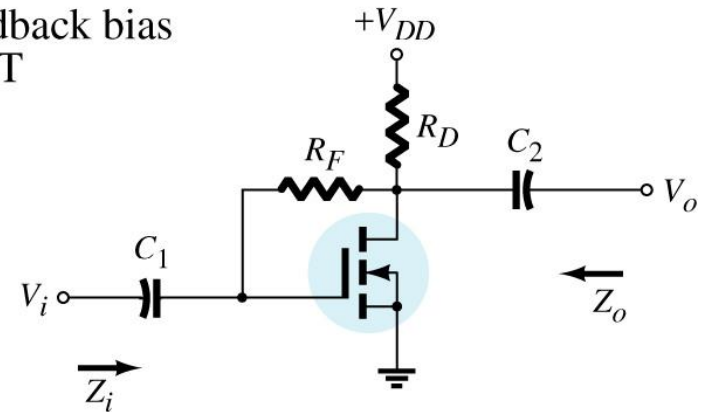
Source-follower
[JFET or D-MOSFET]



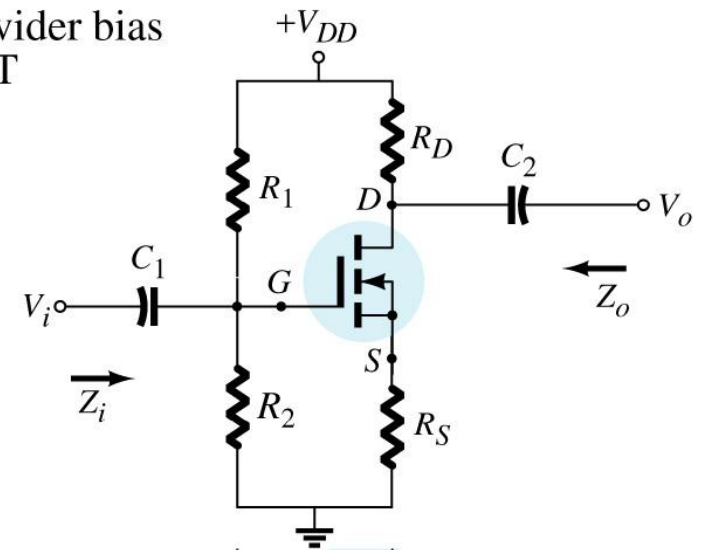
Common-gate
[JFET or D-MOSFET]



Drain-Feedback bias
E-MOSFET



Voltage-divider bias
E-MOSFET



Ứng dụng

- ✓ Sử dụng trong mạch khuếch đại vi sai vì trở kháng vào cực lớn ($10^{12}\Omega$) và dòng một chiều vào cực nhỏ (30 pA).
- ✓ Được kết hợp với BJT để chế tạo khuếch đại thuật toán BIFET vì những ưu điểm của FET được ứng dụng cho tầng đầu vào. (cũng có những loại opamp toàn FET)
- ✓ Sử dụng như điện trở điều khiển bởi điện áp (đặt FET hoạt động trong vùng Ohm)

Bài tập

- Chương 5: 3, 5, 6, 9, 26, 34, 37
- Chương 6: 1, 6, 12, 17, 19, 21, 23
- Chương 9: 1, 5, 12, 17, 19, 23, 27, 32, 33, 37, 38, 43, 44