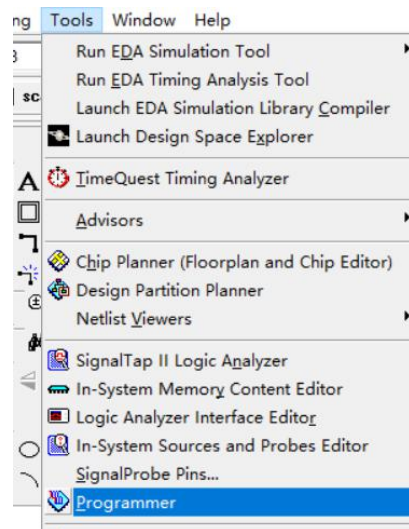


入门综合项目：三位数码管扫描显示电路

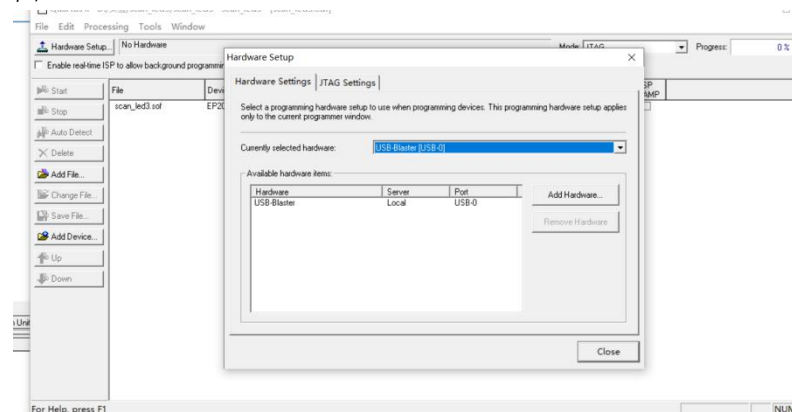
1 实验日志

1.1.1 3 位数码管实验下载到实验板上的操作说明：

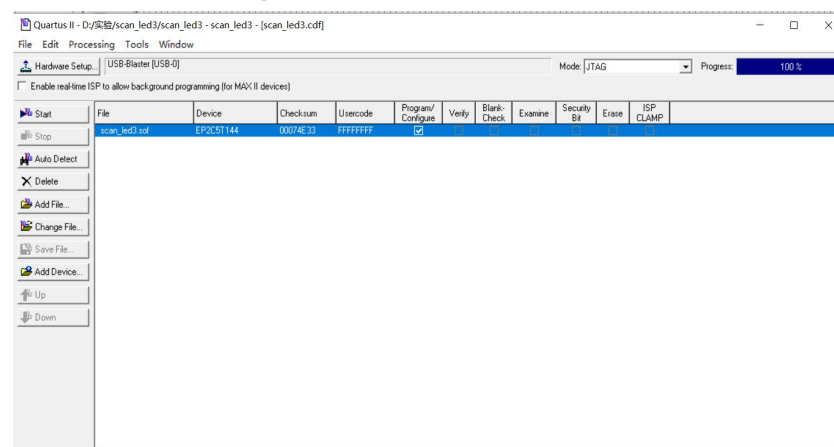
选择 Tools->Programmer 命令，进入下载命令



单击 Hardware Setup 按钮，在硬件设备列表里选择【USB_Blaster】并双击，单击 close 并返回。



单击 start 按钮，Progress 栏中出现 100%，下载成功。



1.1.2 现象描述

Sof 文件刚下载完，实验板上方 sel7-5 位循环点亮，持续闪烁，通过控制按键开关每四位对

应一位数码管显示数字，分别对应权值 8，4，2，1。clk 对应的三个开关，每打开一个时钟频率减少。

1.2.1 示波器测量位选信号和时钟信号的截图



1.2.2 实验说明：

黄色的是示波器的时钟信号，频率为 100HZ，三位数码管轮流显示，时钟信号管脚号为 100，当该二极管亮时，下一个数码管才会改变。

蓝色的是示波器位选信号频率位 20HZ，对应 b(2)管脚号为 101，当该二极管亮的时候，第一位数码管不亮，当该二极管不亮的时候，第一位二极管亮。

根据示波器图片可知，位选信号都是在时钟上升沿变化，因为 101 亮的时候 100 二极管亮三次，五次是一个时钟周期。

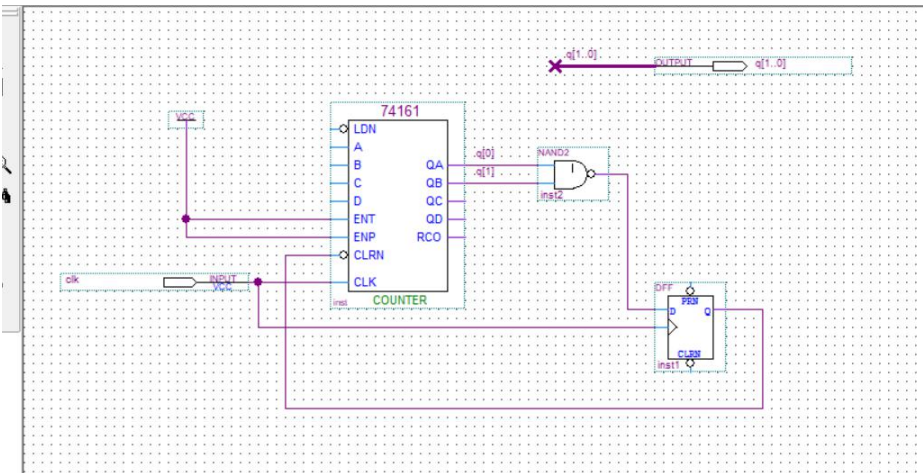
2 报告

2.1 实验目的

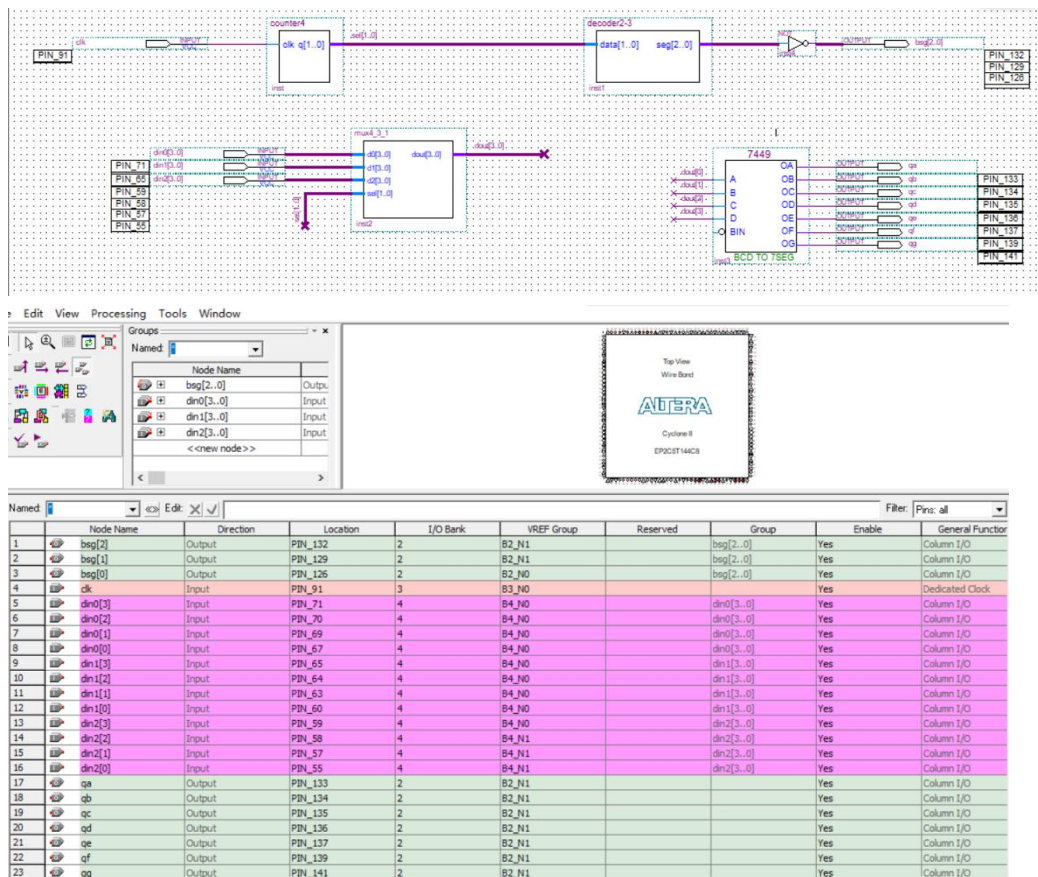
多位数码管显示电路由显示字符的段选信号和选通数码管的位选信号控制。各位数码管共用 8 位段选信号的电路结构使得同一时刻选通的所有数码管显示相同的字符。利用 Quartus II 完成三位数码管显示电路的逻辑设计，通过仿真波形及硬件实验平台验证设计，掌握硬件实验平台的一系列操作方法，明白三位数码管显示电路的逻辑设计。

2.2 设计

2.2.1 模 4 计数器电路图



引脚分配



2.3.2 各模块功能与实现

counter4: 模 4 计数器，通过将 4 位二进制计数器功能 74161 芯片的两个输出端通过与非门连接到异步清零端实现记录 4 个脉冲，将值累加传送给 2-3 译码器和 3 选 1 选择器，从而实现控制功能。

decoder2-3: 2-3 译码器利用 2-4 译码器芯片 74139 实现功能，接受来自模 4 计数器传来的信号，控制位选信号的输出。

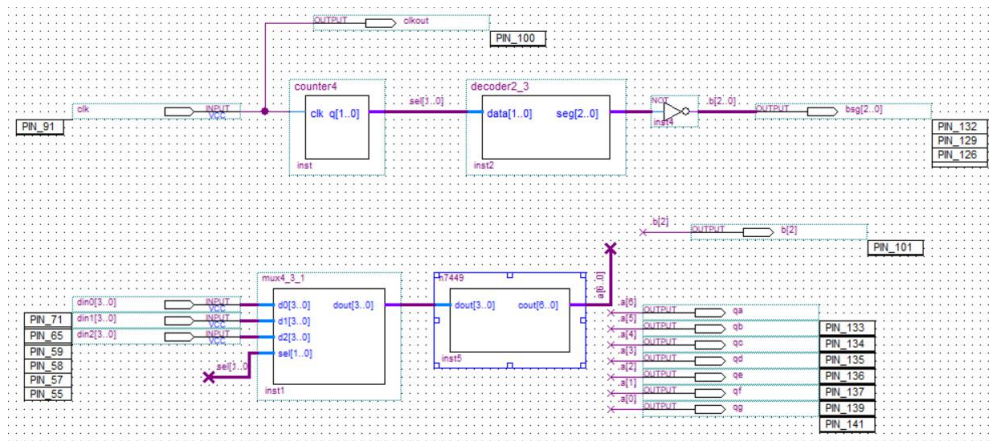
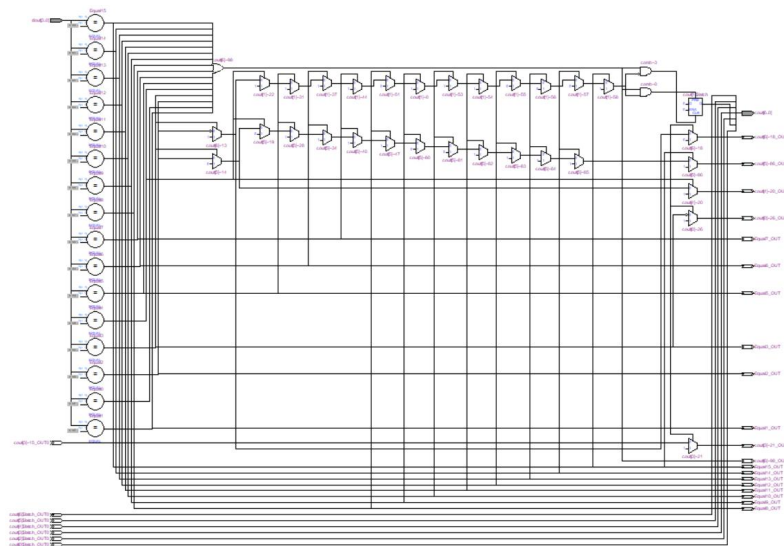
mux3_1: 三选一多路选择器通过接受来自模 4 计数器的信号，实现三路 4 位数据的选择输出。

2.3.2 实作截图



2.3.3 顶层优化

实验电路：



实验代码

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  entity n7449 is
4  port(dout:in std_logic_vector(3 downto 0);
5       cout:out std_logic_vector(6 downto 0));
6  end n7449;
7  architecture change of n7449 is
8  begin
9      cout<="1111110"when dout="0000"else
10      "0110000"when dout="0001"else
11      "1101101"when dout="0010"else
12      "1111001"when dout="0011"else
13      "0110011"when dout="0100"else
14      "1011011"when dout="0101"else
15      "1011111"when dout="0110"else
16      "1110000"when dout="0111"else
17      "1111111"when dout="1000"else
18      "1111011"when dout="1001"else
19      "1110111"when dout="1010"else
20      "0011111"when dout="1011"else
21      "1001110"when dout="1100"else
22      "0111101"when dout="1101"else
23      "1001111"when dout="1110"else
24      "1000111"when dout="1111";
25  end change;

```

设计思路：

对于 A-F, 0-9 其实只需要知道当一个数据传过来的时候数码管中段选信号哪些会亮，比如 0000，因为控制开关 4 位控制一位数码管数据，那么该数码管数据应该是 0，那么就需要点亮 a,b,c,d,e,f 段选信号所以输出 1111110，同理可以把 A-F 表示出来用相应的 a[6]-a[0] 输出，然后需要注意最后的引脚分配高位到低位的顺序是 abcdefg。同时对 9 和 6 的输出也做了修改。

实验验证：



3 总结

从这次实验中，让我熟练掌握了 VHDL 语言的编写，bdf 的画图功能，引脚分配，仿真，下载验证等操作。

强化了自身的学习素养，增进了动手能力。并且让我了解到一个大的工程需要分解为小的模块进行实现，最后通过信号的控制实现连接。

这不禁让我明白团队的重要性，需要团队的合作，交流，才能使这个实验顺利的完成。在记忆方法上我觉得，只有在掌握了基础知识后再加以实践，才能达到实验的要求，更好的完成实验。