

中国科学技术大学计算机学院
《数字电路实验》报告



实验题目：简单组合逻辑电路

学生姓名：徐亦昶

学生学号：PB20000156

完成日期：2021.11.7

计算机实验教学中心制

2020 年 09 月

【实验题目】

简单组合逻辑电路

【实验目的】

1. 熟练掌握 Logisim 的基本用法
2. 进一步熟悉 Logisim 更多功能
3. 用 Logisim 设计组合逻辑电路并进行仿真
4. 初步学习 Verilog 语法

【实验环境】

1. PC 一台, 能流畅的连接校园网
2. Logisim 仿真工具
3. vlab 平台

【实验过程】

Step 1: 用真值表自动生成电路

- 1、摆放引脚

2、设置真值表并生成电路

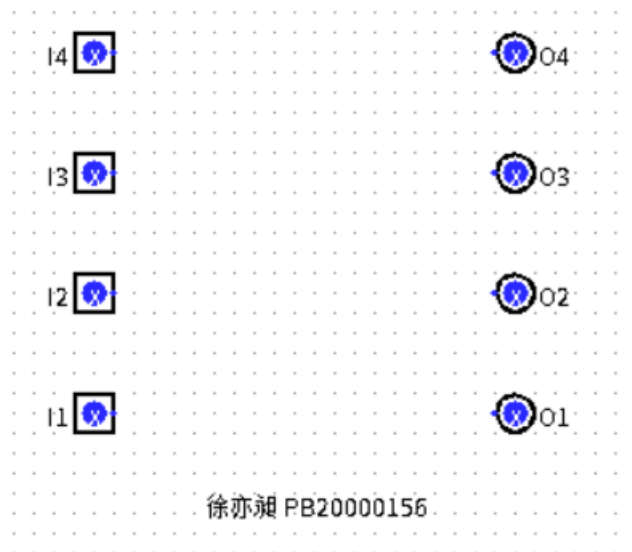


图 1: Step1 引脚摆放

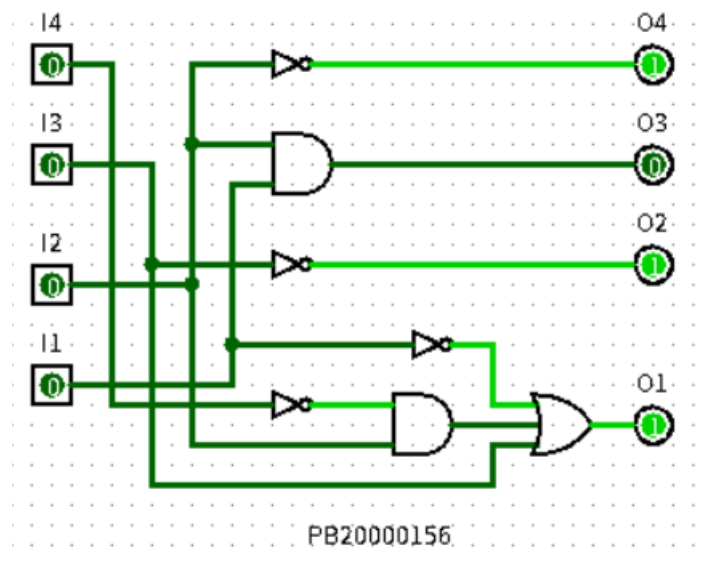


图 2: Step1 电路图

Step 2: 用表达式生成电路图

1、输入表达式并进行化简（图中仅以一个输出变量为例）

2、生成电路

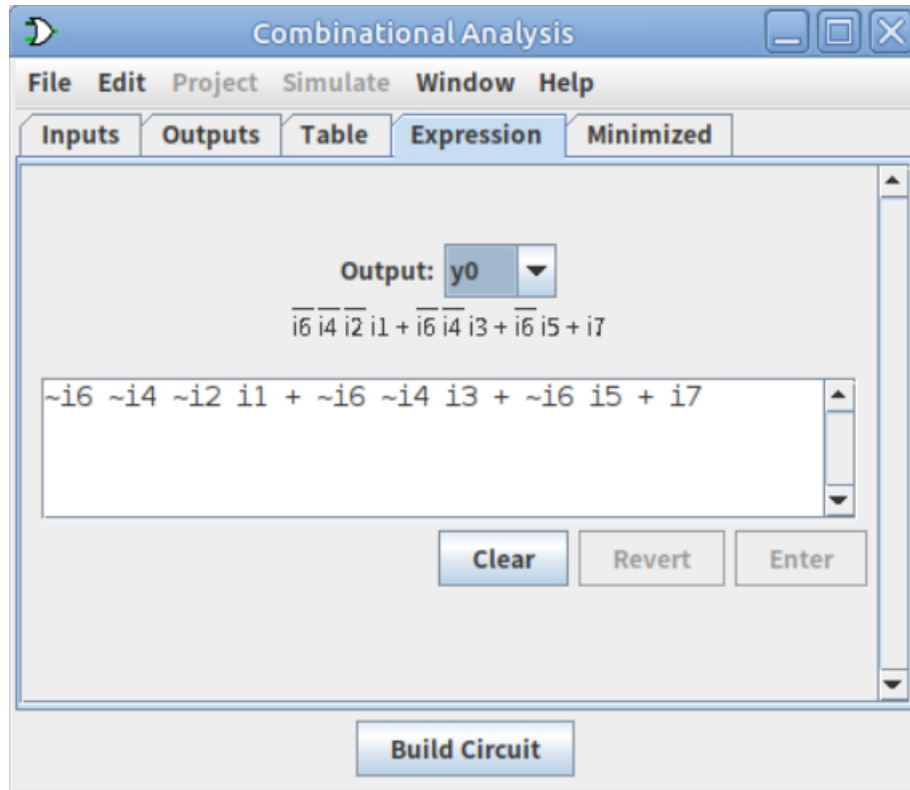


图 3: Step2 化简

3、统计电路的基本信息

Step 3: Verilog HDL 语法入门

这里主要总结从示例代码学到的东西。

1. 一个模型用 module 定义，相当于 javascript 中的 function。函数名

后的括号中包括输入、输出，注意括号后要跟分号（这一点和 C 语

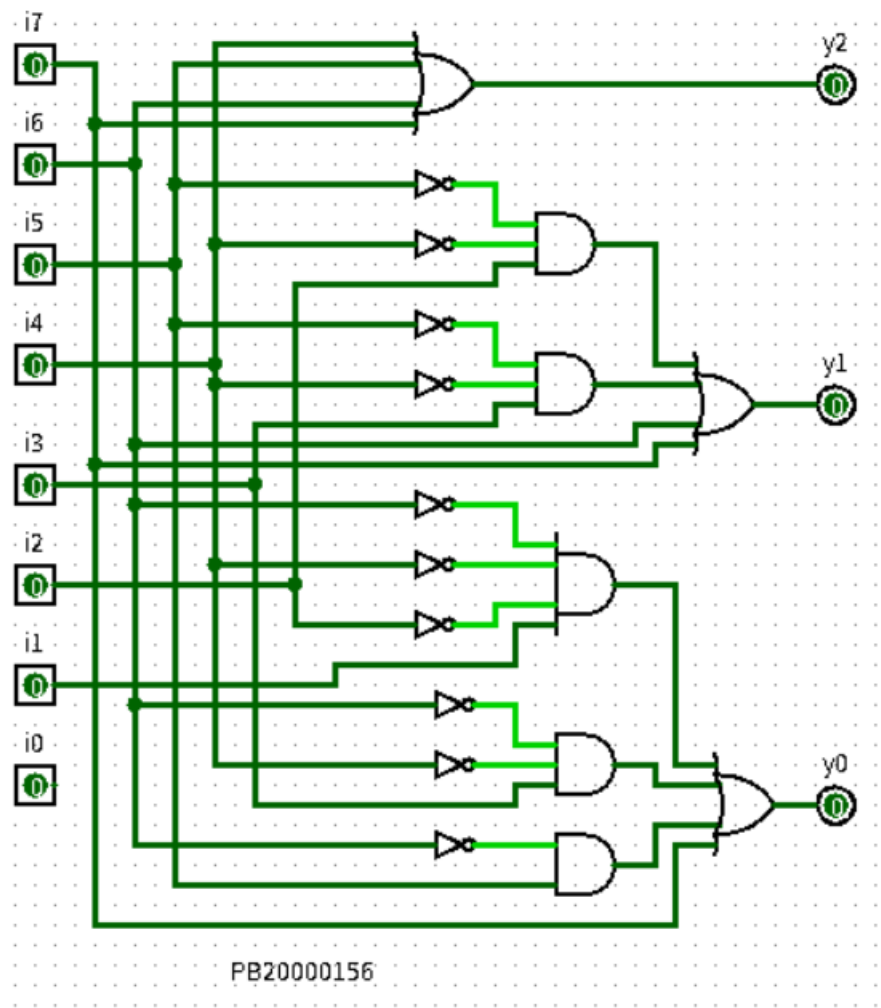


图 4: Step2 电路图

Logisim: main Statistics				
Component	Library	Simple	Unique	Rekurs...
Pin	Wiring	11	11	11
NOT Gate	Gates	10	10	10
AND Gate	Gates	5	5	5
OR Gate	Gates	3	3	3
Label	Base	1	1	1
TOTAL (without project's subci...		30	30	30
TOTAL (with subcircuits)		30	30	30

图 5: Step2 统计

言不一样)。那么如何表示模块的终止呢？在代码结束处使用关键字 `endmodule`。

2. 输入使用 `input`，输出使用 `output`，后面跟变量名。
3. 可以使用 `assign` 语句赋值。
4. 注释及基本的逻辑运算符和 C 语言相同。
5. 大括号表示位的联结，比如 `{a,b}` 表示将 `a` 和 `b` 这两个 bit 联结成位数更大的 2-bit。
6. 电路中用于传递中间结果的线可以用 `wire` 定义。
7. 可以对已定义模型进行复用，格式为：< 模型名 > < 实例名 > (参数 1, 参数 2, ..., 参数 n) 或 < 模型名 > < 实例名 > (. 形参 1(参数 1), . 形参 2(参数 2), ..., . 形参 n(参数 n))。第二种是对应端口赋值，比起第一种易读。

【实验练习】

题目 1:

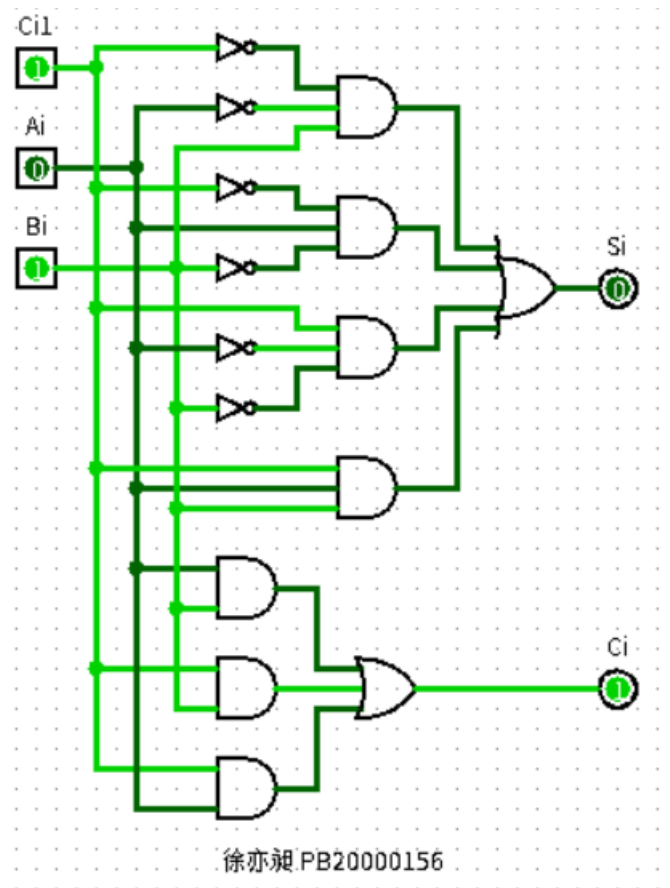


图 6: 题目 1

题目 2:

小 tip: 键盘长按可以快速输入, 不需要一直点。

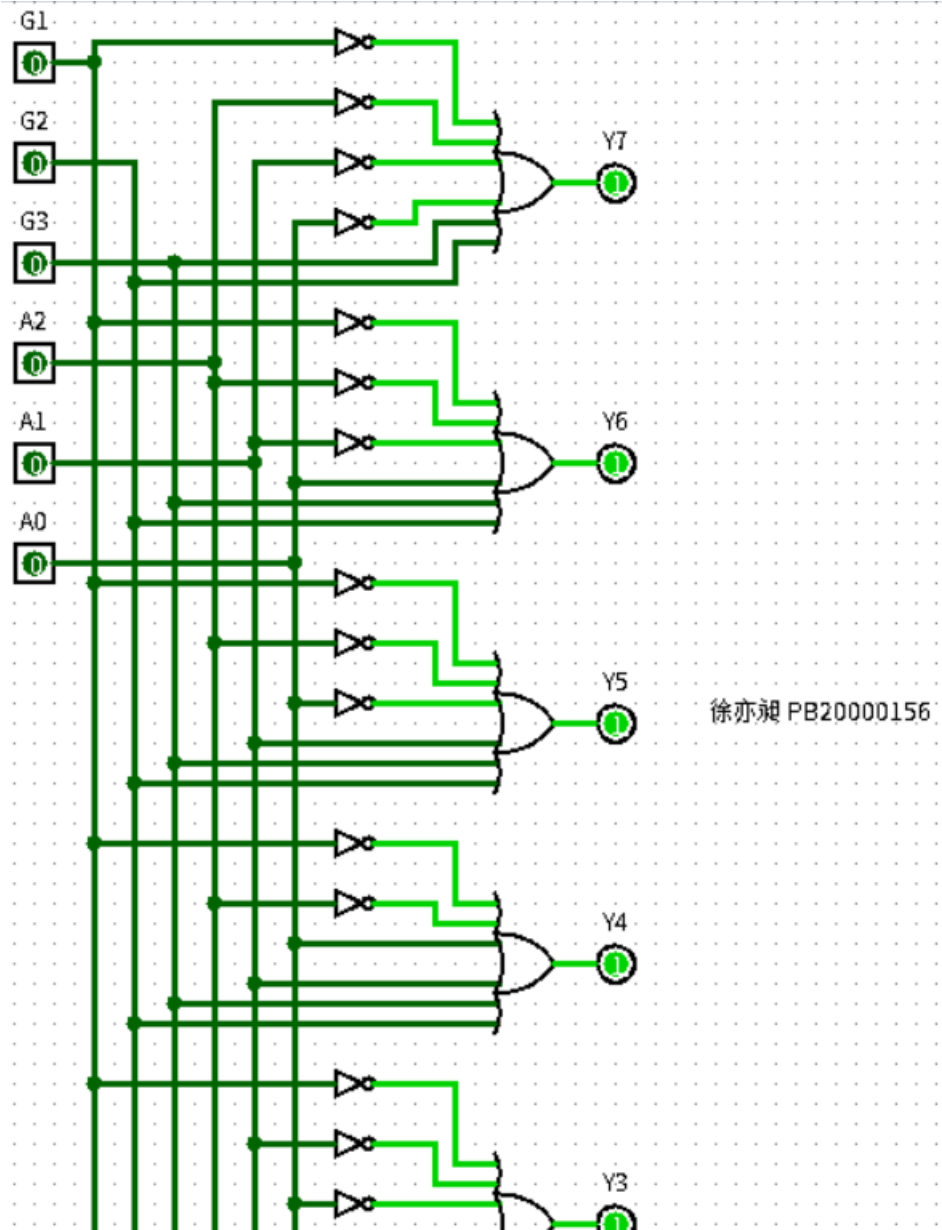


图 7: 题目 2

题目 3:

```
1 module mux2to1_dataflow(
```

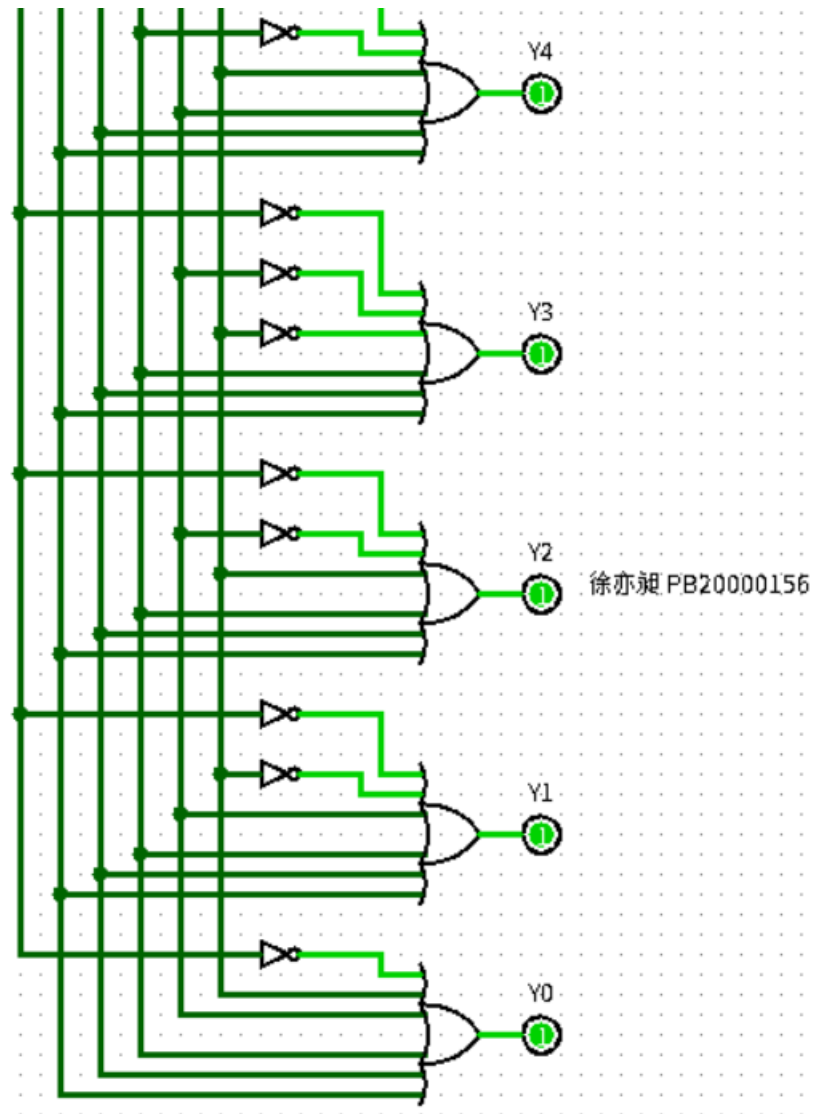



图 8: 题目 2(续)

```

2     input a,b,sel ,
3     output out);
4     assign out=(a & ~sel) | (b & sel);
5     endmodule

```

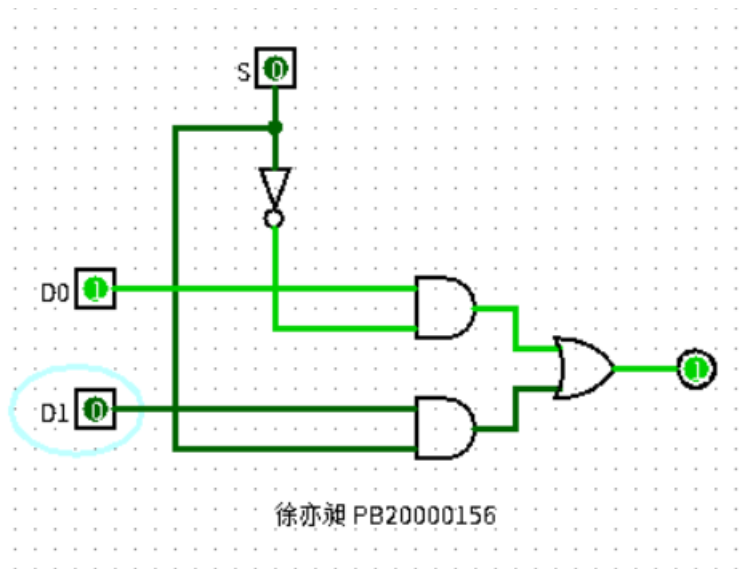


图 9: 题目 3 电路图

题目 4:

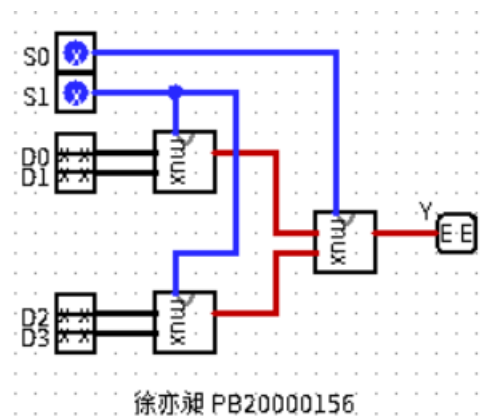


图 10: 题目 4 电路图

```
1 module mux2to1_dataflow(
```

```
2     input a,b,sel,
```

```
3         output out);

4     assign out=(a & ~sel) | (b & sel);

5     endmodule

6

7     module mux4to1_dataflow(

8         input a,b,c,d,sel1,sel0,

9         output out);

10    wire Y0,Y1;

11    mux2to1_dataflow mux_inst1(

12        .a (a),

13        .b (b),

14        .sel (sel0),

15        .out (Y0));

16    mux2to1_dataflow mux_inst2(

17        .a (c),

18        .b (d),
```

```

19         .sel (sel0),
20         .out (Y1));
21     mux2to1_dataflow mux_inst3(
22         .a (Y0),
23         .b (Y1),
24         .sel (sel1),
25         .out (out));
26     endmodule

```

题目 5:

```

1     module encoder(
2         input  i7,i6,i5,i4,i3,i2,i1,
3         output y2,y1,y0);
4     assign y2 = i7 | ~i7 & i6 | ~i7 & ~i6 & i5 | ~i7 & ~i6 &
5     assign y1 = i7 | ~i7 & i6 | ~i7 & ~i6 & ~i5 & ~i4 & i3 |

```

```
6      assign y0 = i7 | ~i7 & ~i6 & i5 | ~i7 & ~i6 & ~i5 & ~i4 &  
7      endmodule
```

题目 6:

使用 Logisim 根据逻辑表达式建图的功能生成如下电路图:

查看真值表: 可以看出这是一个奇偶校验的电路 s1 指示 1 的个数是否为奇数, s2 指示 1 的个数是否为偶数。【总结与思考】

1、通过本次实验, 掌握了除手动搭建电路以外新的两种使用 Logisim 搭建电路的方法: 利用真值表和利用逻辑表达式, 这两种方法往往比手动搭建更快速; 同时掌握了 Verilog 的基本语法, 可以使用它来搭建简单的组合电路。

2、本次实验较容易, 任务量较小。

3、无改进建议。

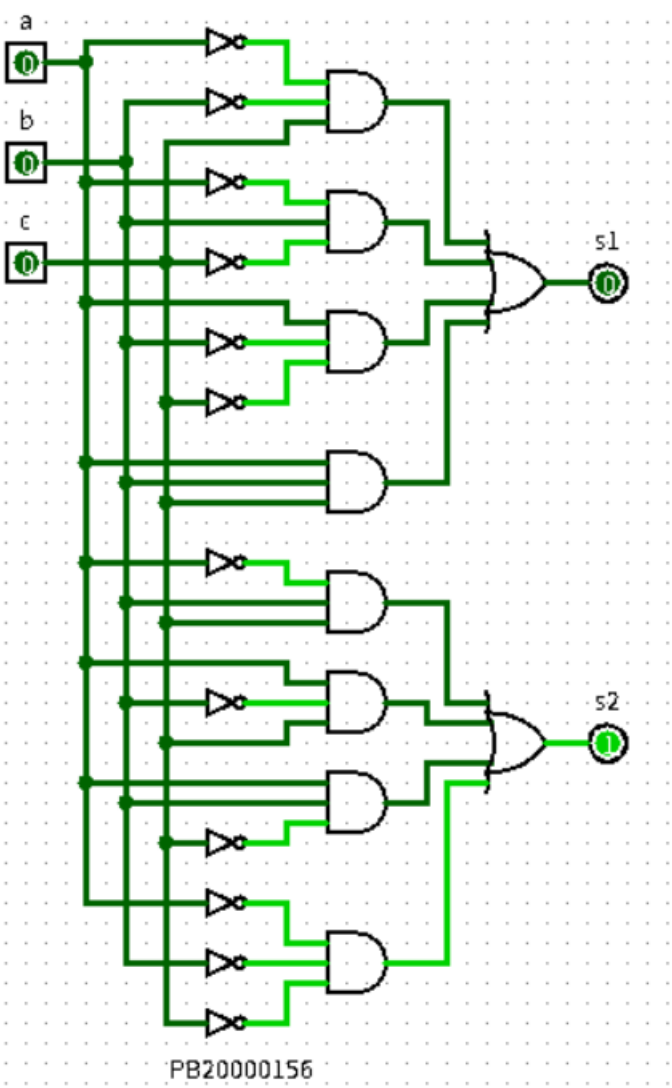


图 11: 题目 6 电路图

a	b	c	s1	s2
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

图 12: 题目 6 真值表