

REGOLE d'Esame

Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale. Allo studente verrà fornito un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.

- Il progetto può essere svolto in gruppi composti da un massimo di 2 studenti che debbono avere il medesimo docente di riferimento.
- Strumento di sintesi da usare è XILINX VIVADO WEBPACK e la FPGA target può essere qualunque. Per uniformità si inserisca xc7a200tfbg484-1 durante la sintesi.
- Il progetto deve funzionare con un periodo di clock di 100ns;
- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato fino ad un massimo di 24. Un componente sintetizzabile e correttamente simulabile in post-sintesi ottiene una valutazione superiore a 24. Il voto finale terrà conto dei test superati dal componente, dal codice VHDL e dalla relazione presentata (incluse le scelte progettuali).
- Lo studente deve allegare al progetto anche della documentazione che descriva le scelte progettuali fatte e che dimostri anche i test effettuati per validare il componente. La qualità della relazione concorre alla definizione del voto complessivo sino ad un massimo di +2/-6 punti.
- La specifica del progetto resta invariata per tutto l'anno accademico. Per questo motivo la consegna del progetto deve essere compiuta una volta sola nell'arco dell'anno accademico. In casi eccezionali, ovvero se nella prima consegna la valutazione fosse insufficiente (<18), sarà consentita una successiva consegna ma il voto massimo a cui si potrà aspirare sarà limitato a 21/30.
- Per ogni possibile sessione di laurea verrà fissata una data di consegna in modo da poter valutare per tempo i progetti e permettere agli studenti di laurearsi in tale sessione. Le date non sono allineate con le sessioni perchè non esiste formalmente un appello del progetto. Allo scadere della data di consegna verranno valutati tutti i progetti consegnati durante quella sessione di consegna. Per via della tipologia di esame (prova finale) non è possibile rifiutare il voto. Poiché è prevista una sola consegna per anno accademico, in caso di bocciatura il candidato verrà rimandato all'anno accademico successivo. Nel caso lo studente non riesca a superare positivamente la valutazione del progetto entro l'ultima consegna, dovrà sostenere nuovamente l'esame con il progetto dell'anno accademico successivo.

Modalità di consegna:

- Sezione PALERMO - SALICE
 - Le date previste per le tre sessioni sono:
 - I consegna entro 1 Marzo 2019,
 - Per potersi laureare ad Aprile
 - II consegna entro 1 Aprile 2019,
 - III consegna entro 15 Maggio 2019,
 - IV consegna entro 1 Luglio 2019,

- Per potersi laureare a Luglio
 - V consegna entro 1 Settembre 2019,
 - Per potersi laureare ad Settembre/Ottobre
 - VI consegna 15 Settembre 2019
- Per la consegna dei progetti verrà predisposta una cartella su BeeP per ogni sessione d'esame. All'interno di questa cartella ogni studente o gruppo di studenti dovrà caricare esattamente due file:
 - un solo file con il codice VHDL - Il file caricato dovrà essere nominato codicePersona.vhd (esempio 10499233.vhd). **IMPORTANTE:** gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (codicePersona1_codicePersona2.vhd). La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
 - un solo file PDF con la documentazione - In questo caso il nome del file caricato dovrà essere codicePersona.pdf, o codicePersona1_codicePersona2.pdf con lo stesso ordine usato per il file VHDL di cui sopra.
 - **IMPORTANTE:** gli studenti che hanno lavorato in gruppo dovranno assicurarsi di specificare in modo chiaro la composizione del gruppo (max 2 persone) nella documentazione oltre che nel nome di file. La mancata specifica della composizione del gruppo farà riconoscere il voto solo allo studente il cui codice persona corrisponde a quello dei file caricati.
 - La cartella di consegna verrà chiusa automaticamente dal sistema allo scadere della data prevista. Il progetto verrà considerato consegnato se alla scadenza saranno presenti i due file descritti sopra, con le caratteristiche specificate. La correzione del progetto non è immediata e richiede la verifica tramite diversi test prima della sua valutazione definitiva.
 - **IMPORTANTE:** qualora i file caricati non rispettassero tali caratteristiche, il progetto verrà considerato non consegnato.
- Sezione FORNACIARI:
 - Un documento separato verrà predisposto per spiegare le modalità di consegna;
 - Ogni aggiornamento verrà indicato su BEEP;
 - Le date previste (aggiornamento al 24.11.2018) sono:
 - I consegna entro 1 Marzo 2019 - per laurearsi appello di
 - II consegna entro 15 Maggio 2019 - per laurearsi appello di
 - III consegna entro 15 Luglio 2019 - per laurearsi appello di
 - IV consegna entro 1 settembre 2019 - per chi si laurea nelle sessioni del successivo anno accademico