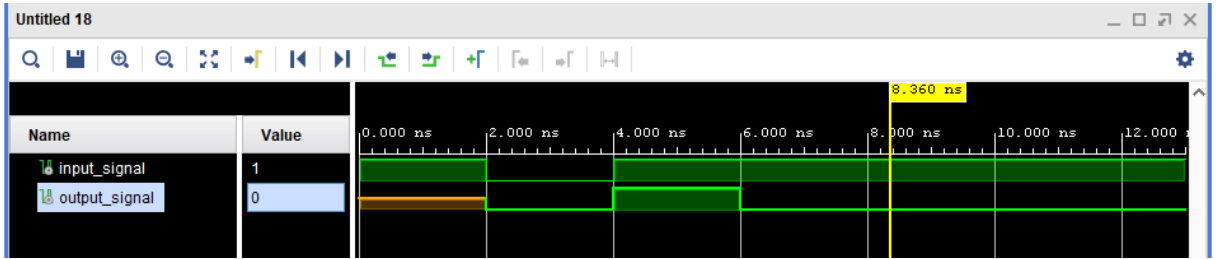
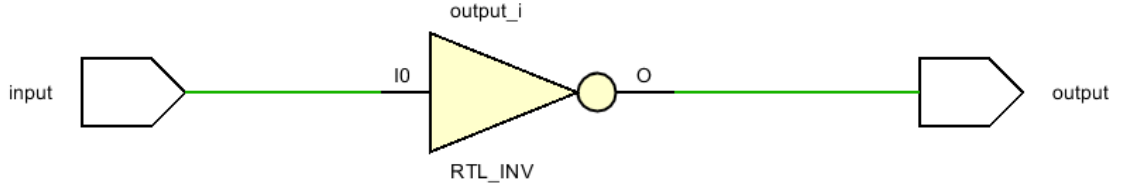


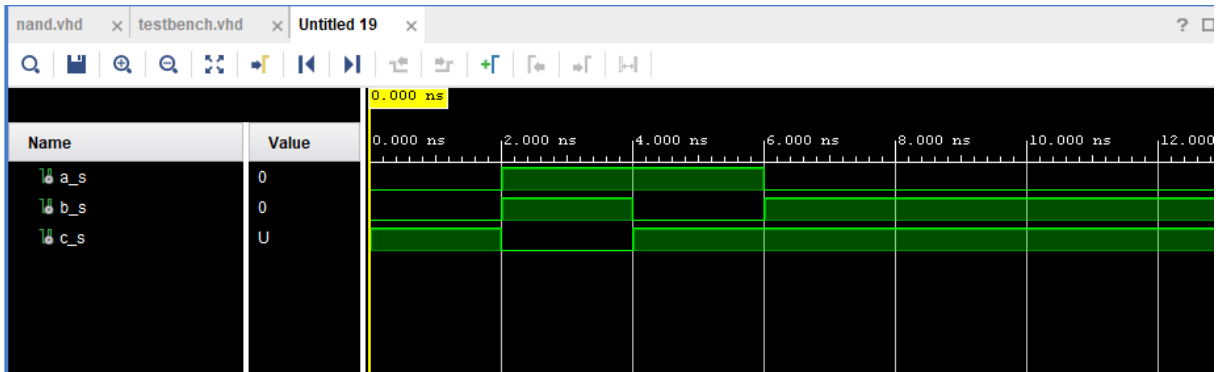
**Soru 1: Aşağıda verilen kapıların VHDL modüllerini yazınız ve simule ediniz.**

**a) Inverter (t<sub>plh</sub>=t<sub>phl</sub>=2ns) kapısının şeması ve grafik sonuçları:**



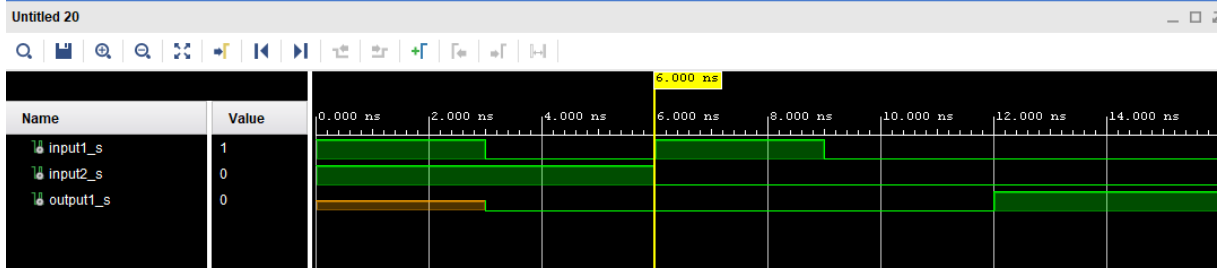
Kapı 2ns gecikmeli ayarlandığı için ilk tepkisini 2ns sonra veriyor , bu sırada giriş test kodunda 0 girildiği için 0 a dönüyor ve kapının gecikmesi bekleniyor .6. ns'ye kadar periyot çakışmalarından doğru davranmıyor gözüksede 6'dan sonra kapının tamamen doğru çalıştığını görebilirsiniz.

**b) NAND (t<sub>plh</sub>=t<sub>phl</sub>=2ns) kapısının şeması ve grafiği:**



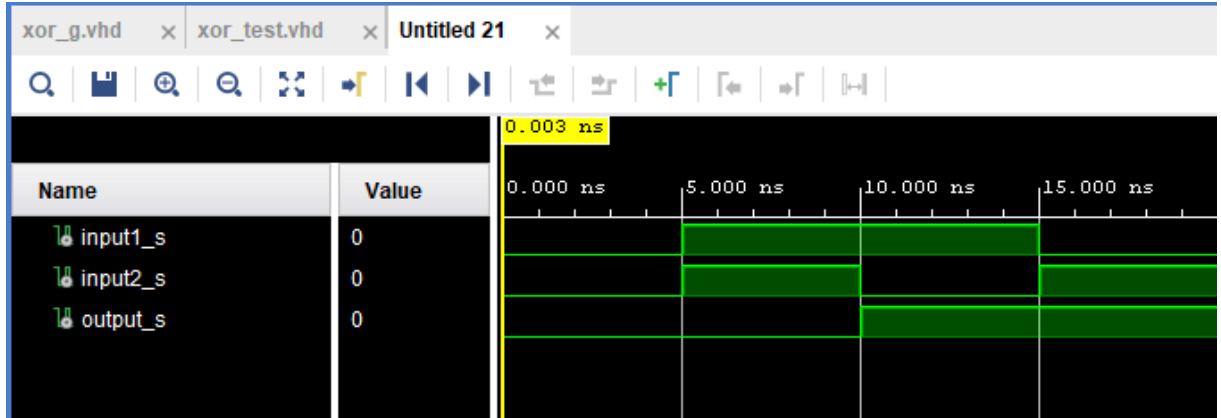
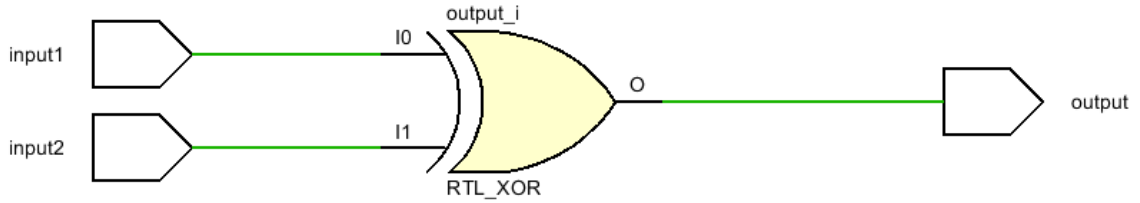
Kodda 2ns gecikmeli çalışan nand kapımız 00 a 1, 11 gelen girişlere cevap olarak 0 veriyor , 4.ns de ise 10 a 1 verdiği için düzgün çalışıyor diyebiliriz.

**c) NOR (t<sub>plh</sub>=t<sub>phl</sub>=3ns) kapısı şeması ve grafiği:**



3 ns gecikmeli ayarlanan nor kapımız 01 e 0 , 10 a 0 ve 00 a 1 verdiği için doğru olarak simülasyon sonucu vermekte.

d) *XOR (tph=tphl=5ns) kapısı şeması ve grafiği:*

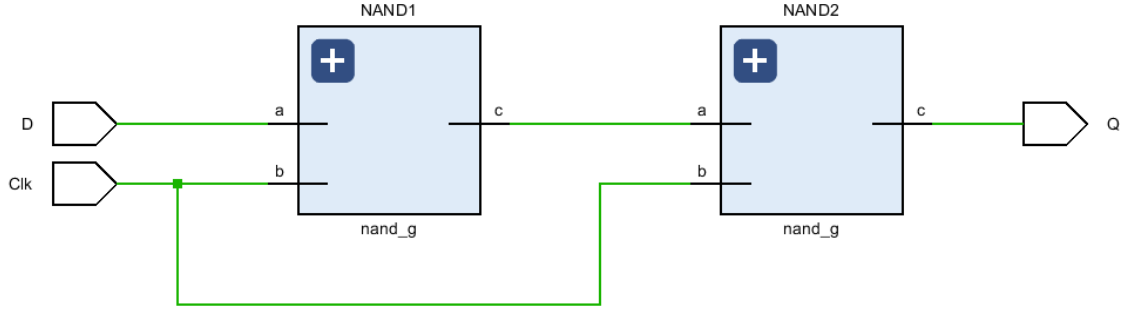


5sn periyotlu ayarlanan xor kapısı 00 a 0 , 11 e 0 , 10 a 1 ve 01 e 1 vererek düzgün bir sonuç vermekte.

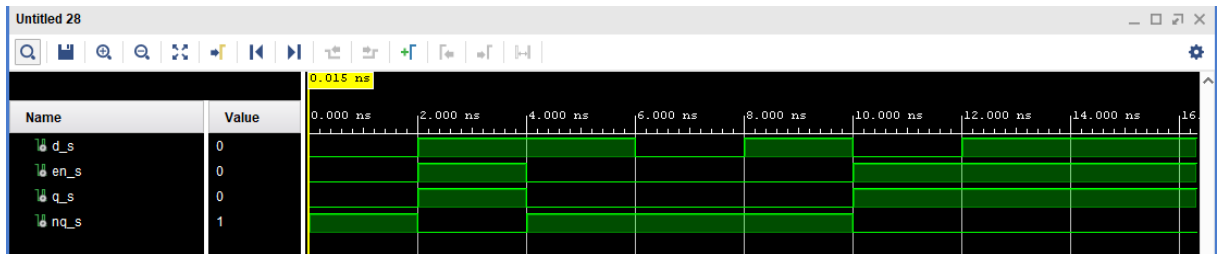
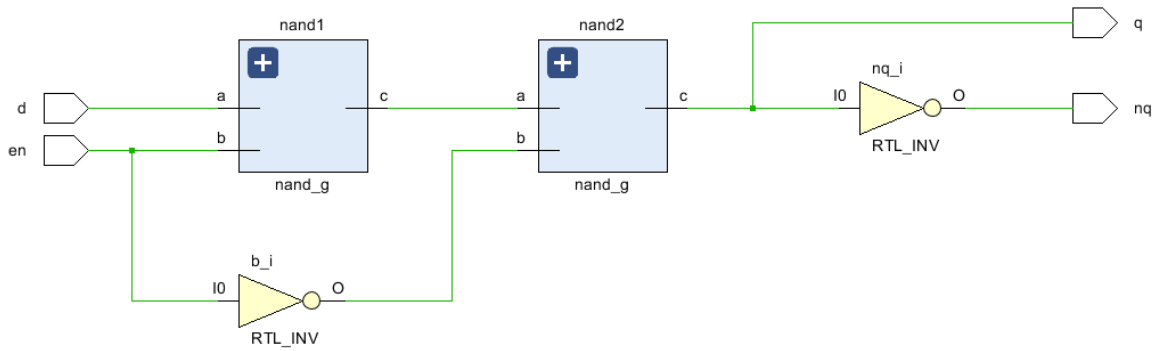
**Soru 2: a) 1. Soruda oluşturduğunuz NAND yapısını kullanarak positive-level D latch (Dlatch.vhdl) ve neative-level D latch (DNlatch.vhdl) yapısı tasarlayınız. VHDL modüllerini yazıp simülasyonunu yapınız ve şematik olarak gösteriniz.**

Nand kapılarını uygun bir şekilde birbirlerine bağlarsak Negatif ve Pozitif Seviyeli Dlatchler oluşturabiliriz.

Positive-level D latch (Dlatch.vhdl) şeması ve simülason sonuçları:



Negative-level D latch (DNIatch.vhdl):



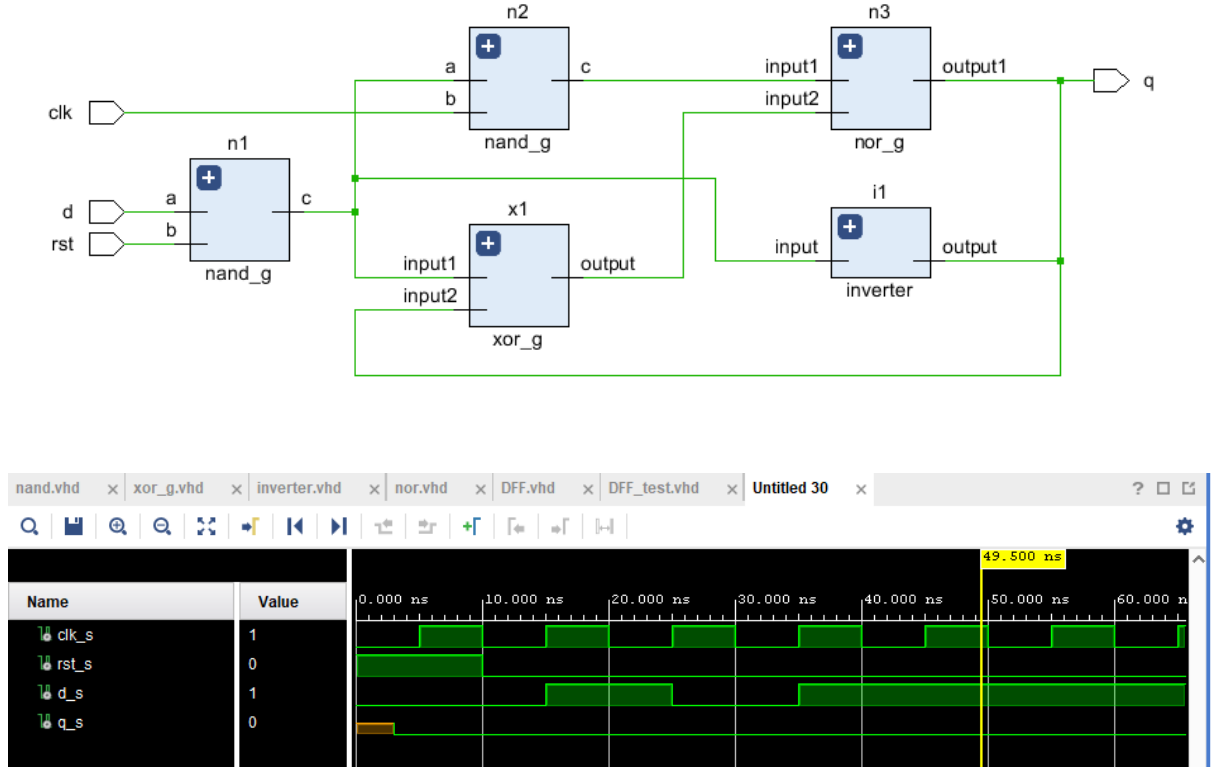
**b) 1. Soruda oluşturduğunuz kapıları kullanarak bir D flip-flop yapısı oluşturunuz. VHDL modülünü yazıp simülasyonunu yapınız ve şematik olarak gösteriniz.**

# Programlanabilir Lojik Devre Tasarımı

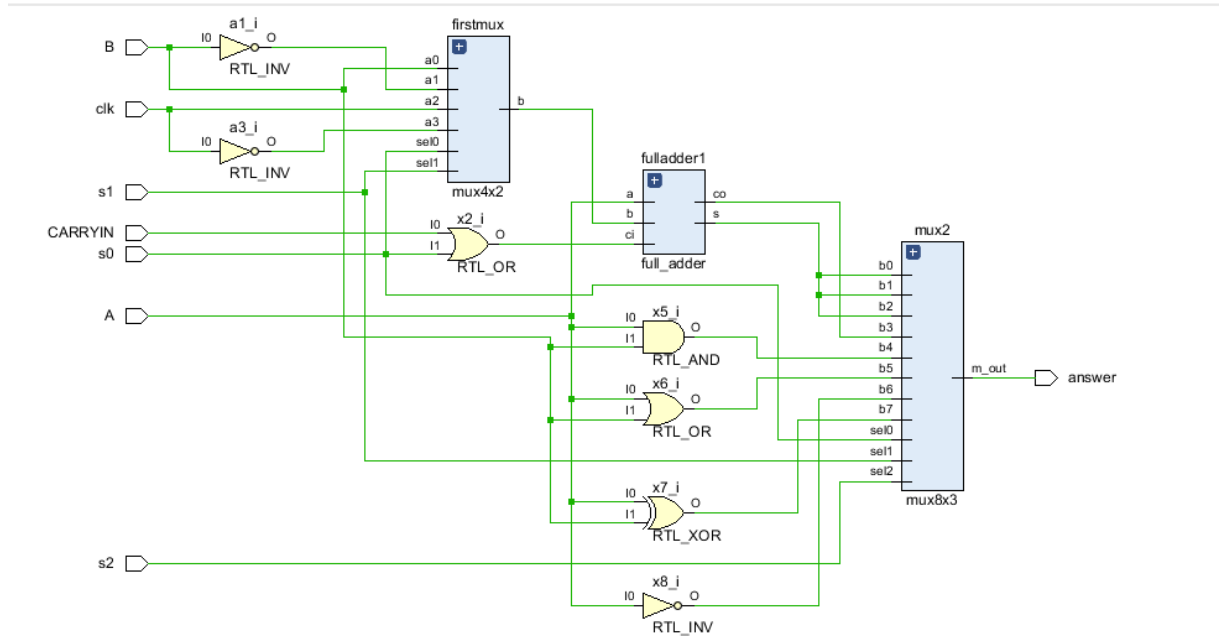
Gr:2 Ödev:1

Alırıza Bilir -18014125

15.05.2023

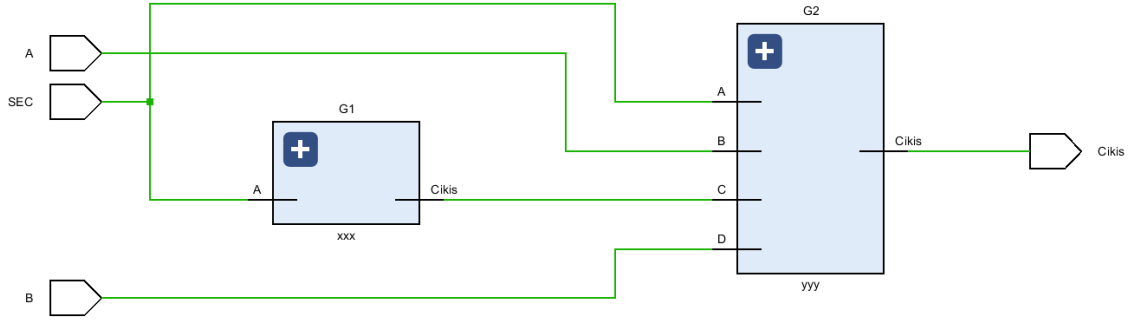


3. Aşağıdaki şekilde verilen devrenin giriş çıkışlarını belirleyiniz ve VHDL kodunu yazıp simule ediniz.





4. Aşağıdaki VHDL kodu referans alınarak ortaya çıkacak devrenin bağlantılarını ve hiyerarşik yapısını oluşturunuz.



# Programlanabilir Lojik Devre Tasarımı

Gr:2 Ödev:1

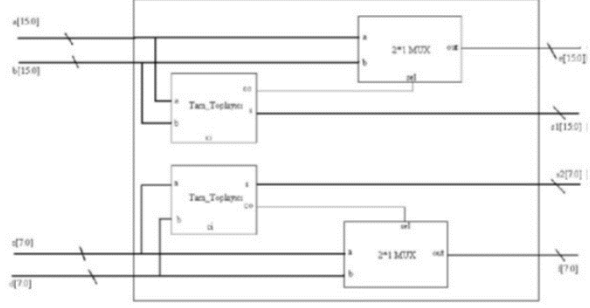
Alırıza Bilir -18014125

15.05.2023

**5. Aşağıdaki şekilde verilen yapıyı Tam Toplayıcı ve 2\*1 Mux kullanarak structural yöntemle tasarlayıp VHDL kodunu yazınız ve simülasyonu yapınız. Test programı ve grafiklerini veriniz.**

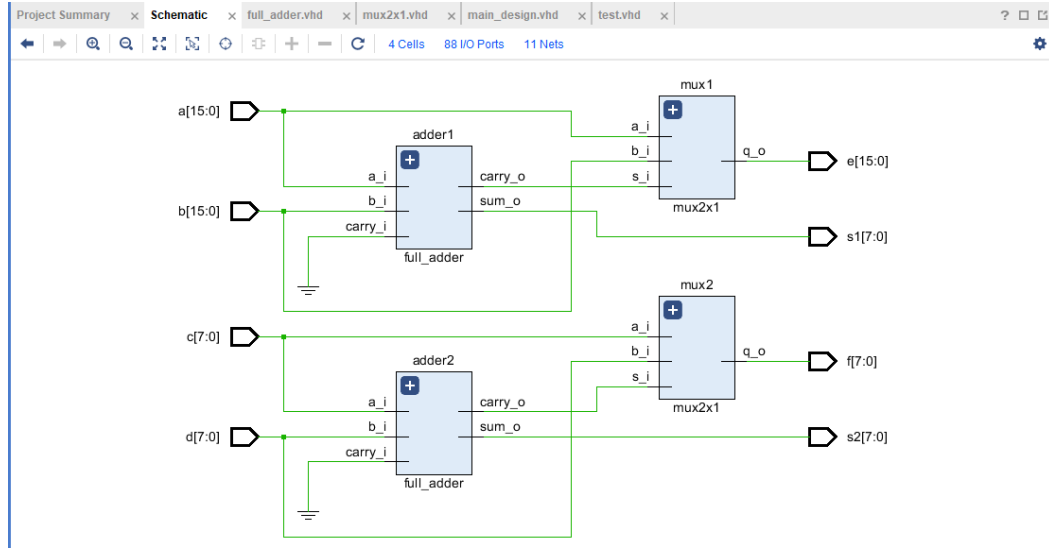
**Girişler: a[15:0] ; b[15:0] ; c[7:0] ; d [7:0]**

**Çıkışlar: e[15:0] ; s1[7:0] ; s2[7:0] ; f[7:0]**



Soruda istenilen structural yöntemi dikkate alarak öncelikle mux ve full adder vhdl kodlarını kaynak olarak gösterdim. Ana yapıyı main design başlığı altında structural kodlayarak proje ekledim ve en sonra test bench oluşturdum sentezleme başarılı olduğu halde malesef test benchi başarılı olarak oluşturamadığımı düşünüyorum. Simülasyon sonucu çıkan e,s1,s2 ve f çıkışlarının birkaç biti anlamlı şekilde gösteriliyor”0 ,1” geri kalan bitler ise önemsiz “u” harfiyle gösteriliyor. Bu sorunu çözemediğim için hatalı bir şekilde ekliyorum .Geri kalan kodlar gibi bu yapının da kodları Zip’in içindedir.

Şema:



Grafikler:

