



**T.C.  
YILDIZ TEKNİK ÜNİVERSİTESİ  
ELEKTRİK-ELEKTRONİK FAKÜLTESİ  
ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ BÖLÜMÜ**

**PROGRAMLANABİLİR LOJİK DEVRE TASARIMI DERSİ  
PROJE SONUÇ RAPORU**

**TRİBONACCİ SAYI ÜRETİCİ**

Proje Danışmanı: Arş. Gör. Ali Rıza YILMAZ

18014125 Alırıza BİLİR

İstanbul, 2023

## İçindekiler

<b>1.Giriş.....</b>	<b>2</b>
2.Litaratür İncelemesi.....	2
3.Devre Kod Mimarisi .....	3
<b>4.Devre Tasarım Mimarisi .....</b>	<b>4</b>
5.Simülasyon Sonuçları .....	5
6.RTL Şematik Çıktı .....	5
<b>7.Sonuç .....</b>	<b>6</b>
8.Özet.....	6
9.Kaynakça .....	6

## 1.Giriş

Bu rapor, tribonacci dizisine dayalı bir devrenin tasarımı ve uygulanmasıyla ilgili çalışmayı sunmaktadır. Tribonacci dizisi, ünlü Fibonacci dizisiyle benzerlik gösteren bir matematiksel dizidir, ancak her bir terim, üç önceki terimin toplamı olarak hesaplanır. Bu projede, tribonacci dizisinin hesaplanması için bir devre tasarlanarak Vivado programında uygulanmıştır. Devrenin doğruluğu ve performansı değerlendirilmiş ve elde edilen sonuçlar analiz edilmiştir.

Bu projenin amacı, tribonacci dizisini hesaplamak için bir VHDL devresinin tasarım sürecini anlamak ve gerçek dünya uygulamalarında kullanılabilen bir tribonacci hesaplama birimini uygulamaktır. Tasarım süreci, VHDL dilini kullanarak devrenin iç işleyişini, sinyal akışını ve şematik tasarımını ve clock tabanlı simülasyon tepkilerini modellemeyi içermektedir.

## 2.Litaratür İncelemesi

Tribonacci dizisi, matematik ve bilgisayar bilimleri alanında ilgi çekici bir konu olmuştur. Bu sayıların dağılımı incelendiğinde, belli bir terimden sonraki her bir sayının, kendisinden önceki ardışık üç sayının toplamı şeklinde olduğu görülmektedir. Böylece bu yeni dizi  $q_{n+1} = q_n + q_{n-1} + q_{n-2}, n \geq 2$  şeklinde tanımlanmıştır. Dizinin başlangıç terimleri  $q_{n+1} = q_1 = 1, q_2 = 1, q_3 = 0$  olarak verilmiş olup bu tanımlama Mark Feinberg tarafından başlangıçta n q dizisi olarak tanımlanmıştır. [1] Ancak daha sonra bu sayılar Tribonacci dizisi olarak adlandırılmış ve terimleri  $T_n$  ile gösterilmiştir. Bu dizideki ilk birkaç sayı; 1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 504 şeklindedir. Bu dizinin Fibonacci dizisine olan benzerliği ve farklılıkları, araştırmacıların ilgisini çekmiş ve çeşitli uygulama alanlarında kullanılabilirliği üzerine çalışmalar yapılmıştır.[2]

### 3.Devre Kod Mimarisi

Tribonacci devresinin tasarımı, VHDL (Very High Speed Integrated Circuit Hardware Description Language) kullanılarak gerçekleştirilmiştir. Devre, tribonacci dizisinin hesaplanması için gerekli mantıksal işlemleri gerçekleştirir ve sonucu ilgili çıkış sinyaline aktarır. Aşağıda, devrenin tasarım süreci ve yapılandırması detaylı olarak açıklanmaktadır.

#### Genel Tasarım:

Tribonacci devresi, "tribonacci" adında bir ENTITY olarak tanımlanır. ENTITY, devrenin girişleri, çıkışları ve genel özellikleri hakkında bilgi verir. N parametresi, devrenin çalışma hassasiyetini belirlemek için kullanılır ve genellikle INTEGER tipinde bir değerdir ve bu bit parametresi 16 bit olarak tercih edilerek tasarım gerçekleştirilmiştir.

#### Giriş ve Çıkışlar:

Tribonacci devresi, clk (saat) ve rst (sıfırlama) sinyallerini giriş olarak alır. "clk" sinyali, devrenin her bir adımda işlem yapmasını ve ilerlemesini sağlar. "rst" sinyali, devrenin başlangıç durumuna sıfırlanmasını kontrol eder. "tribo\_series çıkış" sinyali ise tribonacci dizisinin hesaplanan son terimini temsil eder ve simülasyon çıktısı olarak bu çıkış dikkate alınacaktır.

#### SIGNAL Değişkenleri:

Devrede, a, b, c ve d adında dört sinyal değişkeni SIGNAL olarak tanımlanır. Bu değişkenler, tribonacci dizisinin geçici terimlerini depolamak için kullanılır. Her bir değişken, 0 ila  $2^N-1$  arasında bir değer alabilir, N parametresi devrenin genişliğini belirler.

#### PROCESS Bloğu:

Devrenin davranışını tanımlayan PROCESS bloğu, clk ve rst sinyallerine dayalı olarak çalışır. İçerisindeki IF-ELSIF-ENDIF yapısı, clk sinyali yükselirken ve rst sinyali "1" olduğunda ilgili işlemleri gerçekleştirir. İlk başta rst sinyali "1" olduğunda, b, c ve d değişkenleri sırasıyla 1, 1 ve 0 değerlerine atanır. Ardından clk sinyali yükselirken gerçekleşen adımlarda, b, c, d sinyallerini toplayarak a sinyaline atama yapar ve sinyalleri bir sonraki değerlerle değiştirir, tribonacci dizisinin hesaplanması için gerekli olan bu işlemleri gerçekleştirilir.

#### "tribo\_series" Çıkışı:

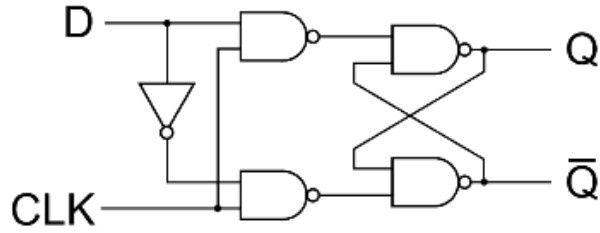
tribo\_series çıkış sinyali, devrenin clk sinyali ile güncellenen d değişkenini temsil eder. Bu çıkışın, a olmamasının sebebi ise ilk 0 1 1 değerlerini yazdırmaktır. Tribonacci dizisinin o işlem sırasındaki ilk terimini temsil eder.

Devrenin tasarımı ve VHDL kodu, tribonacci dizisinin hesaplanması için gerekli işlemlerin ve mantıksal yapılandırmanın doğru bir şekilde gerçekleştirilmesini sağlar.

#### 4.Devre Tasarım Mimarisi

Devre 16 bit tasarlatılmak istendiği için b, c, d karakterleri için 16'şar tane D flip-flop kullanılacaktır. Bu flip-flopların amacı devreye geçici bir hafıza tanımlamaktır.

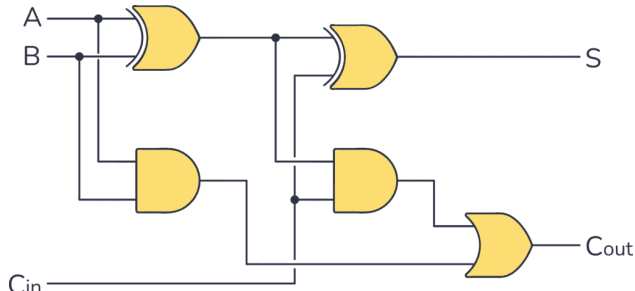
D flip-flop şeması:



Tablo 1

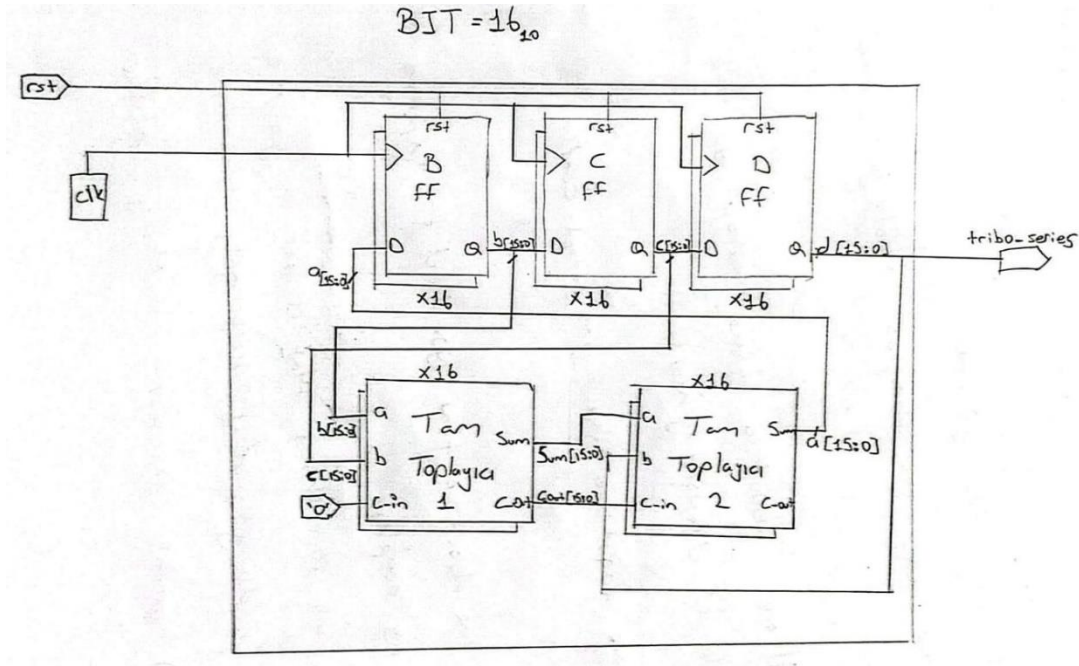
Ayrıca devrede 2 farklı tam toplayıcı bloğundan 16 tane eklenecektir. Tam toplayıcıların görevi b, c, d sayılarını toplayıp sıradaki a sayısını belirlemektir.

Tam Toplayıcı Şeması:



Tablo 2

Bağlantılar yapıldığında ise, tribonacci sayı üretici devrenin şeması böyle olacaktır:

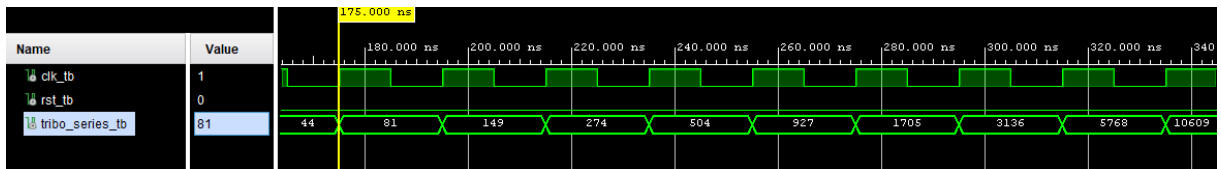
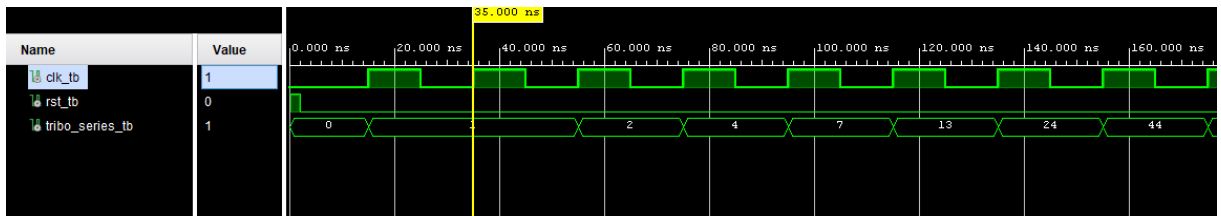


## 5. Simülasyon Sonuçları

Tasarladığımız devreyi, kod ile programa aktardıktan sonra, uygun bir test kodu ile devrenin doğru çalışıp çalışmadığını test edebiliriz.

Kıyaslayabilmemiz için, tribonacci sayı dizisi: 1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 504...

Clock, 2ns bekleme başladıktan sonra, 20ns de bir olmak üzere yükselen kenar vermektedir.



Simülasyon sonuçlarından gördüğümüz üzere 20ns'de bir tribo\_series çıkışımız sırasıyla 0, 1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 504... şeklinde verdiği dizi tribonacci dizisiyle uyusmaktadır.

## 6. RTL Şematik Çıktı:

