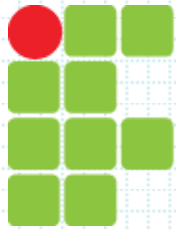
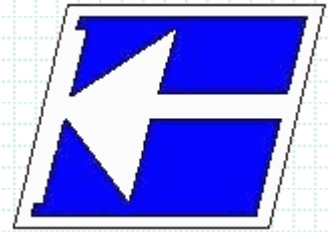


Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina
Departamento Acadêmico de Eletrônica
Curso Engenharia Eletrônica



INSTITUTO FEDERAL
SANTA CATARINA

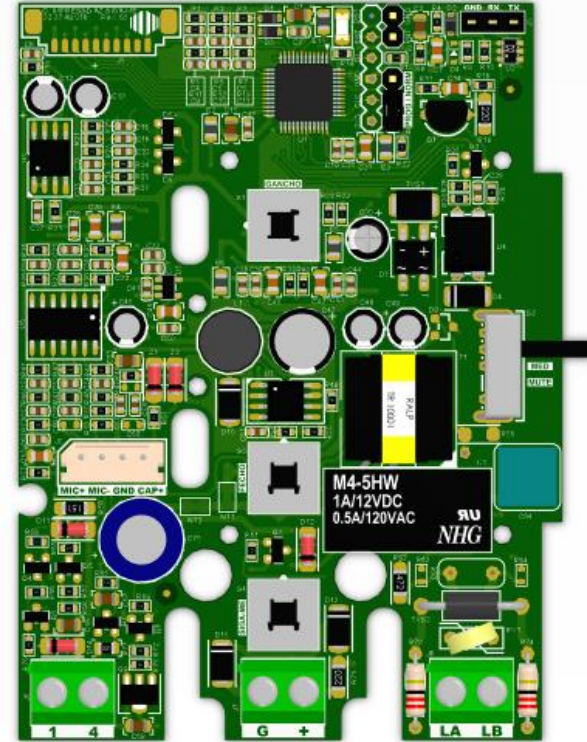
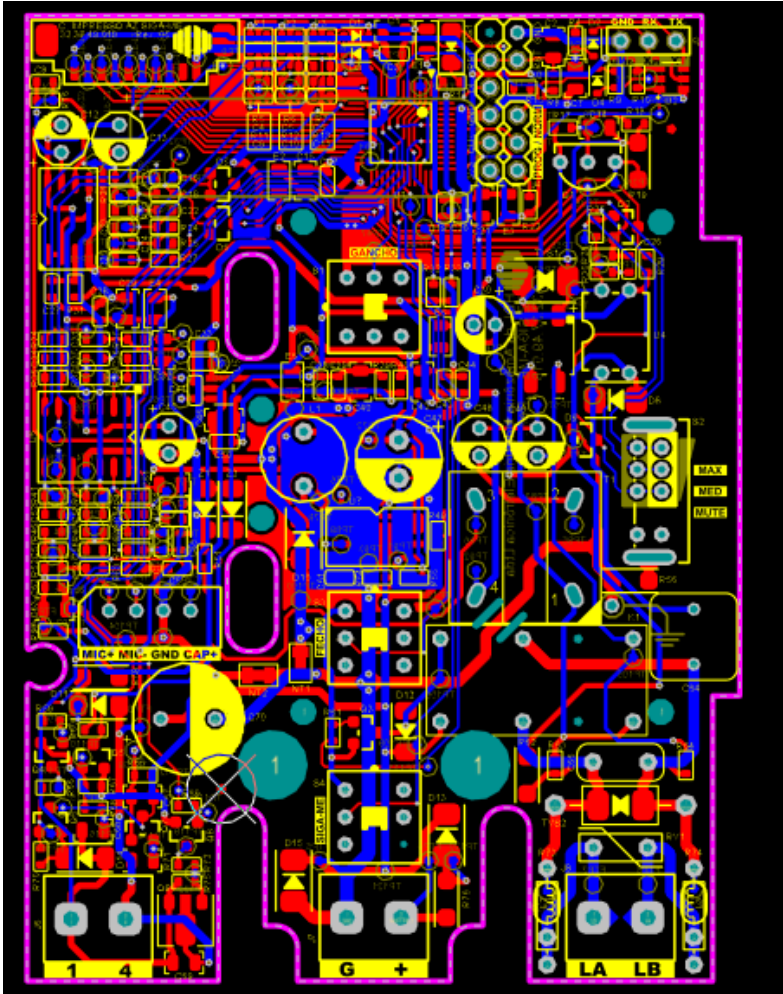


Técnicas de layout (leiaoute) aplicadas para o desenvolvimento de PCI

Prof. Joabel Moia

Florianópolis, março de 2019

Desenvolvimento de PCI

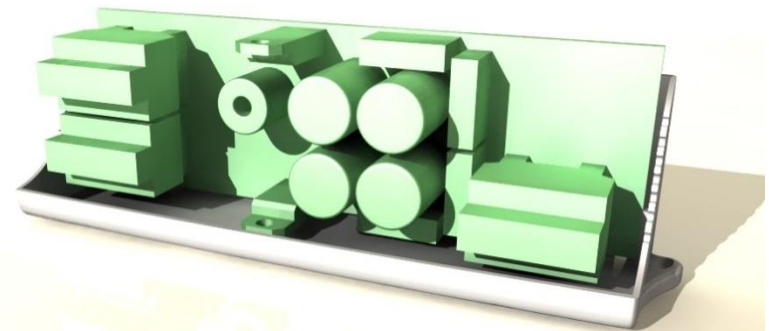
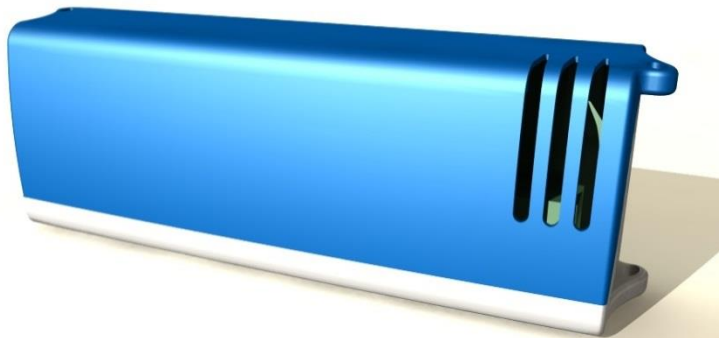


- Premissas do desenvolvimento PCI:
 - Cada circuito tem suas características próprias:
 - As táticas empregadas para desenvolver o leiaute de uma PCI para um determinado circuito não são necessariamente as mesmas táticas para outro circuito.
 - Nesta aula, algumas dicas para fazer um leiaute de uma PCI:
 - Normalmente atende bem uma faixa de aplicações em eletrônica na questão *design* da PCI.

- Planejamento da PCI (1ª Etapa):
 - Dimensional da PCI:
 - Área da PCI;
 - Cuidado: A inserção dos componentes (manual ou insersora) PTH e SMD deve ser viável;
 - Custo-benefício da PCI:
 - Face simples, dupla, multicamadas;
 - Furo metalizado;
 - Processo de solda (solda por onda, forno de refusão).

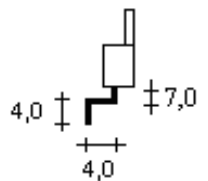
- Planejamento da PCI (1ª Etapa):
 - Alguns componentes empregados para a fabricação de produtos nas empresas empregam formatação pré-definidas;
 - Cuidar com a furação para os componentes.
 - Estrutura mecânica da PCI:
 - Fixação no gabinete/invólucro ou em outros.

- Exemplo de estrutura mecânica:

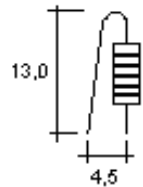


- Deve-se prever:
 - Dissipadores na PCI, ventilação forçada (quando for o caso);
 - Fixação;
 - Conectores de entrada e saída (fios, outra PCI, cabos, bornes, terminais e etc);
 - Placa para uma família de produtos (potências diferentes).

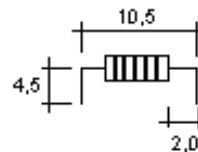
- Alguns exemplos de componentes com terminais pré-formatados:



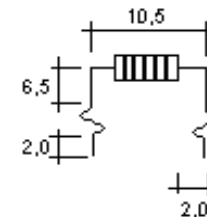
D. DOBRA ALTA



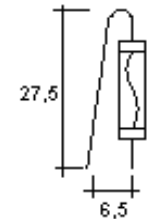
VERTICAL1



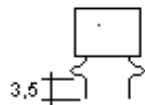
HORIZONTAL



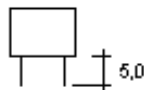
HORIZ. C/ VINCO



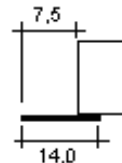
VERTICAL2



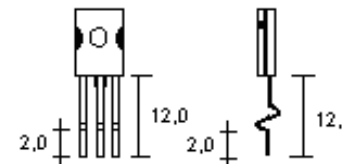
VINCO



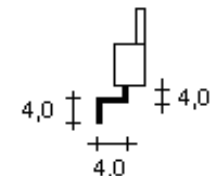
PICOTAGEM



90°

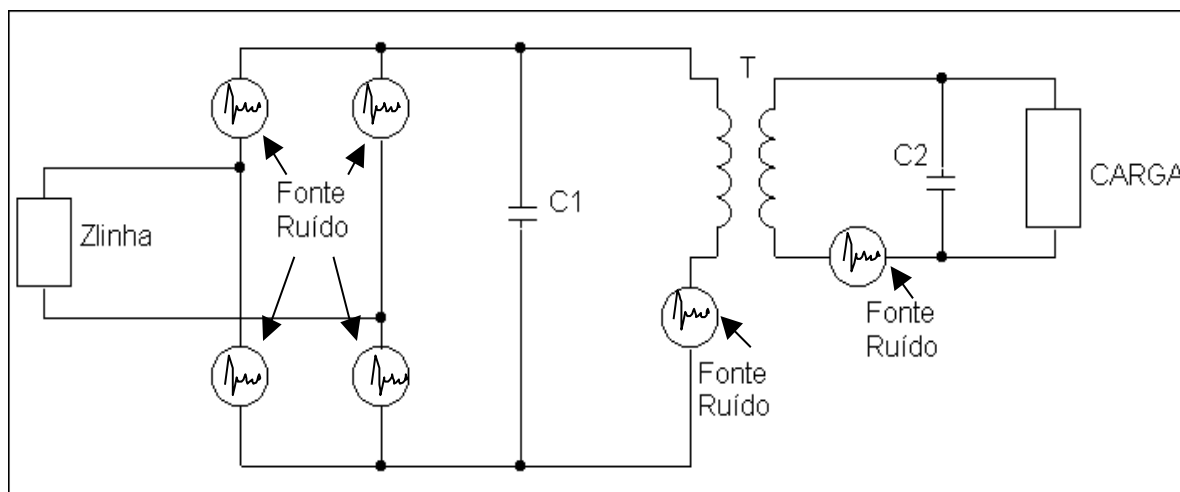
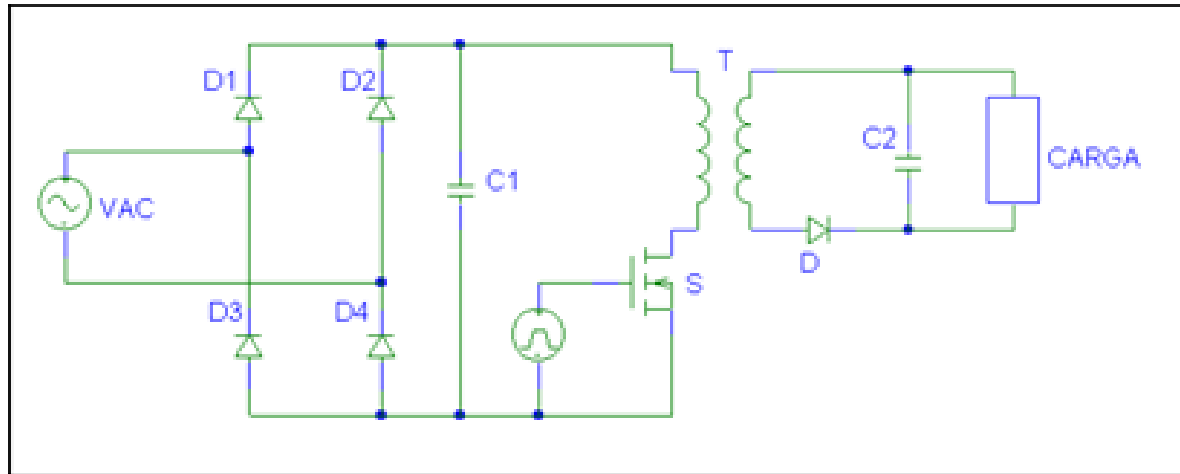


VINCO LATERAL



D. DOBRA BAIXA

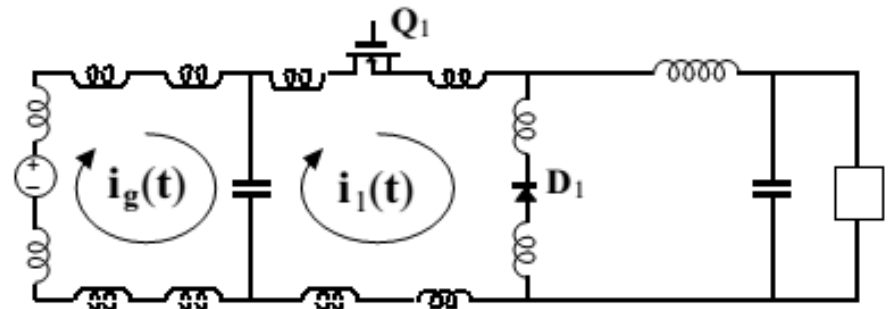
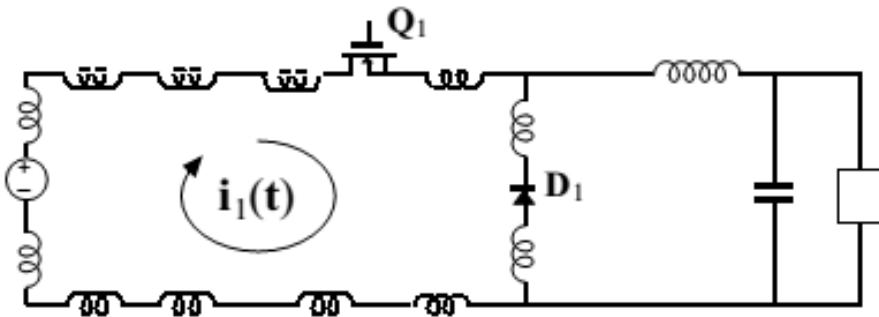
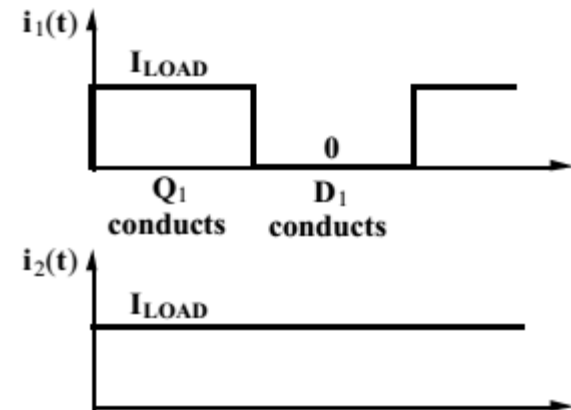
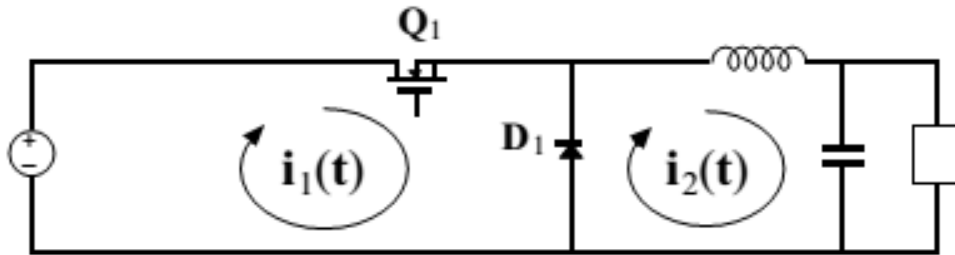
- Fontes de Ruídos (comutação dos semicondutores):



Desenvolvimento de PCI

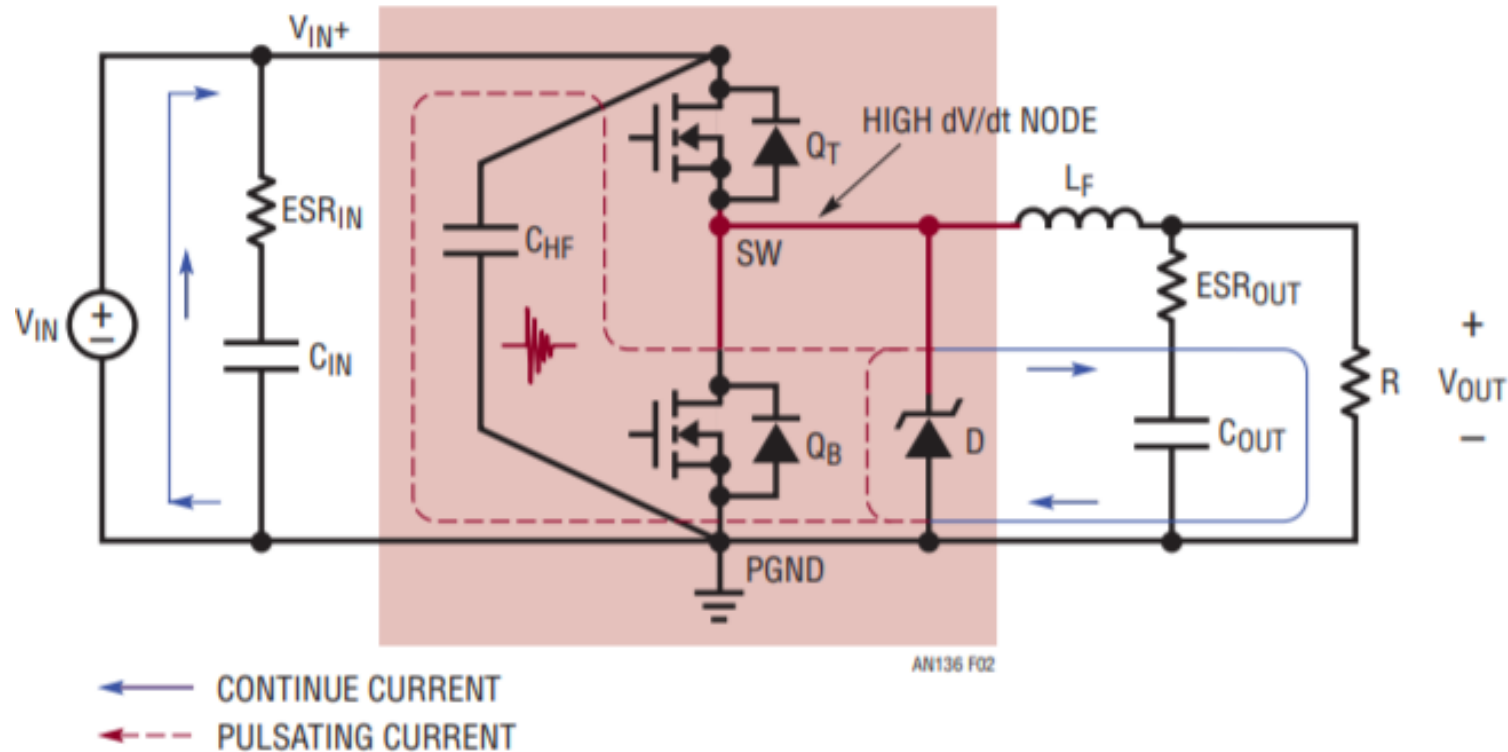
- Fontes de Ruídos (comutação dos semicondutores):

Elevado di/dt



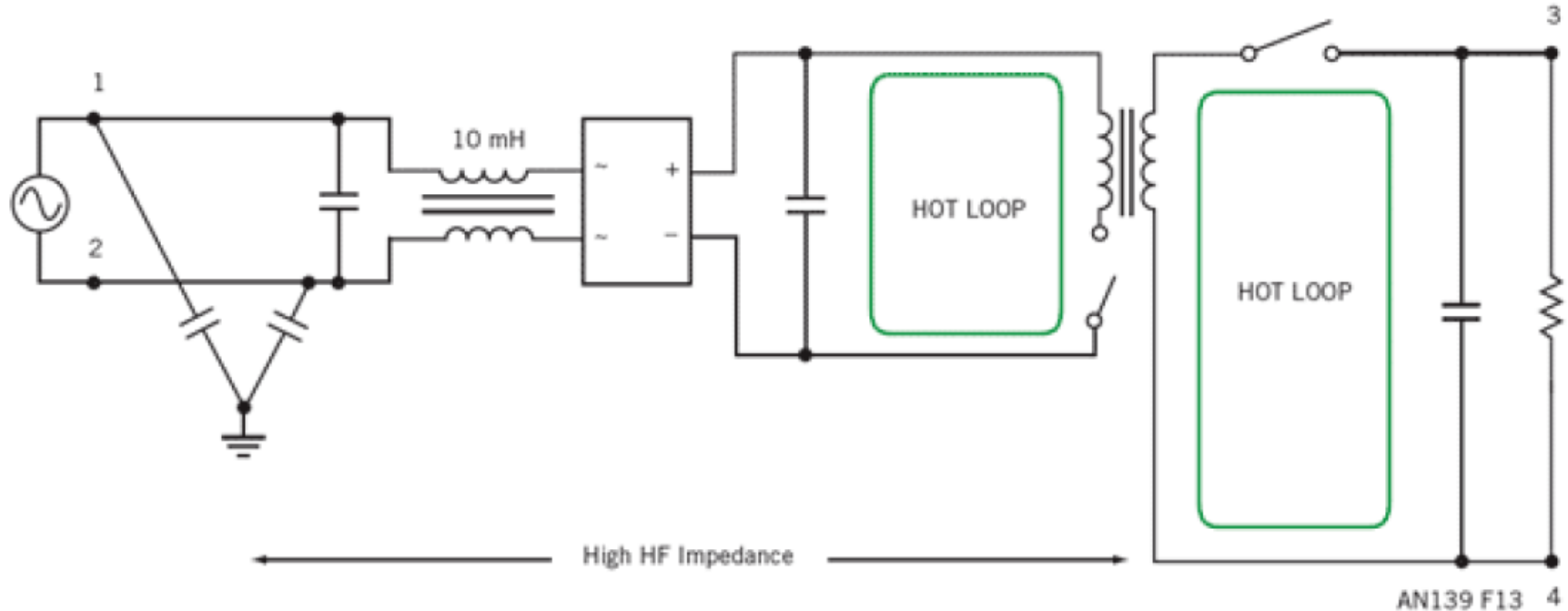
Ainda existem as fontes de ruídos externas.

- Fontes de Ruídos (comutação dos semicondutores):



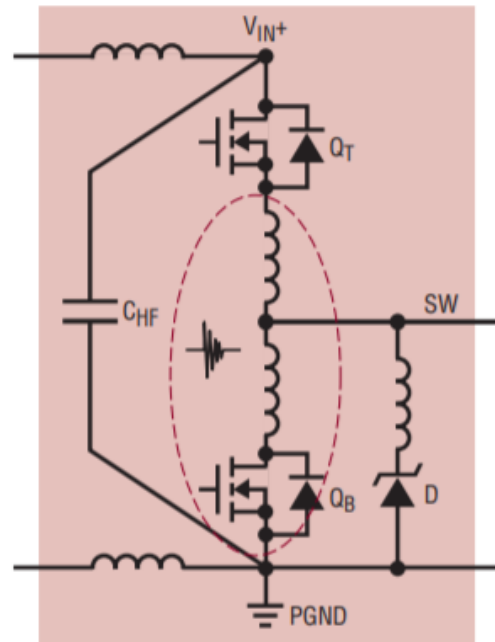
Buck Síncrono

- Fontes de Ruídos (comutação dos semicondutores):

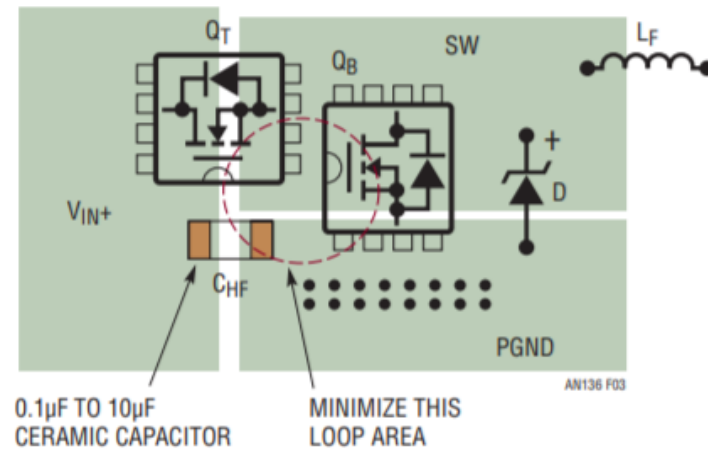


Flyback

- Fontes de Ruídos (comutação dos semicondutores):



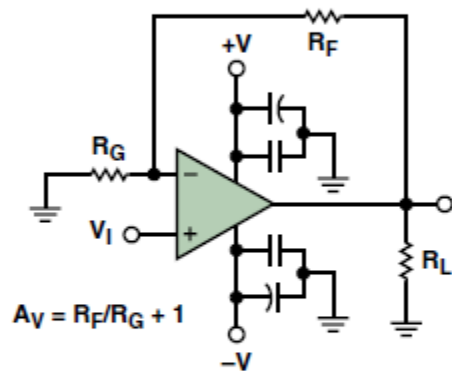
(a)



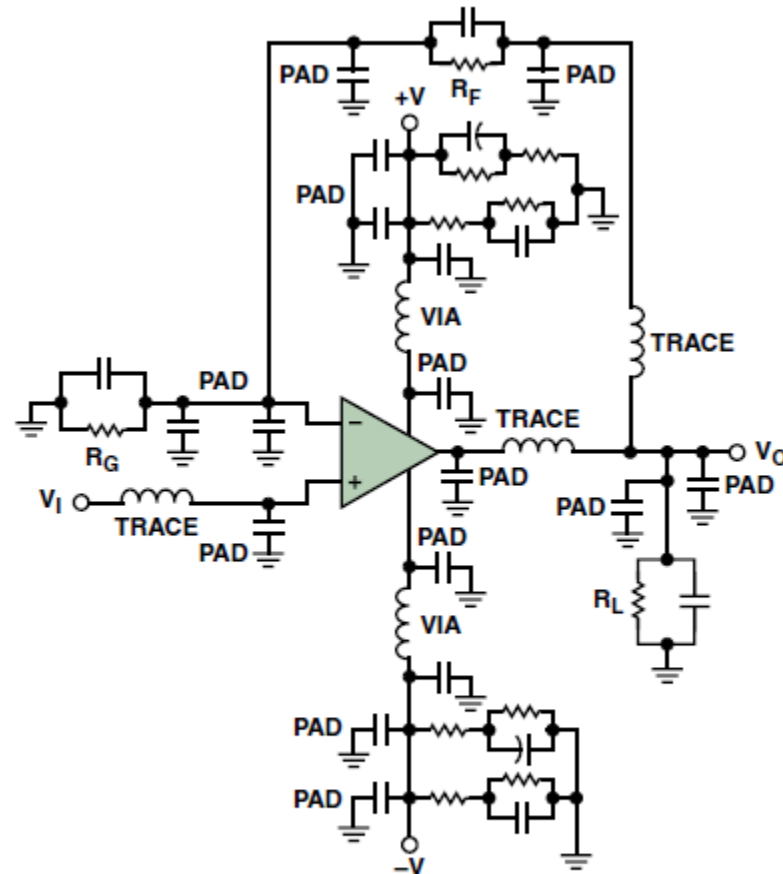
(b)

Figure 3. Minimize the High di/dt Loop Area in the Synchronous Buck Converter.
(a) High di/dt loop (Hot Loop) and its Parasitic PCB Inductors, (b) Layout Example

– Fontes de Ruídos na PCI



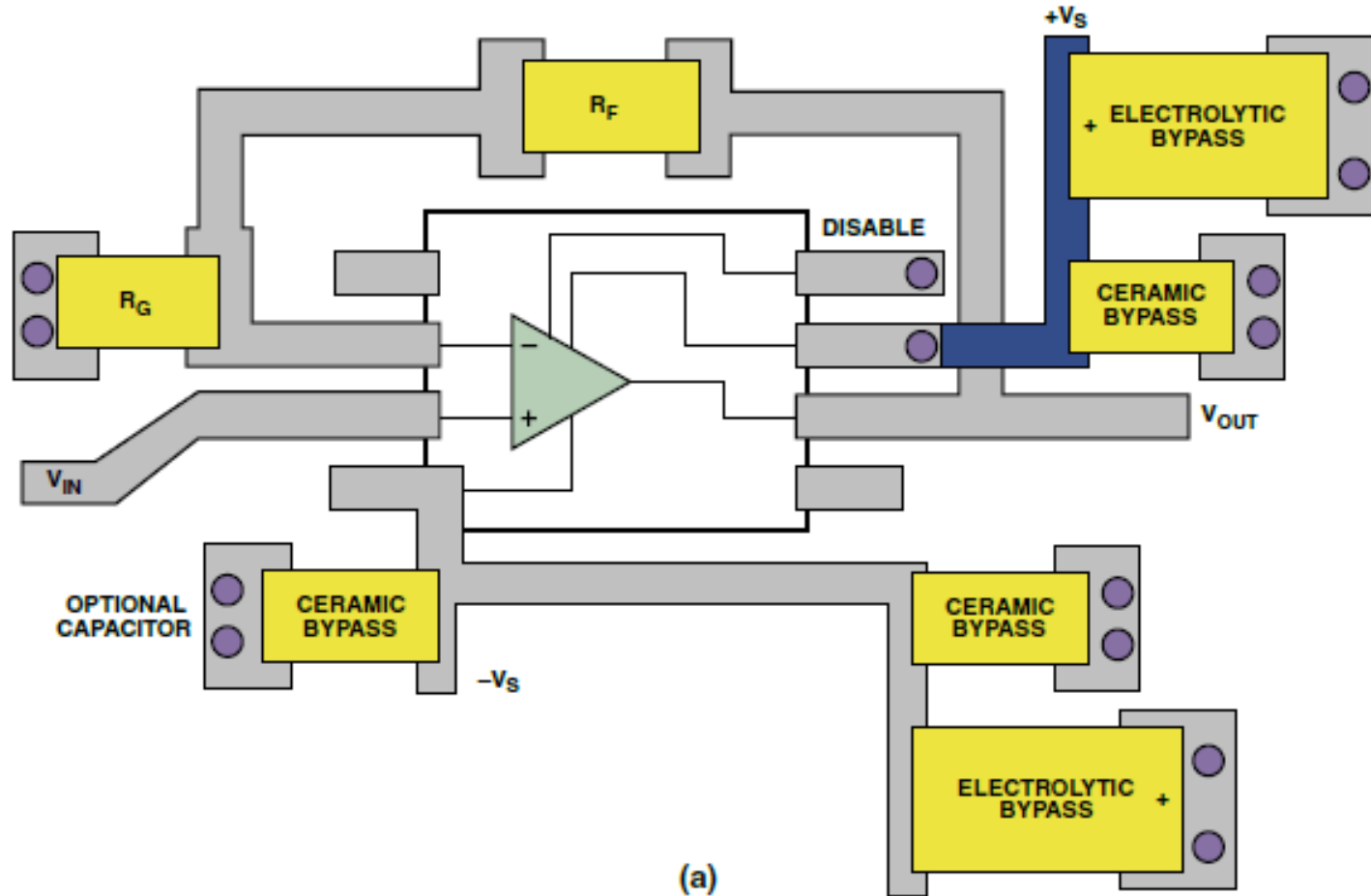
(a)



(b)

Figure 3. Typical op amp circuit, as designed (a) and with parasitics (b).

– Boas práticas PCI – Indicação do Fabricante



– Boas práticas PCI – Indicação do Fabricante

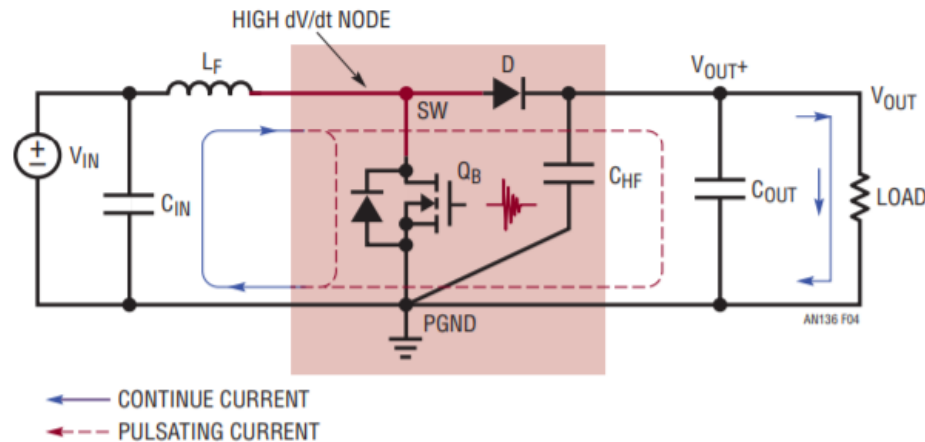
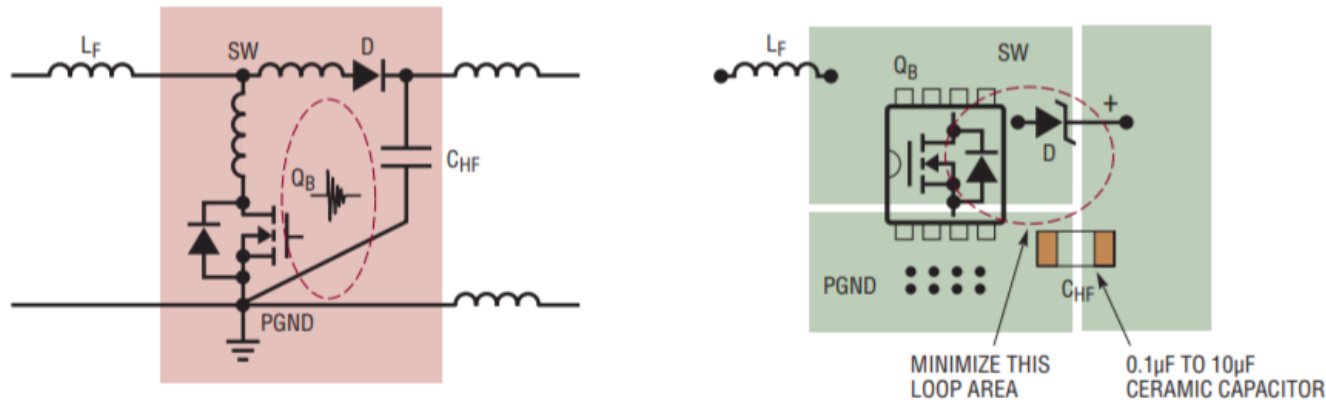
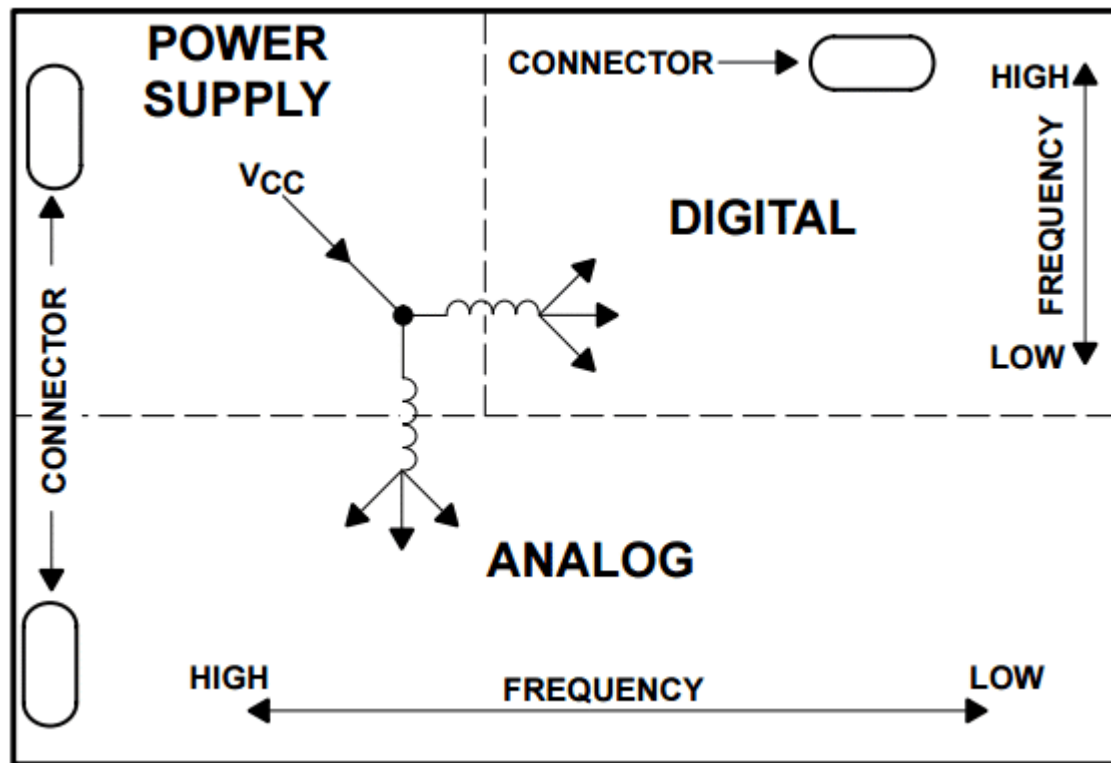


Figure 4. Continuous and Pulsating Current Paths of a Boost Converter

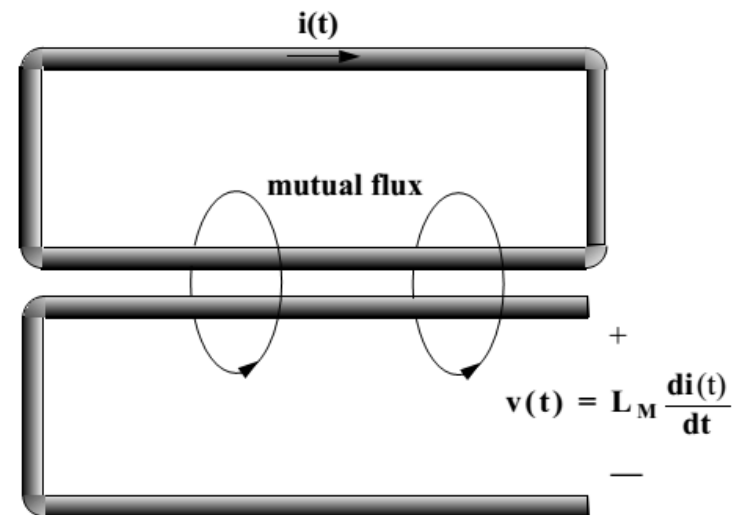
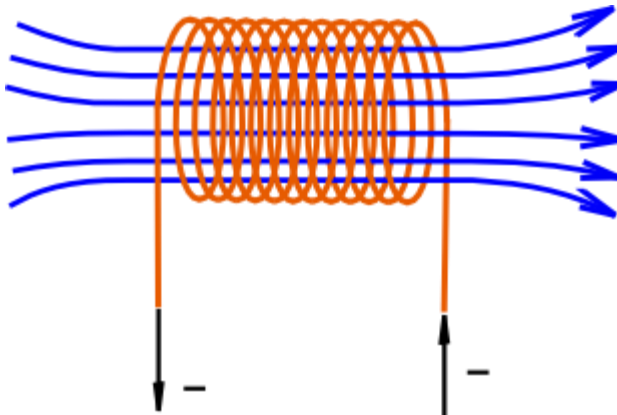


- Disposição dos componentes (2ª Etapa):
 - Um bom projeto de uma PCI requer posicionamento adequado dos componentes;
 - Preferencialmente começar pelos componentes maiores (discretos – capacitores, indutores, transistores, sensores de corrente e etc);
 - Evite colocar componentes que esquentem próximos.
 - Fazer com que o fluxo de potência seja linear, evitando fazer muitas curvas na placa (preferencialmente entrada em lado da placa e a saída pelo outro lado);

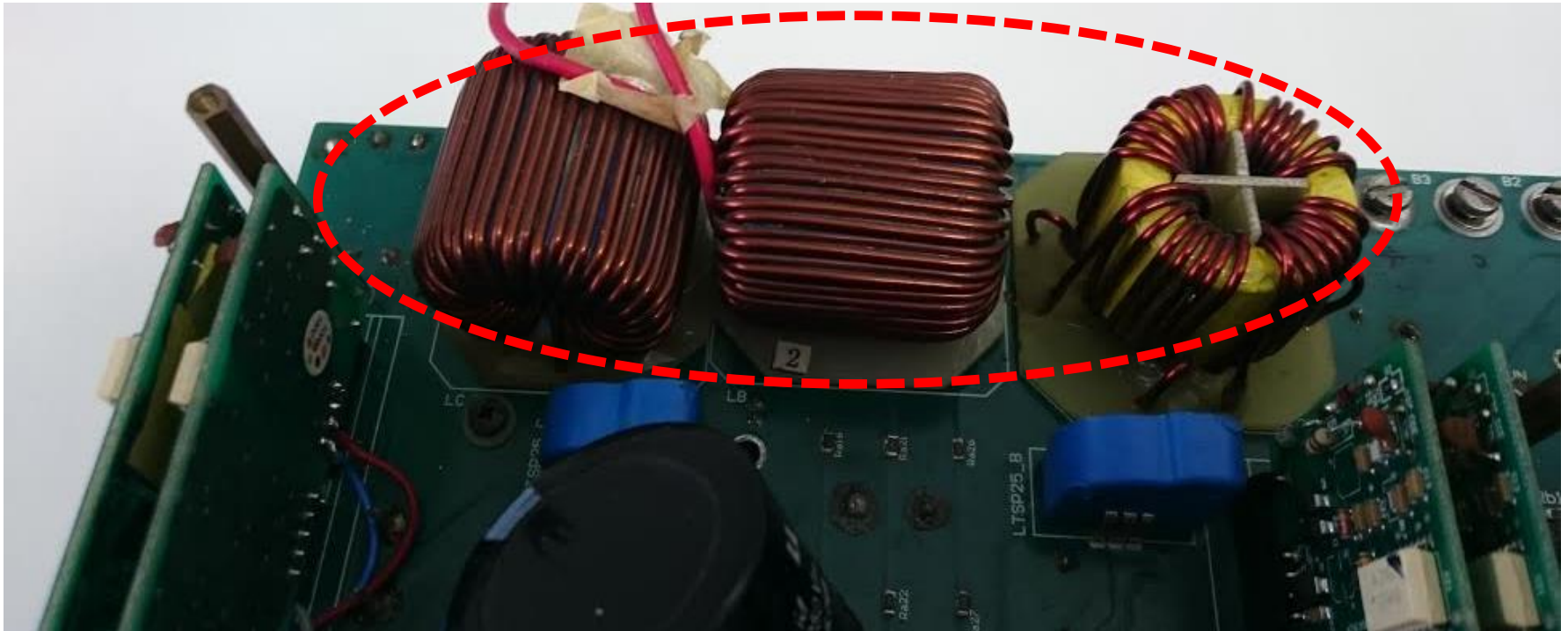
- Disposição dos componentes (2ª Etapa):
 - Componentes na PCI devem ser **agrupados de acordo com sua funcionalidade**, tais como, seções analógicas, seções digitais, fonte de alimentação, circuitos de baixa velocidade, circuitos de alta velocidade, e assim por diante. As trilhas para cada grupo devem permanecer em sua área designada.



- Disposição dos componentes (2ª Etapa):
 - Evitar a proximidade de dois elementos magnéticos (indutores e/ou transformadores) que operem em alta frequência (cuidar o fluxo magnético).



- Exemplo:



- Disposição dos componentes:
 - Evitar a proximidade de sensores de corrente e tensão e elementos magnéticos que operem em alta frequência;
 - Procure colocar os componentes analógicos pertinentes a um circuito integrado o mais próximo do mesmo.
 - Em caso de uso de semicondutores do tipo SMD, calcular a área de cobre necessária para dissipar o calor na placa.

Exemplo dissipação de transistores SMD na PCI:

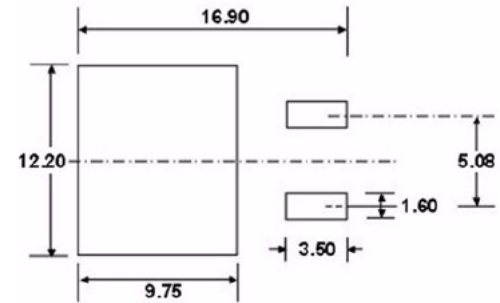
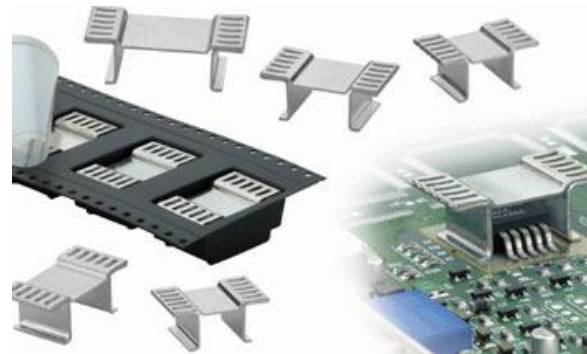
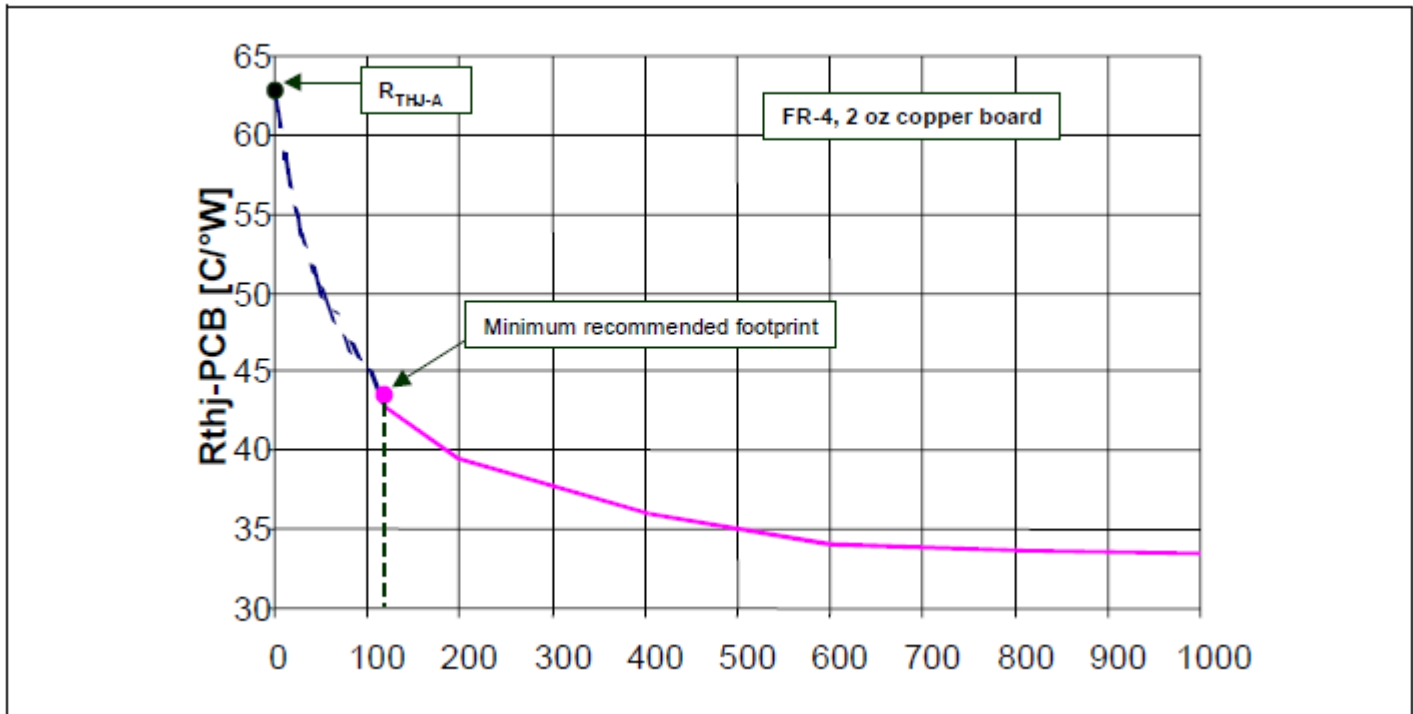
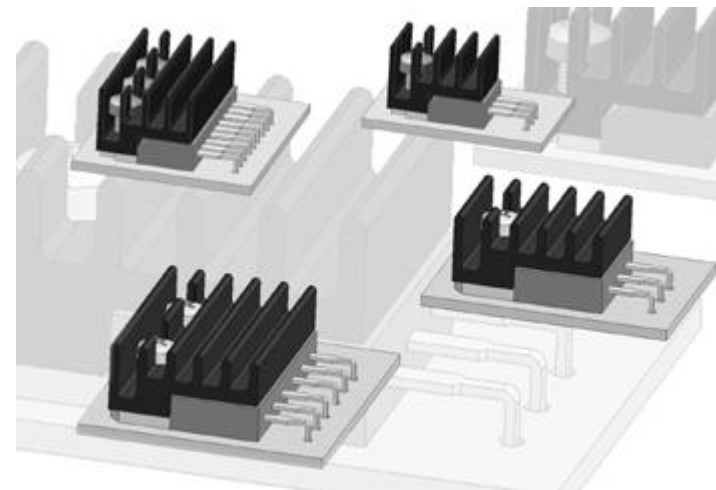
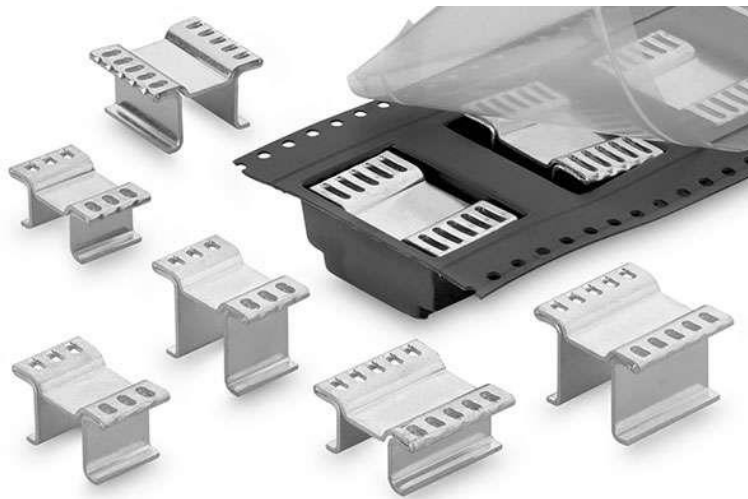
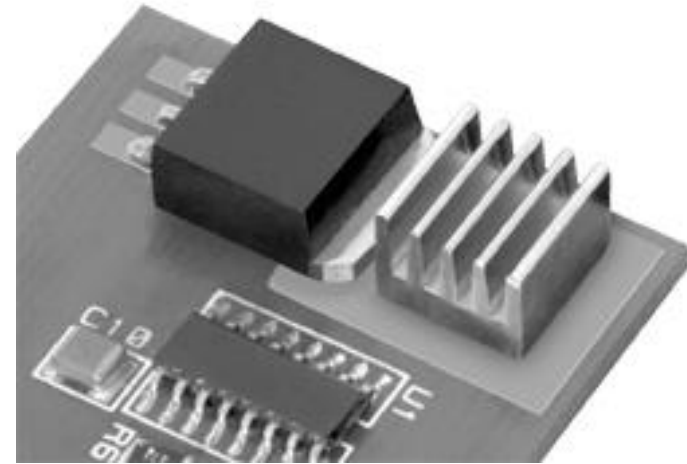
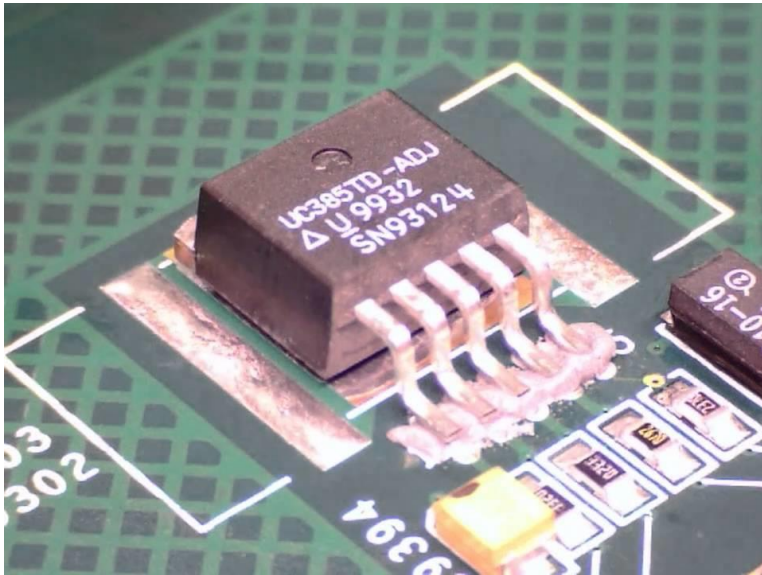


Figure 3: $R_{THJ-PCB}$ versus drain pad area for D²PAK



Exemplo dissipação de transistores SMD na PCI:

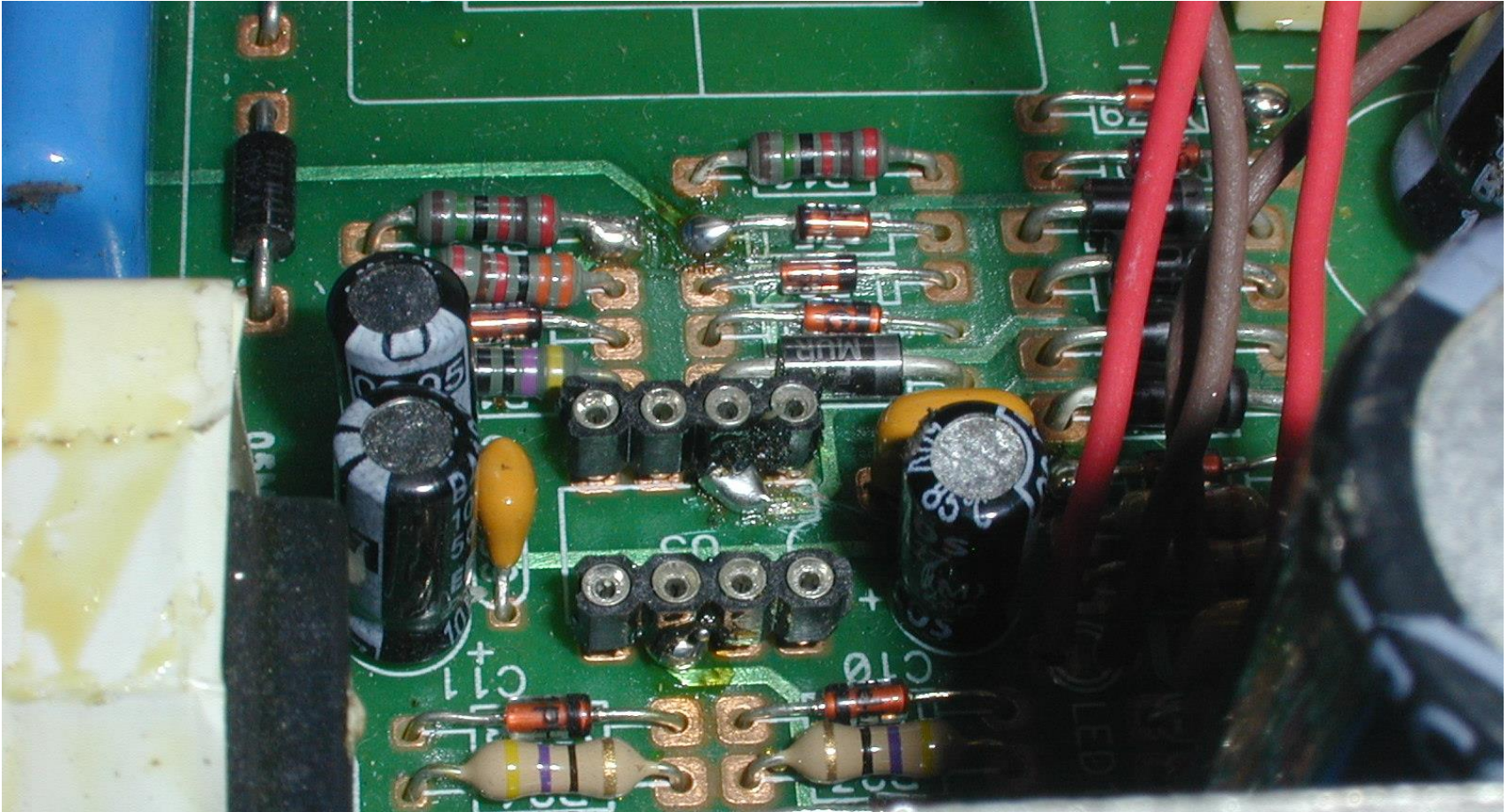


- Disposição dos componentes:
 - Dica importante: Se for o caso, pense na possibilidade de fazer manutenção na PCI, especialmente em protótipos e produtos que possam ser reutilizados.
 - Problemas em placa dupla face sem furo metalizado gera muitos problemas.

- Exemplo de difícil manutenção na PCI:



- Exemplo Placa Dupla Face sem Furo Metalizado:



– Roteamento da PCI:

- Evitar fazer trilhas com ângulo de 90° , especialmente em circuitos comutados (chaveados);
- Ângulo reto, a largura da trilha é aumentada para 1.414 vezes a sua largura original. Isso atrapalha as características da linha de transmissão, especialmente a capacitância distribuída e a indutância, resultando em reflexão



Ruim



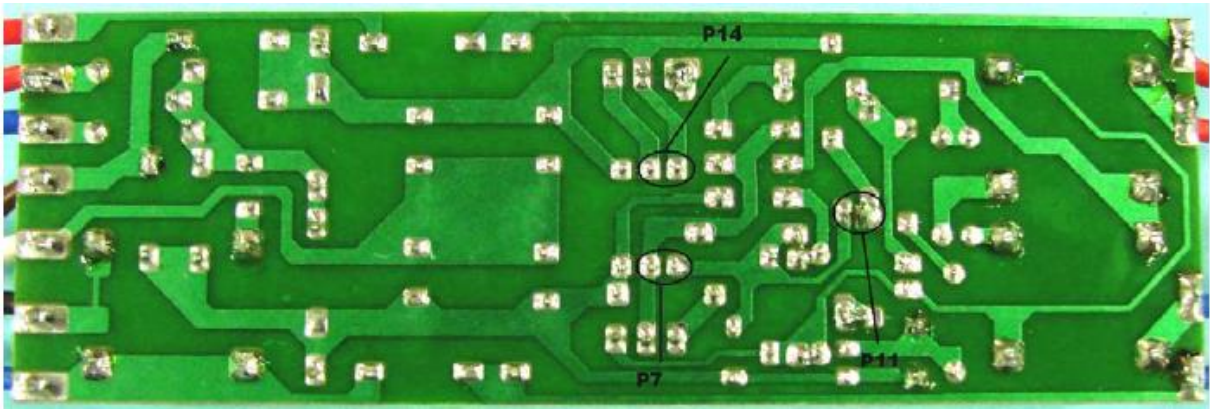
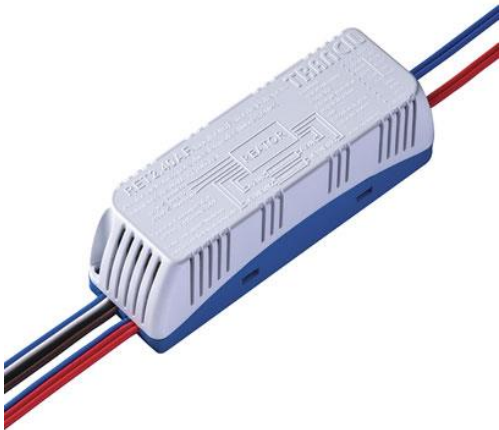
Bom



Ótimo

– Roteamento da PCI:

- No caso de tensão ou corrente comutada (chaveada) fazer a trilha mais curta possível;
- Dimensionar a largura das trilhas e a distância entre quaisquer entidades empregadas conforme a corrente e a tensão envolvidas;
 - Alguns produtos tem norma para distância mínimas entre as entidades, incluindo o invólucro.

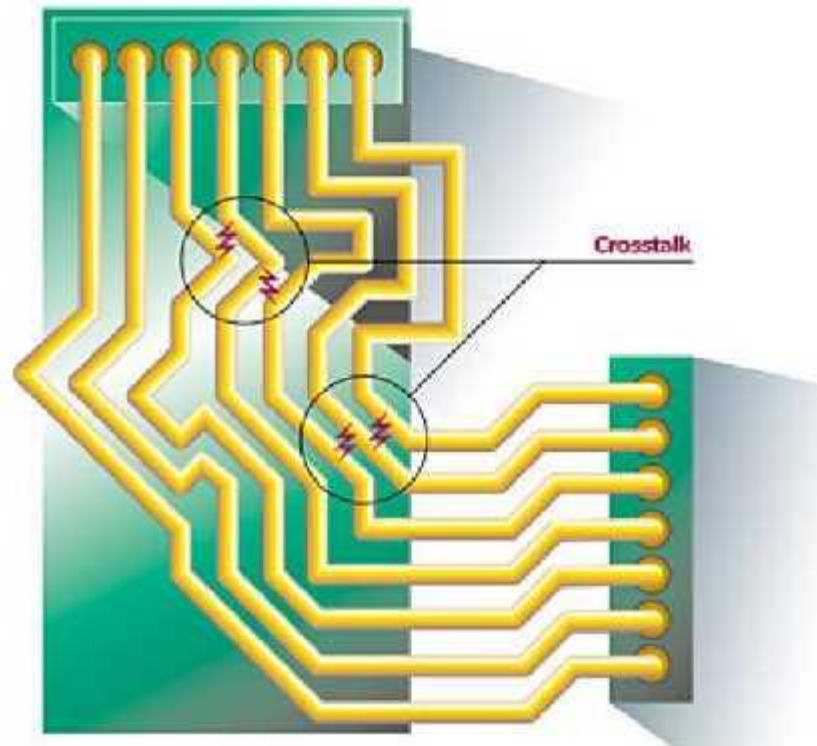


Distância de Isolamento e Escoação

Ponto	Tensão de pico	Distância de escoamento [mm]		Foto (Anexo)
	[V]	Mínima	Medida	
P7	300	1,0	0,70	3
P11	492	1,47	0,50	
P14	320	1,05	0,80	

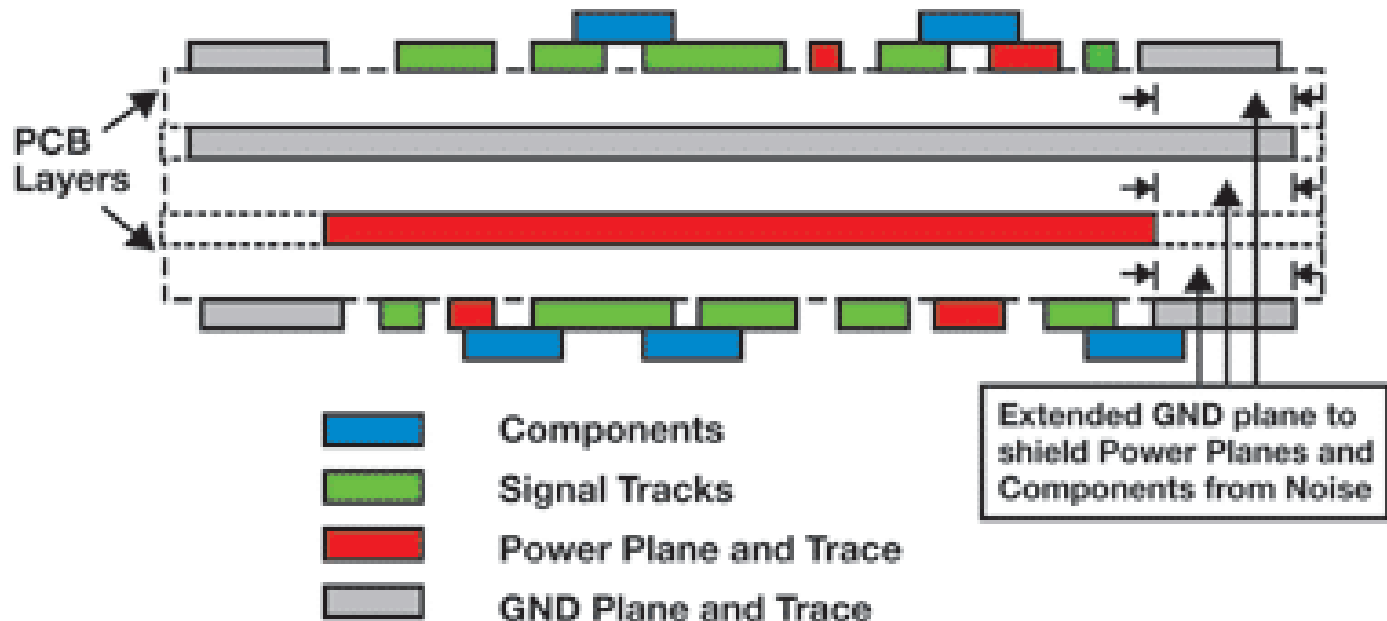
– Roteamento da PCI:

- O **crosstalk** pode existir entre duas quaisquer trilhas sobre uma PCI e acontece por conta da **indutância mútua** e **capacitância mútua**. É dependente da distância entre as duas trilhas, a frequência do sinal, e a impedância das trilhas



– Roteamento da PCI:

- Se forem utilizadas mais do que duas camadas, uma camada completa **pode** ser utilizada como um **plano de terra**. No caso de uma placa de quatro camadas, a camada por baixo do plano de terra deve ser utilizada como um plano de VCC

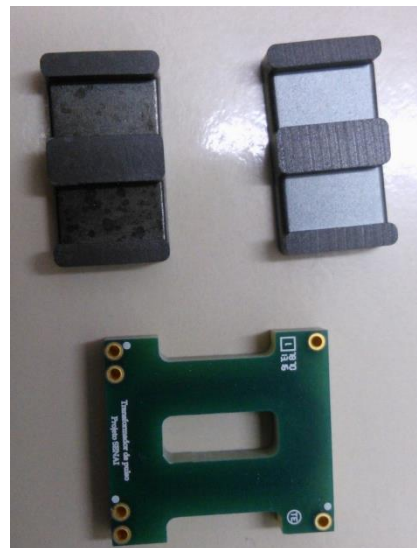
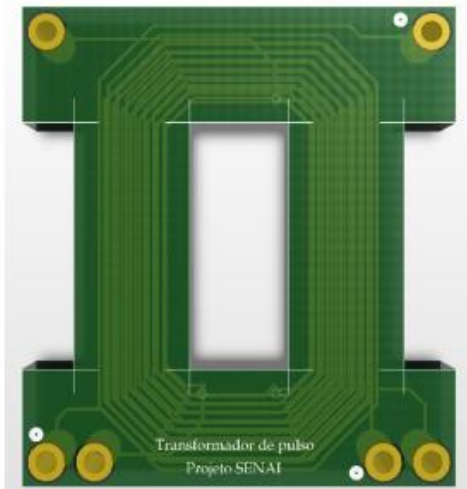
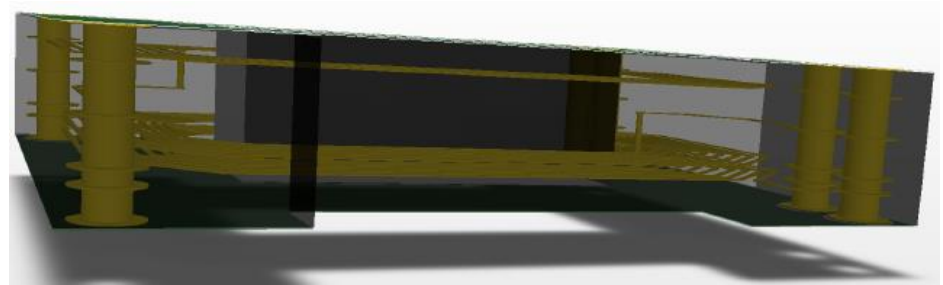
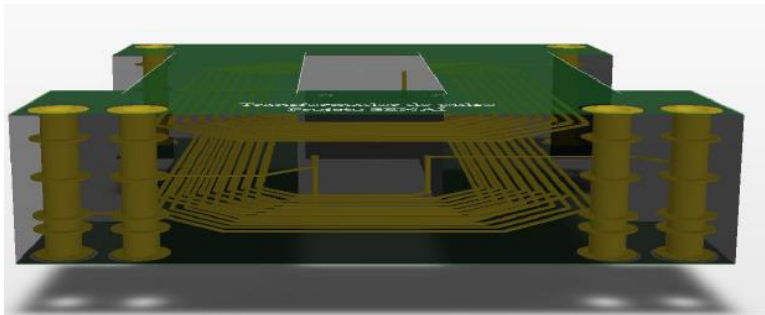


– Distância mínima:

- FR4 has an initial dielectric rating of 800-900 Volts per mil but due to aging effects, a more realistic value is only 300 Volts

Material Type	Max. Operating Temperature (°C)	T/G °C	Voltage (V/mil) Note 1	Aged rating (V/mil)	W°C/m
FR4	105-130	160	800	300/150	0.21
FR4 Hi-Temp.	130-150	170	800	300/150	0.22
BT Epoxy	140-160	180	1300	600/400	0.40
Polyimide	150-190	200	900	700/500	0.25
HVPF*	180-200	210	3000 to 7000	3000/2000	0.28

- Exemplo de observação de distâncias mínimas:
Trafo de pulso com isolamento de 2,5 kV (6 camadas)

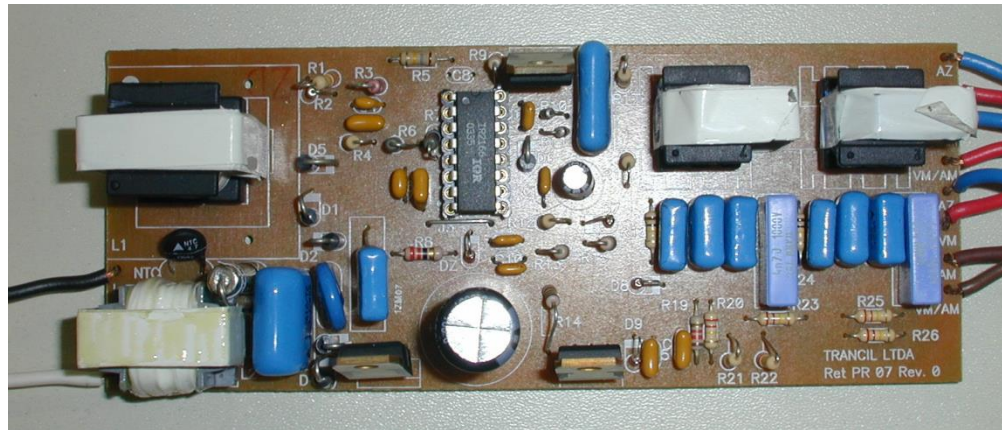


– Roteamento da PCI:

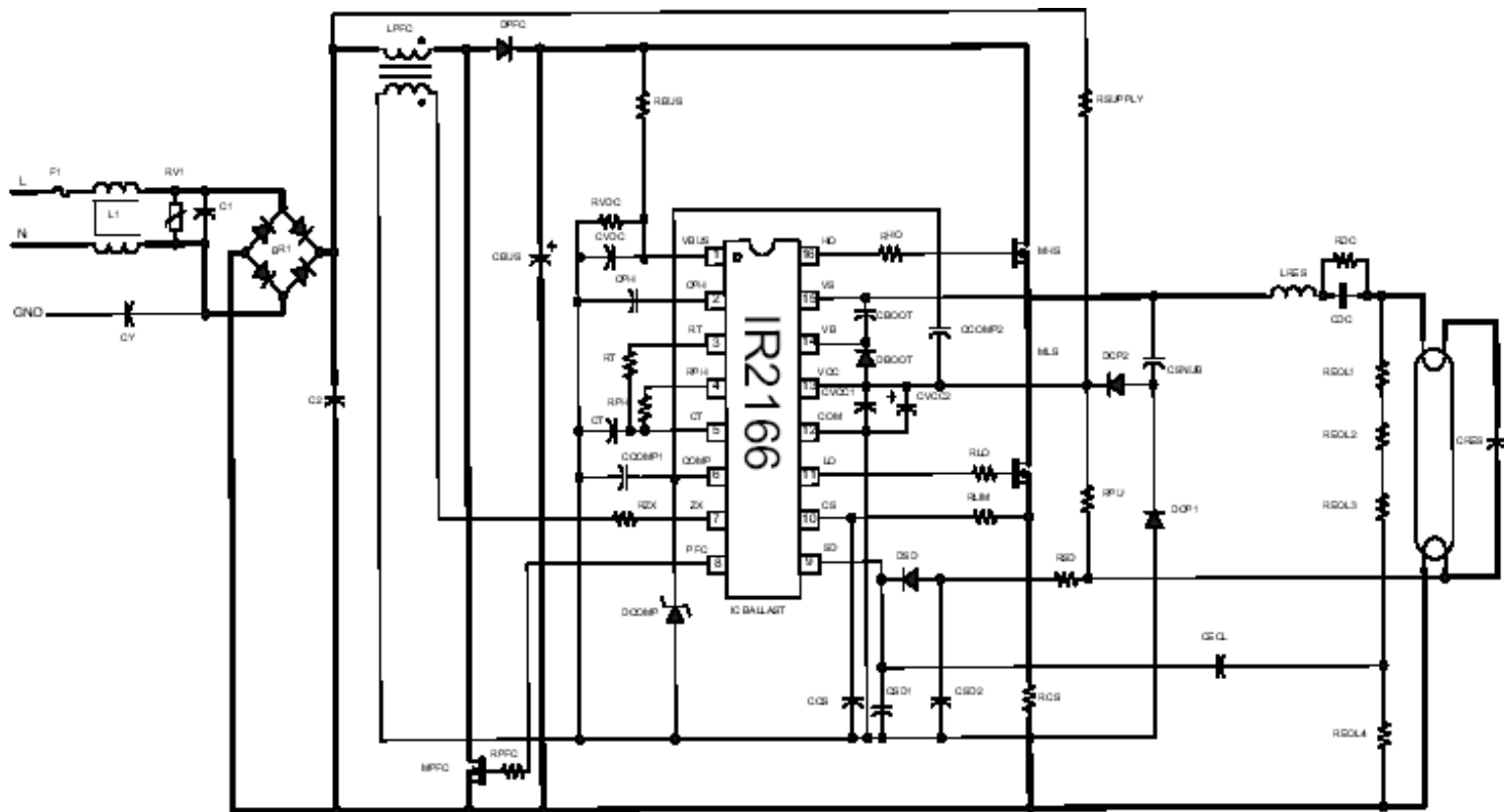
- Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:
 - Fazer uma ligação somente do GND de sinal ao GND de alta potência;
 - Evitar fazer um caminho fechado (loop) no sinal do GND com o sinal GND de potência
- Em caso de utilização de circuitos para acionamento (drivers) de transistores, colocá-los próximos dos mesmos. Para isto, levar o sinal de PWM em trilhas paralelas e próximas até o driver.

Desenvolvimento de PCI

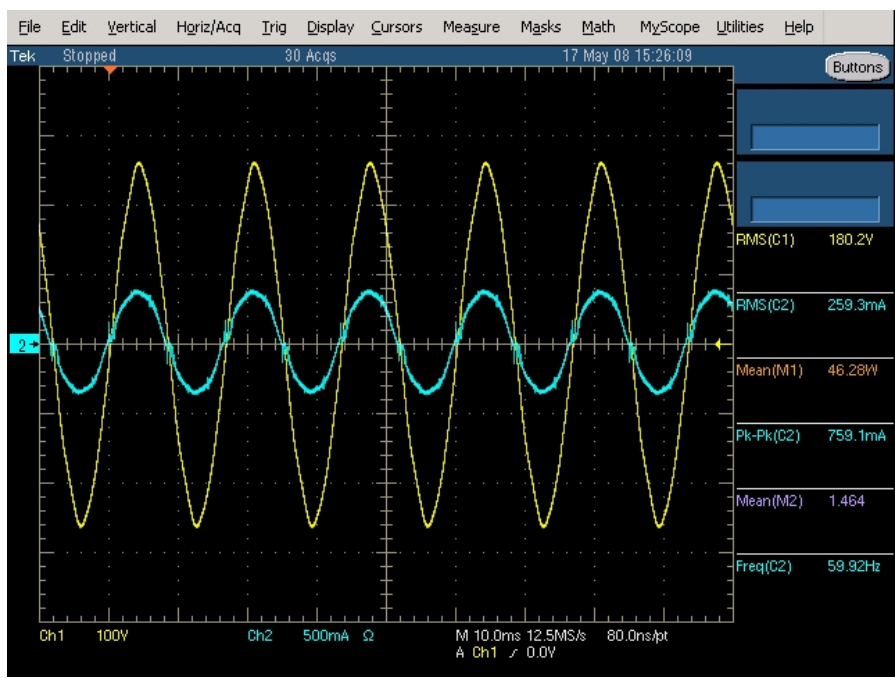
Exemplo: Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:



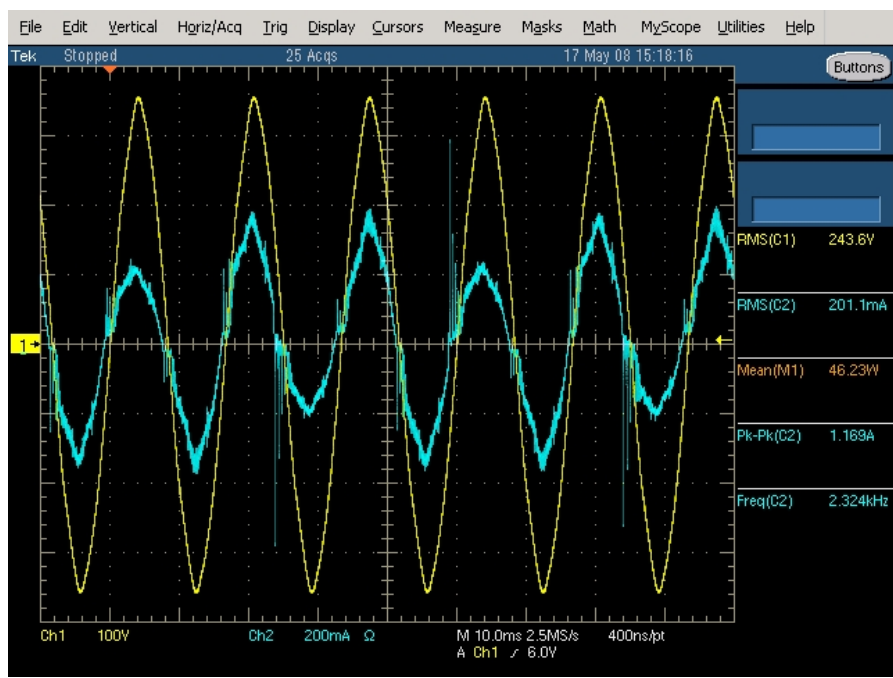
Exemplo: Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:



Exemplo: Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:

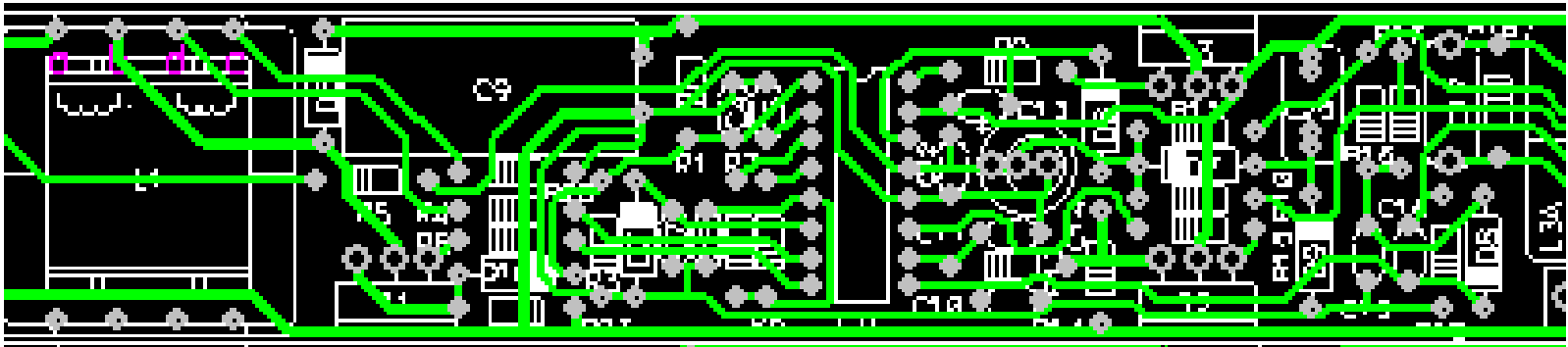


180 V

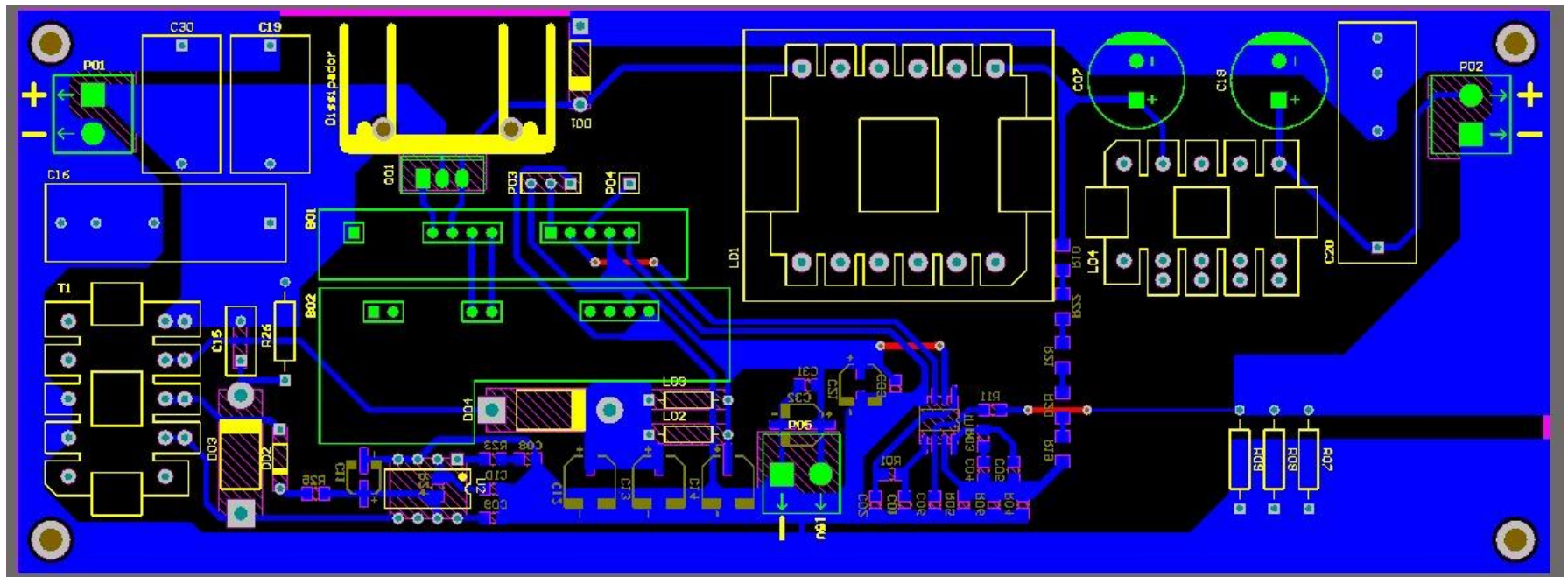


220 V

Exemplo: Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:



Exemplo: Separar o potencial GND (referência) do circuito de sinal do potencial GND do circuito de alta potência:

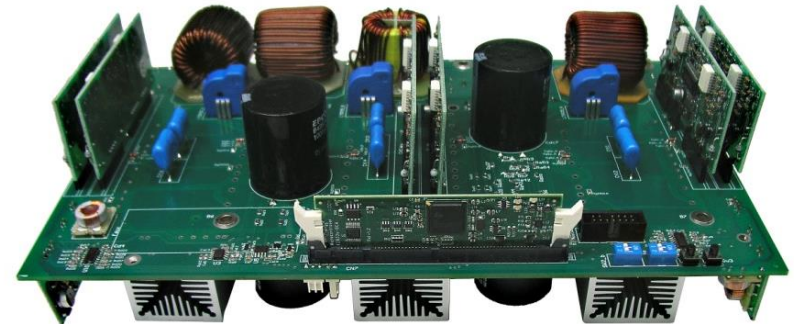


– Roteamento da PCI:

- Quando possível separar sinais de alta potência de sinais de baixa potência.
 - Quando possível, fazer uma placa de controle e uma de potência.



Placas separadas



Placa única

– Roteamento da PCI:

- Sempre que possível, levar as trilhas de sinais de medidas paralelas e próximas (sinal medido e referência);
- Evitar a proximidade entre trilhas de sinais de medidas e elementos magnéticos e/ou capacitores chaveados;
- Sempre colocar, o mais próximo possível, um capacitor multicamadas entre o pino Vcc e GND de qualquer circuito integrado.

Valor típico empregado = 100 nF.

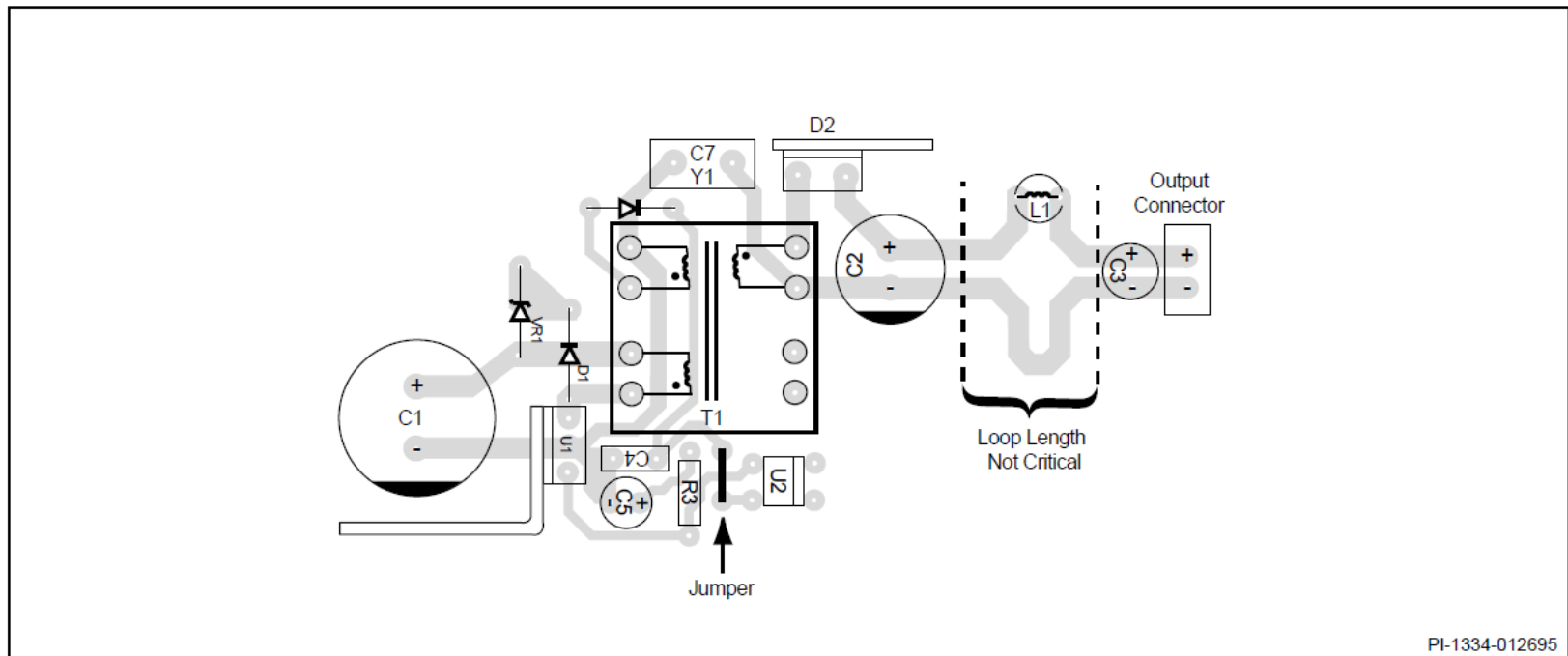
– Roteamento da PCI:

- Circuito Integrado: Sempre observar as características do *datasheet* do CI na seção PCB Design ou Layout ou seção análoga;

4.2 Ideal Component Placement

Figure 5 shows ideal component placement and single sided PC trace connections for all critical power and EMI components with the ST204A schematic (Figure 3) used for reference.

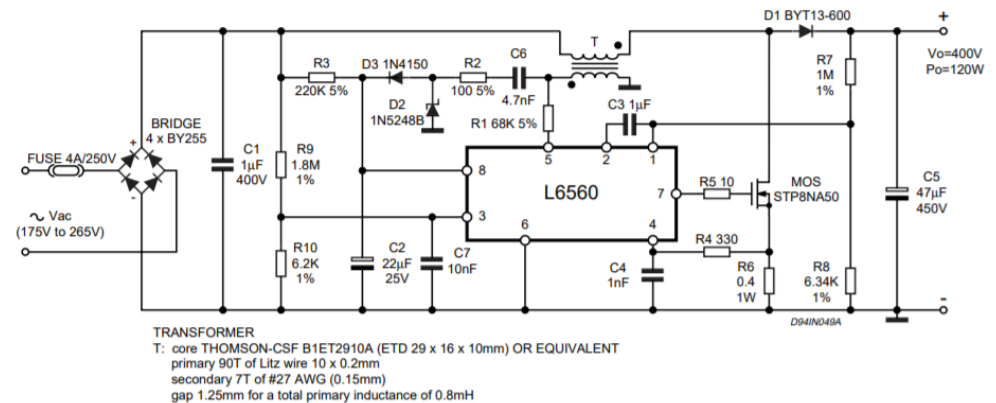
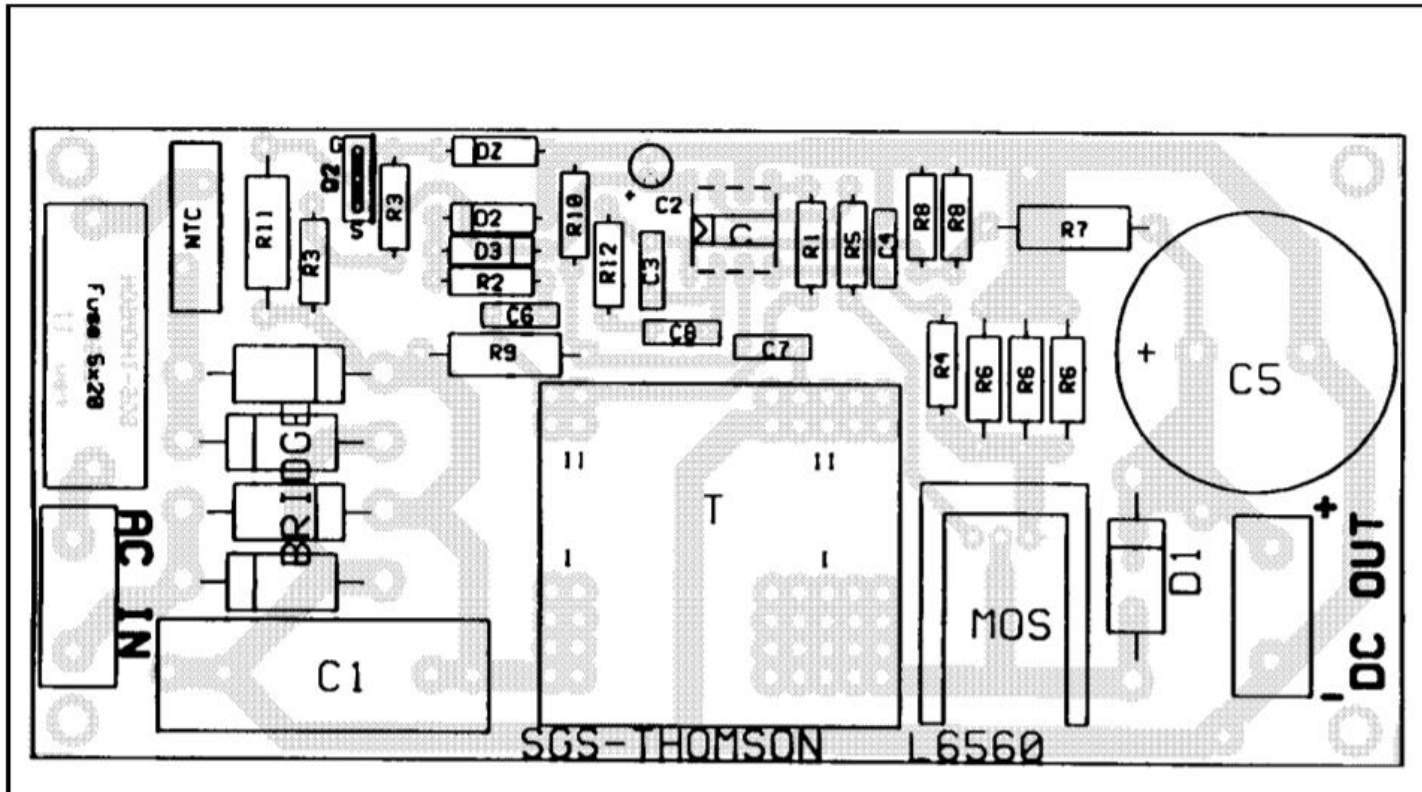
A checklist is provided on the next page which is useful for uncovering potential PC layout related problems in any *TOPSwitch* power supply.



PI-1334-012695

Desenvolvimento de PCI

– Roteamento da PCI:



Exemplo: L6560 - ST

– Roteamento da PCI:

- Circuito Integrado: Sempre observar as características do *datasheet* do CI na seção PCB Design ou Layout ou seção análoga;

10 Layout

10.1 Layout Guidelines

Standard PCB rules apply to routing the LM555. The 0.1- μF capacitor in parallel with a 1- μF electrolytic capacitor should be as close as possible to the LM555. The capacitor used for the time delay should also be placed as close to the discharge pin. A ground plane on the bottom layer can be used to provide better noise immunity and signal integrity.

Figure 20 is the basic layout for various applications.

- C1 – based on time delay calculations
- C2 – 0.01- μF bypass capacitor for control voltage pin
- C3 – 0.1- μF bypass ceramic capacitor
- C4 – 1- μF electrolytic bypass capacitor
- R1 – based on time delay calculations
- U1 – LMC555

10.2 Layout Example

Exemplo: LM555

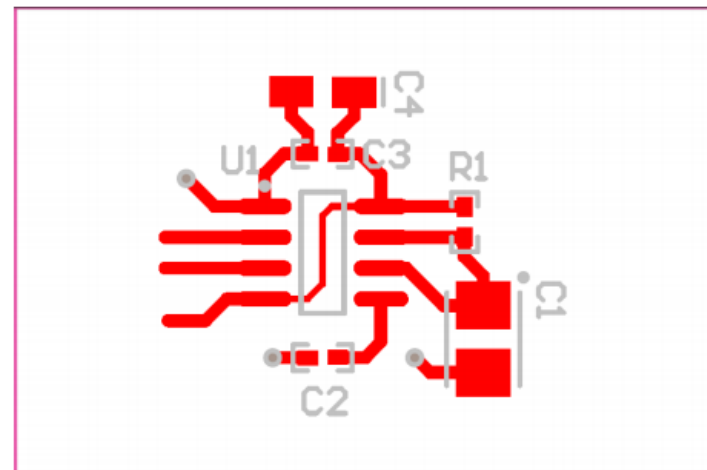
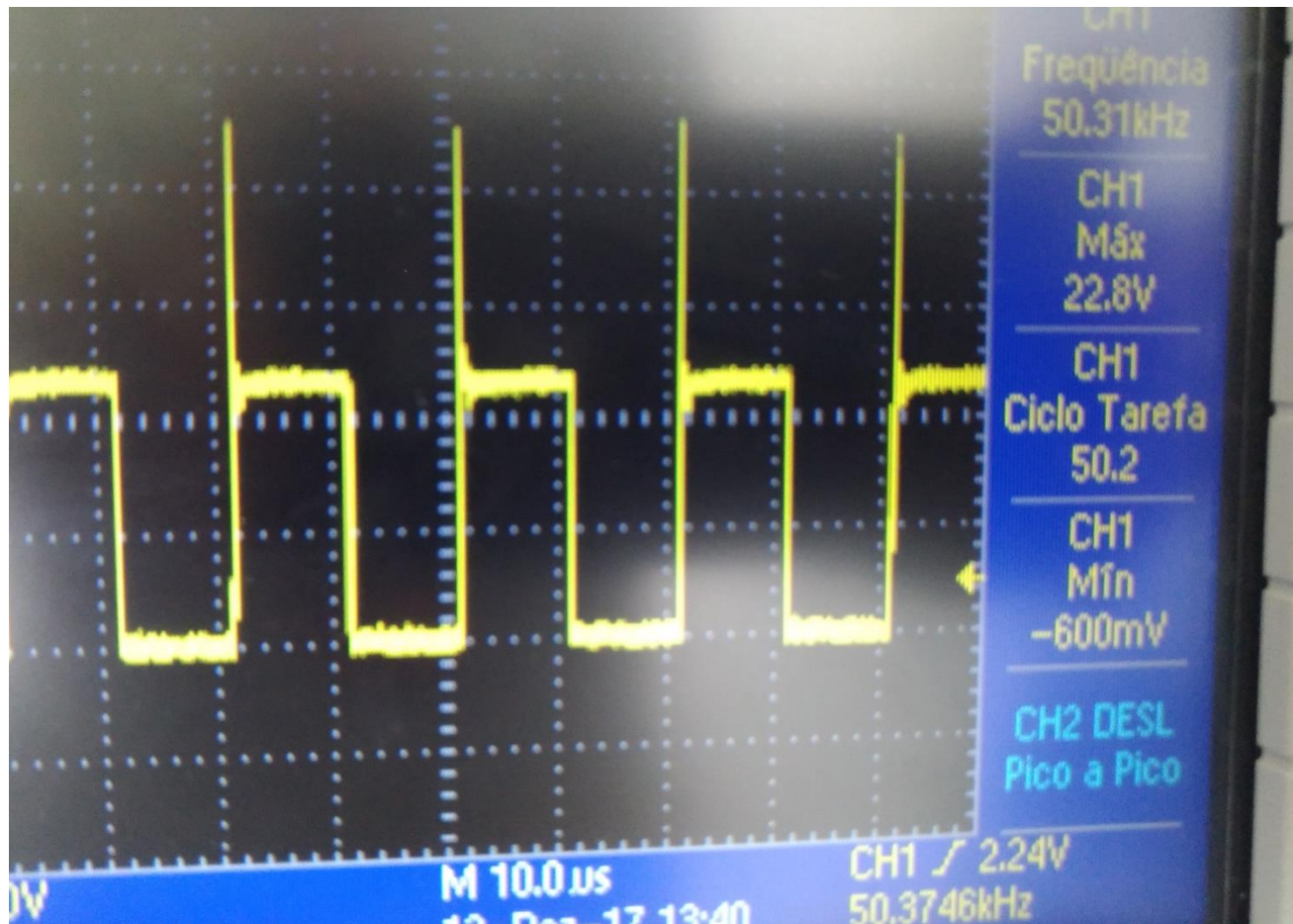


Figure 20. Layout Example

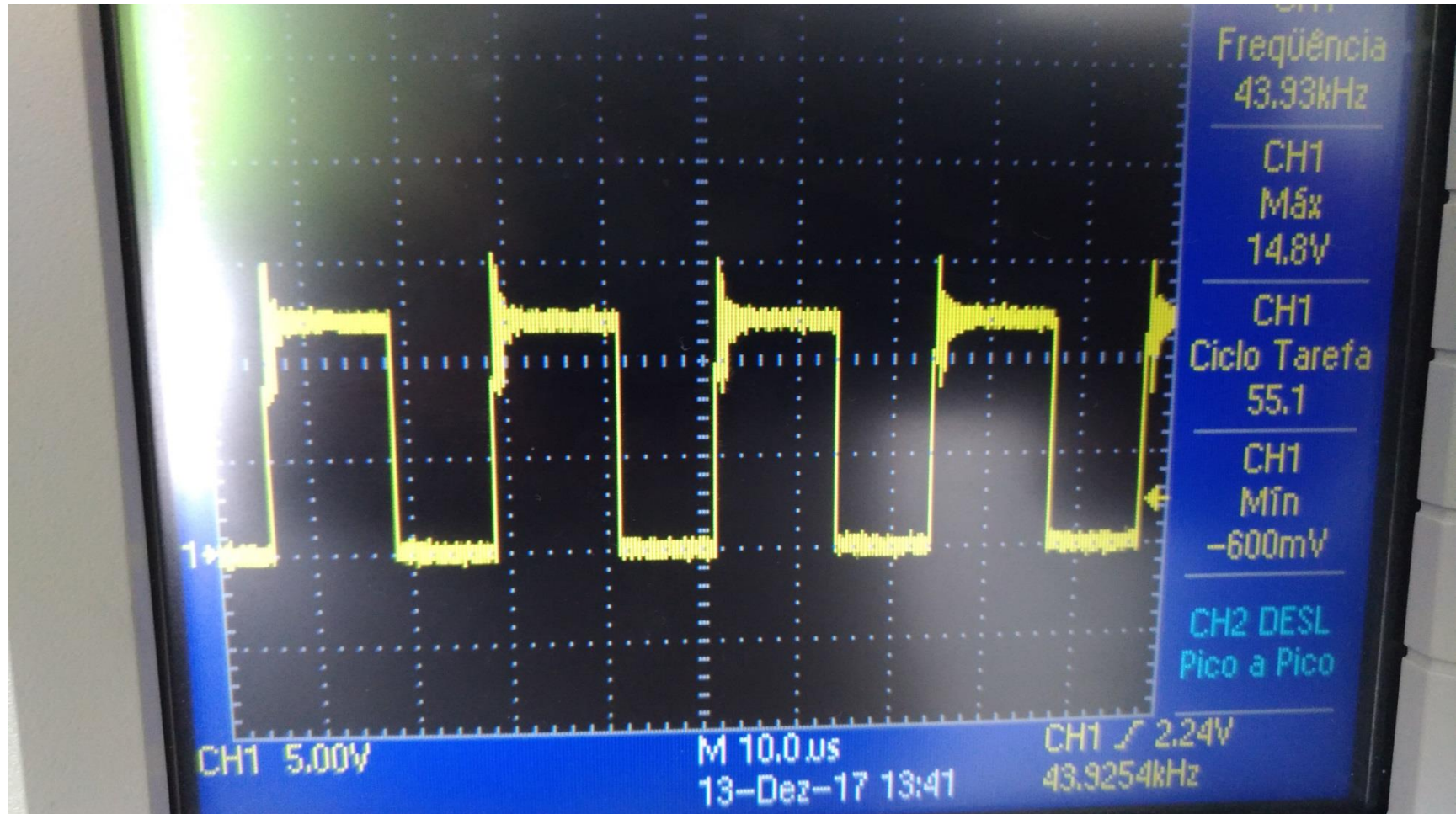
– Roteamento da PCI:

- LM555 sem capacitor de desacoplamento na alimentação



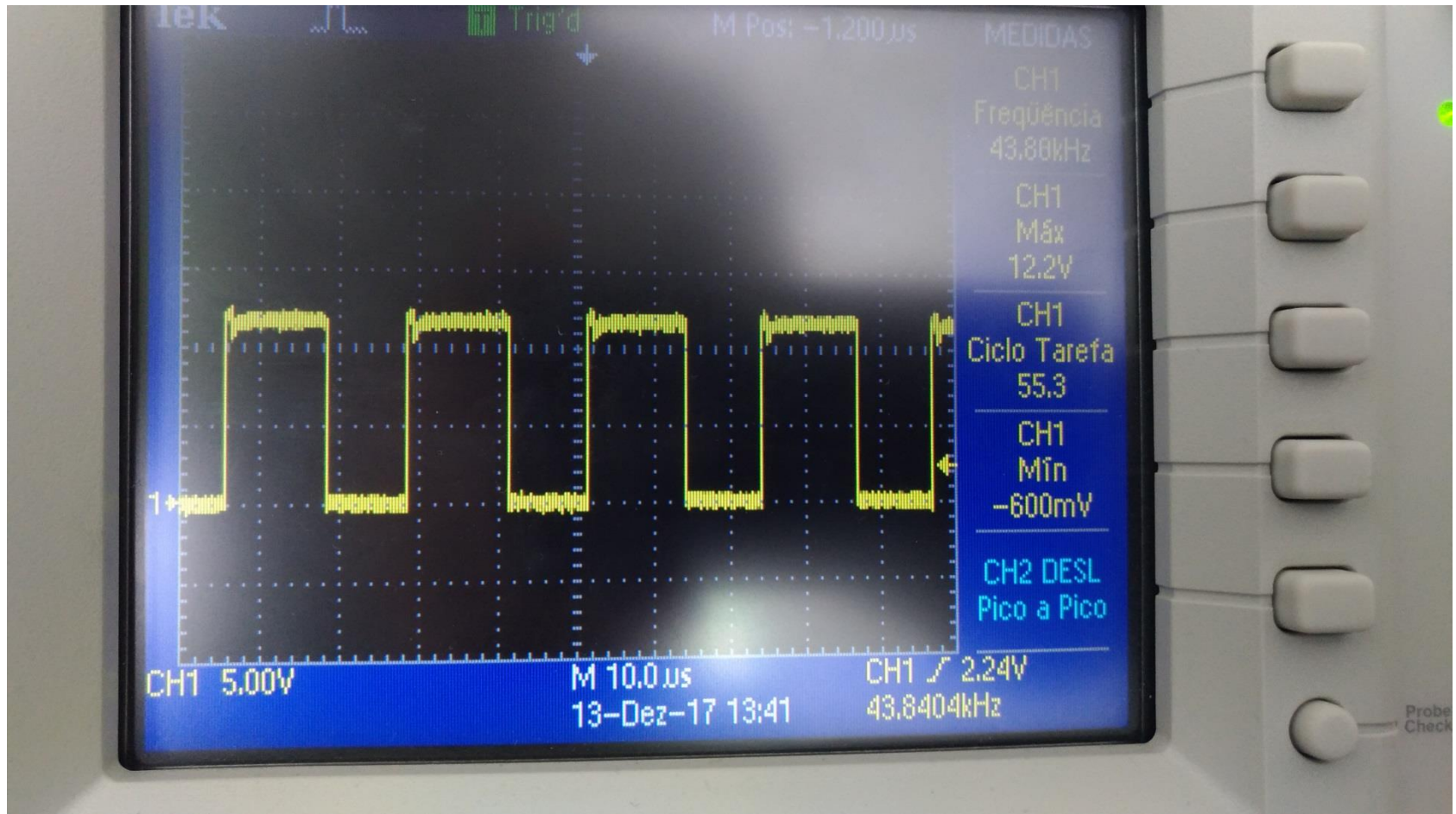
– Roteamento da PCI:

- LM555, capacitor de 10nF;

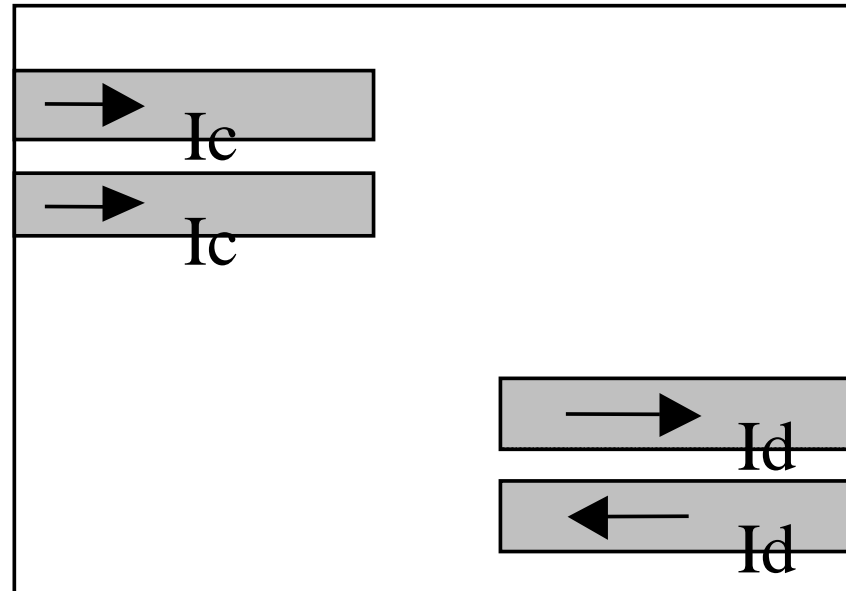


– Roteamento da PCI:

- LM555, capacitor de 100nF;

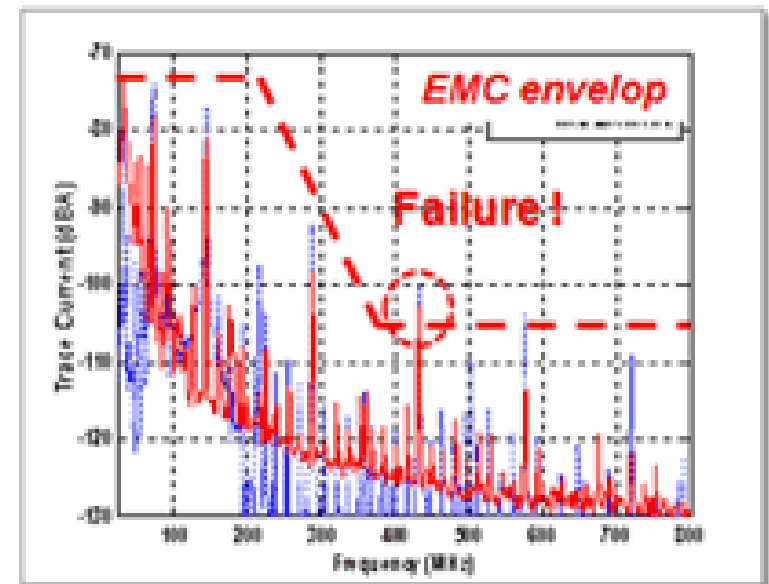
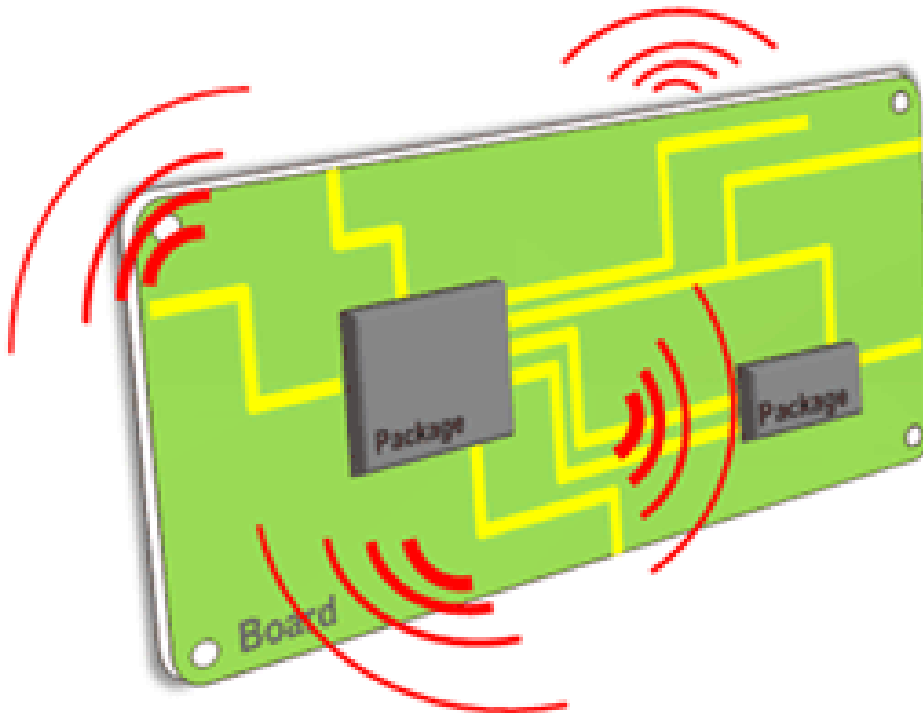


- Roteamento da PCI:
 - Priorizar correntes de modo diferencial em uma PCI:

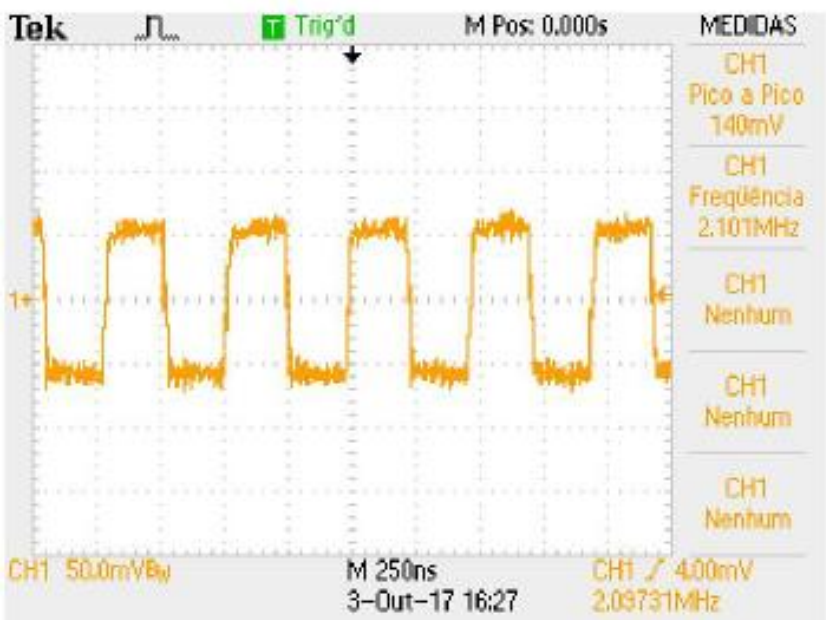
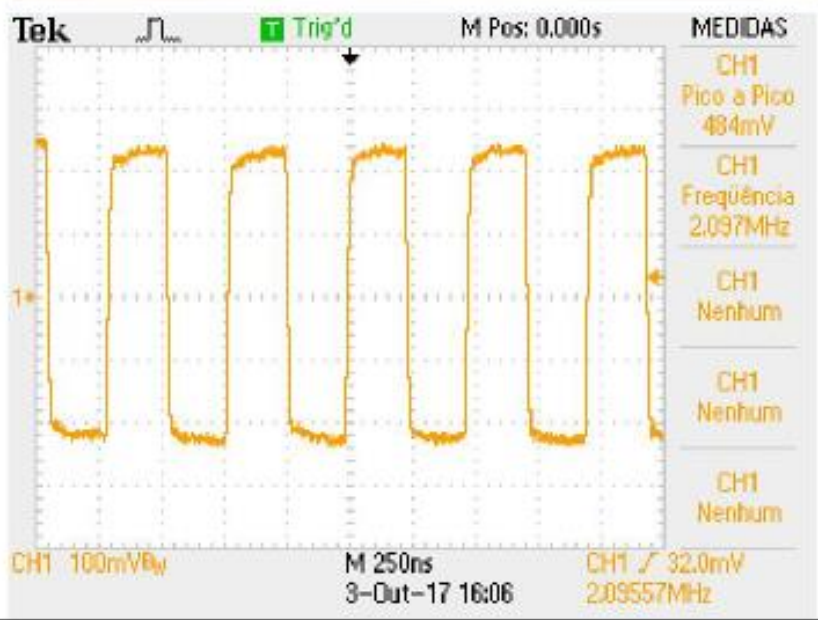


– Roteamento da PCI:

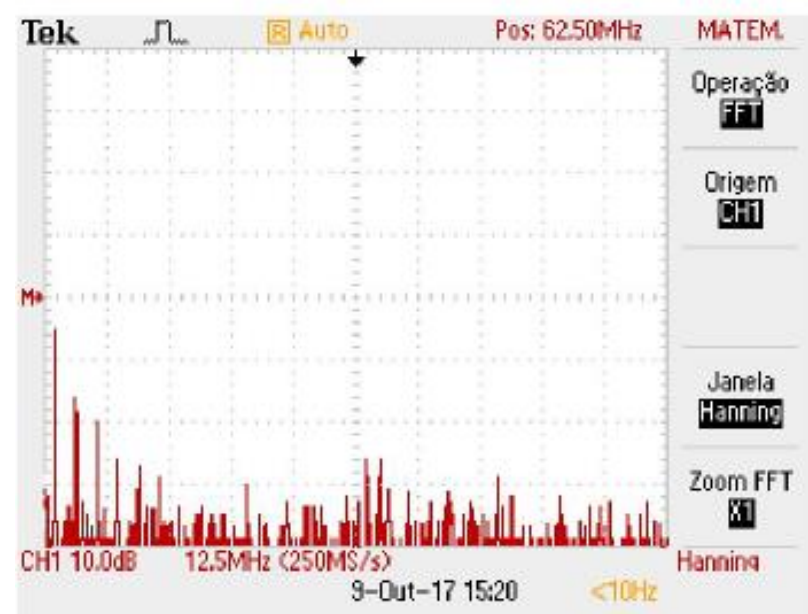
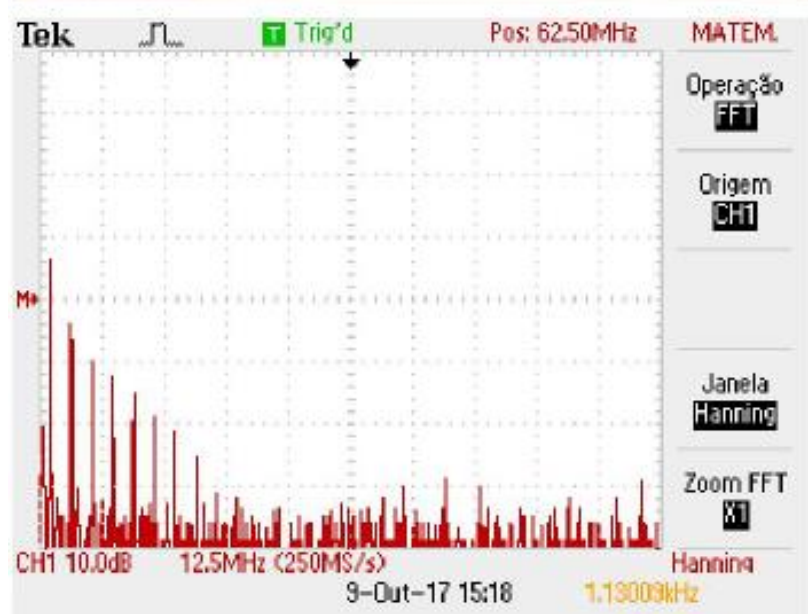
- Ao lidar com circuitos digitais, deve ser dada atenção extra para os **sinais de clock** e outros **sinais de alta velocidade**. Trilhas de ligação desses sinais devem ser as mais curtas possíveis e estarem ao lado do plano de terra



– Problemas de compatibilidade

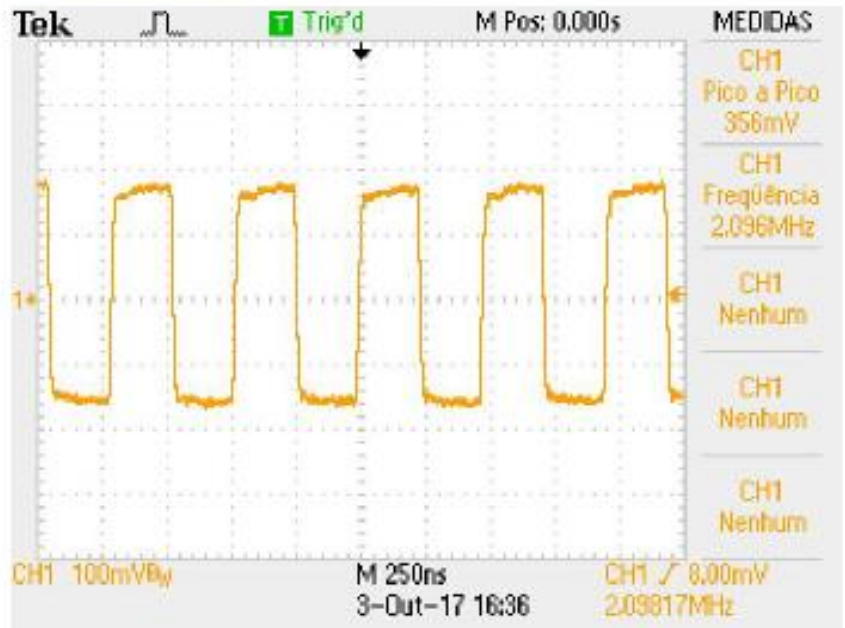
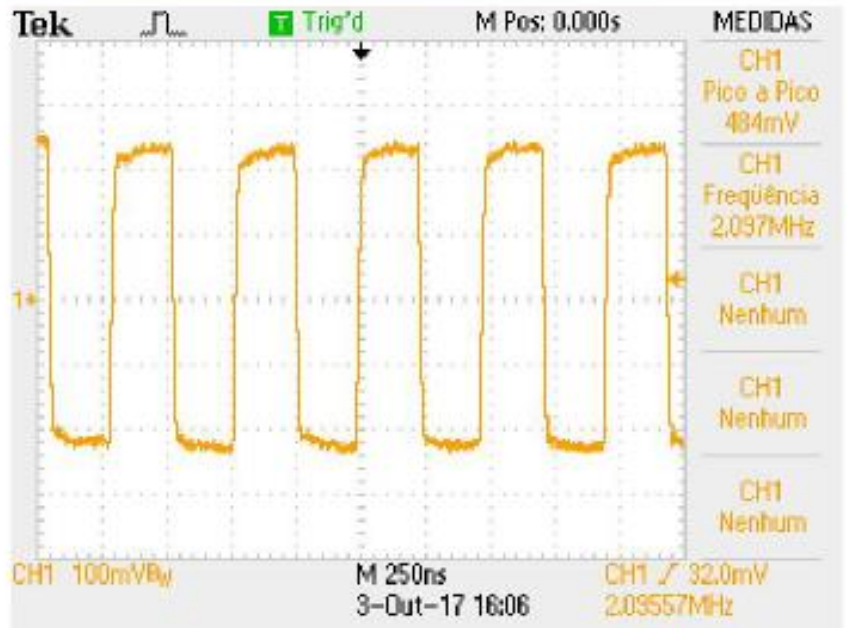


– Problemas de compatibilidade

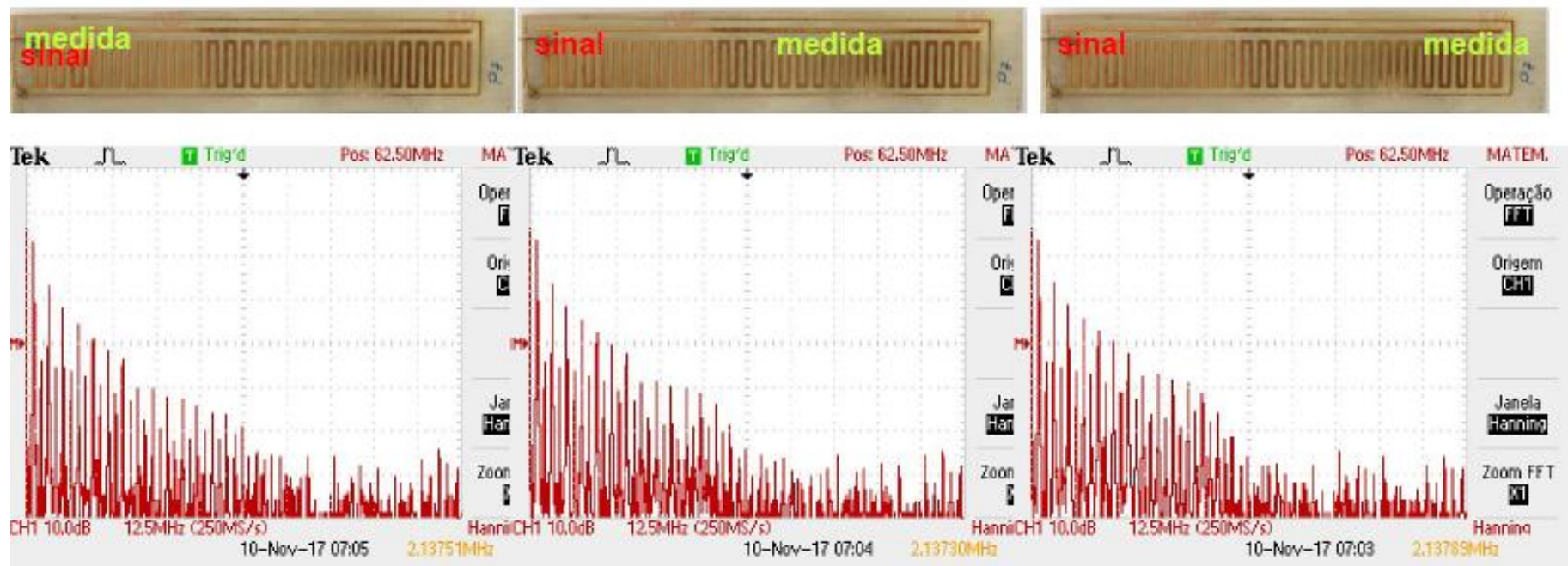


– Problemas de compatibilidade

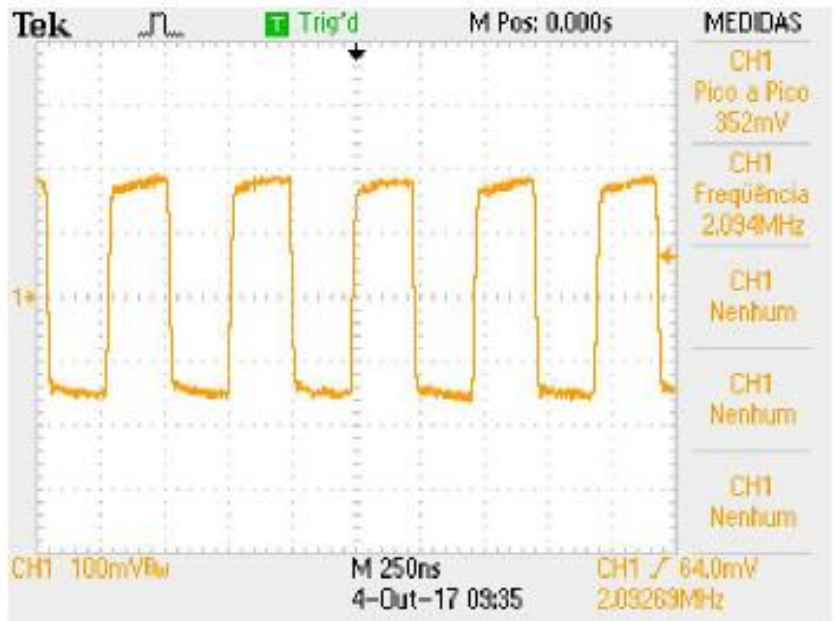
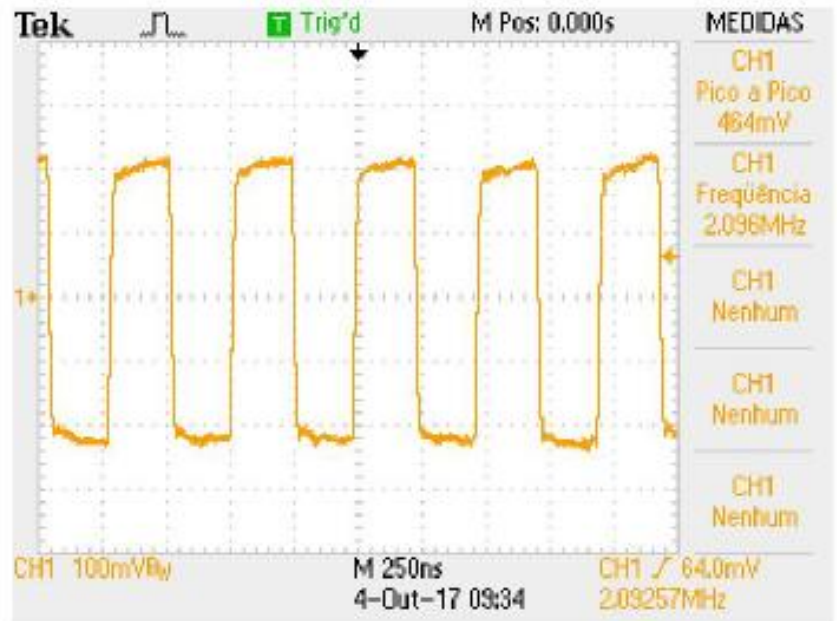
Medida sem referência



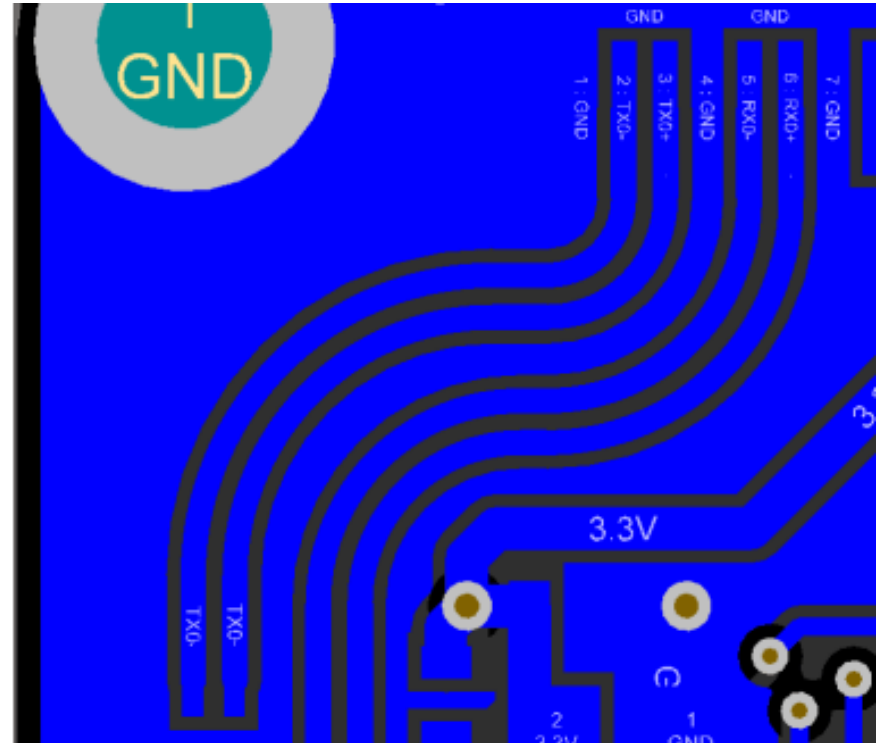
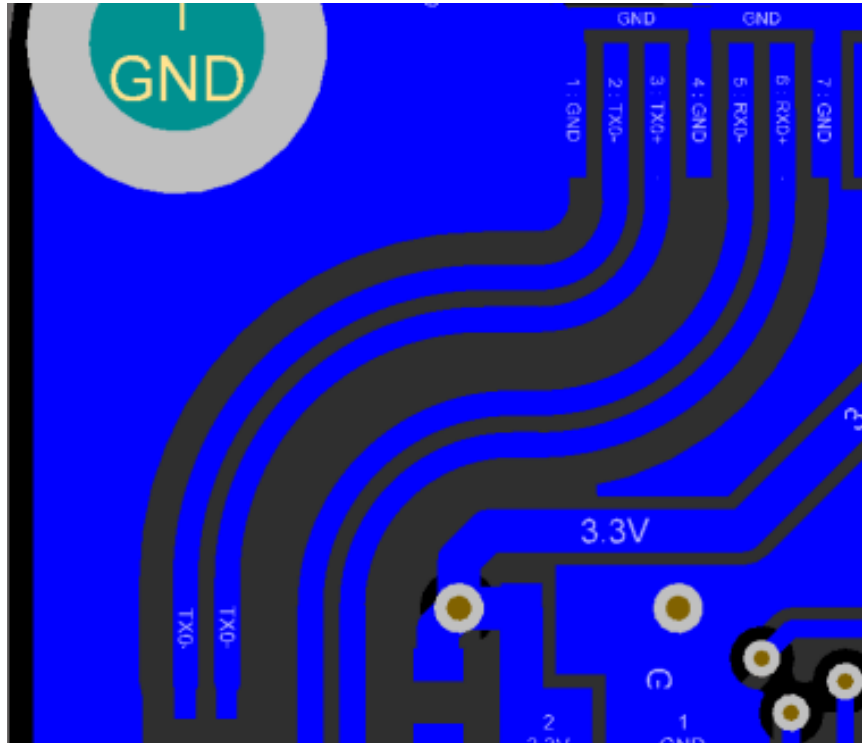
– Problemas de compatibilidade



– Problemas de compatibilidade



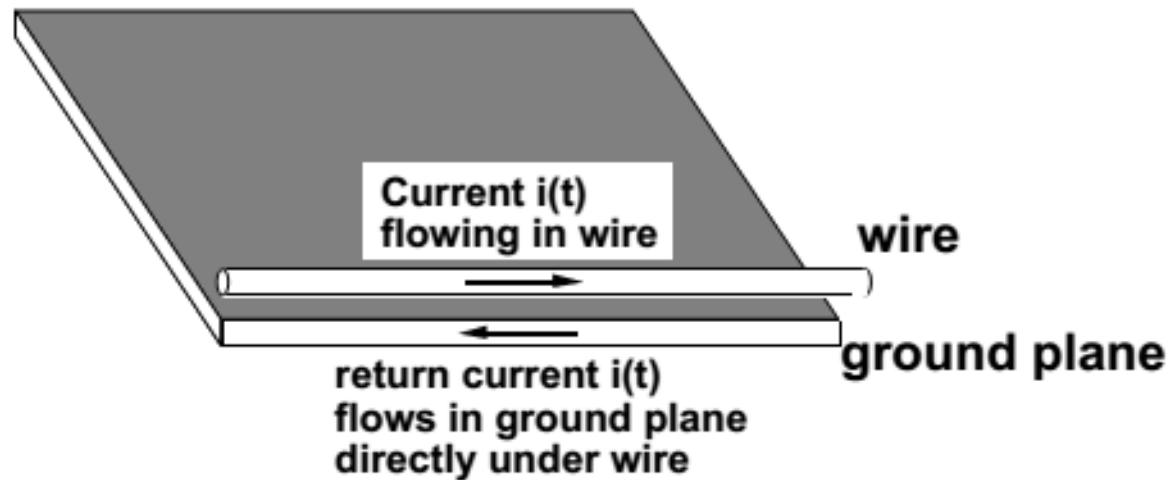
– Problemas de compatibilidade



– Roteamento da PCI:

- Utilizar filtro de modo comum do tipo LC entre dois estágios de potência (dois conversores chaveados).
- Um bom sistema de referência (malhas de aterramento/ground/GND) é fundamental para evitar a disseminação de ruído em uma PCI.
- Em caso de protótipos, prever na PCI pontos de medidas de corrente e de tensão.

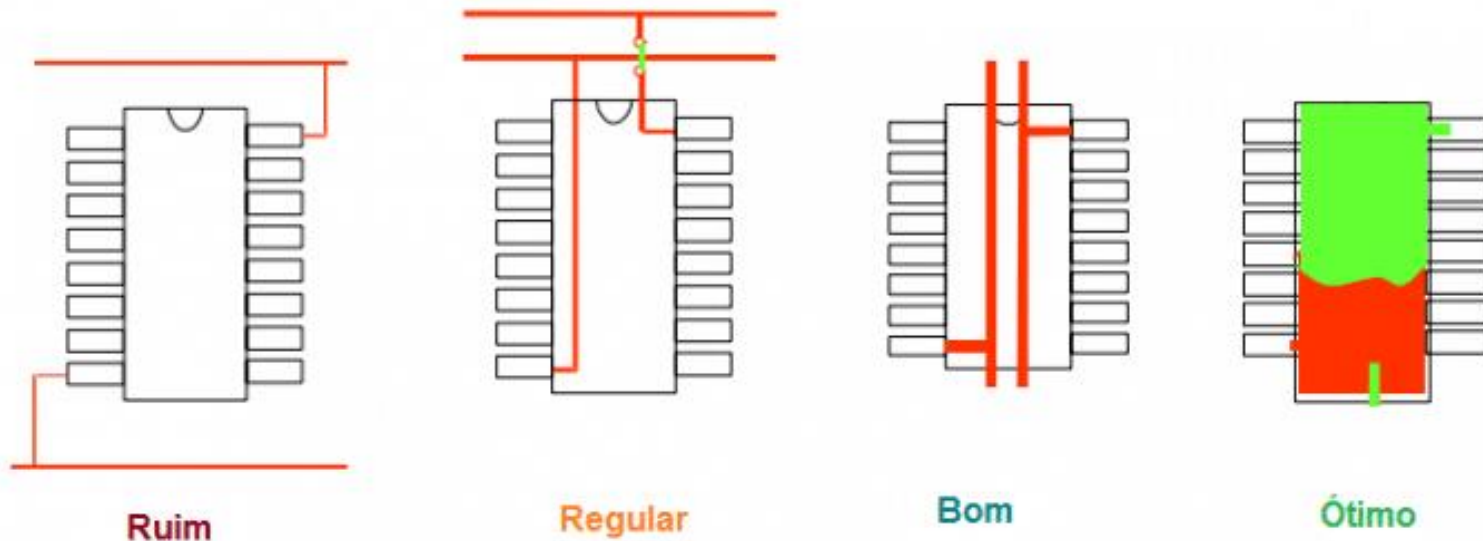
– Malha de referência (terra):



- Indutâncias parasitas de retorno são minimizadas;
- Todas as referências do circuito têm praticamente o mesmo potencial (equipotencial/baixa impedância).

- Plano de terra

- O plano de terra esteja sempre entre as trilhas de sinal de alta frequência e o plano de VCC. Se planos de alimentação separados não puderem ser usados, então a trilha de terra deve correr em paralelo com a de VCC para manter a alimentação sem ruídos



- Blindagem

- Blindagem não é uma solução elétrica, mas uma abordagem mecânica para reduzir EMC. Caixas metálicas, feitos de materiais condutores e/ou magnéticos, são usados para evitar que a EMI irradie para fora do sistema.

