

|  |  |
| --- | --- |
| 成 绩 |  |
| 批阅教师 |  |
| 日 期 |  |

**桂林电子科技大学**

**实验报告**

**2020 -2021 学年第 二 学期**

开 课 单 位 桂林电子科技大学北海校区

适用年级、专业 18级专升本

课 程 名 称 FPGA技术综合设计实训

主 讲 教 师

实 验 名 称 一位全加器

实 验 学 时

学 号

姓 名

**实验一 一位全加器的原理图设计**

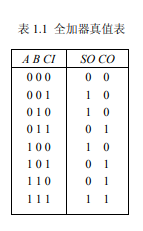
**一、实验目的**

① 掌握 Quartus II 原理图输入法的编辑、编译（综合）、仿真和编程下载的操作过程。

② 用原理图输入法设计全加器电路，并通过电路仿真和硬件验证，进一步了解全加器

的功能。

③ 熟悉 EDA 实训仪的使用方法。

**二、实验原理**

考虑来自低位来的进位的加法运算称为“全加”，能实现全加

运算的电路称为全加器。1 位全加器的真值表如表 1.1 所列，表中的 A、B 是两个一位二进制加数的输入端，CI 是低位来的进位输入端，SO 是和数输出端，CO 是向高位的进位输出端。根据真值表写出电路输出与输入之间的逻辑关系表达式为

SO= ABCI + ABCI + ABCI + ABCI =A⊕B⊕CI (1.1)

CO= AB + ABCI + ABCI = AB ⋅(A ⊕ B)CI (1.2)

**三、实验设备**

① EDA 实训仪 1 台。

② 计算机 1 台（装有 Quartus II 软件）。

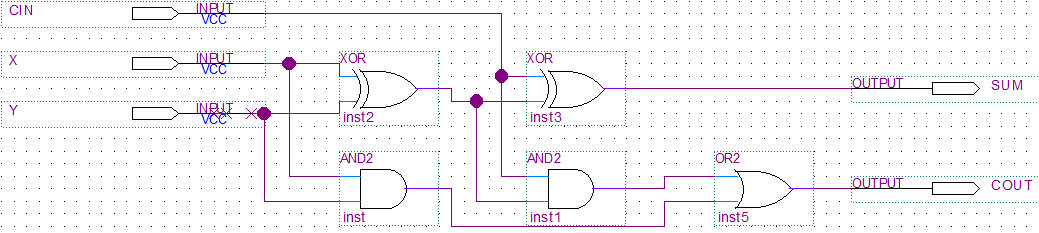
**四、实验内容**

在 Quartus II 软件中，采用原理图输入法设计 1 位的全加器电路，然后进行编辑、编译

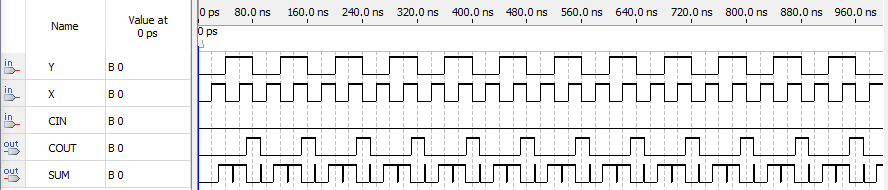
（综合）、仿真，引脚的锁定，并下载到 EDA 实训仪中进行验证。

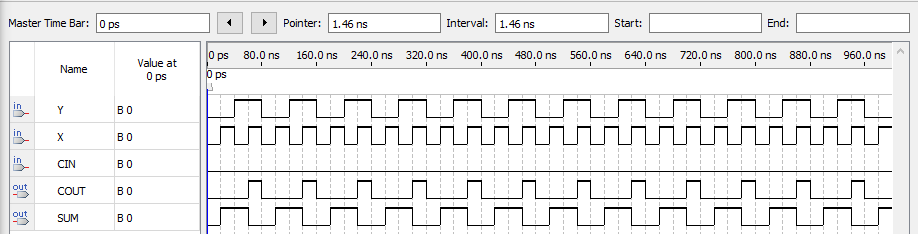
注：用 EDA 实训仪上的拨动开关 S2、S1、S0 分别作为加数 A、加数 B、低位进位输入

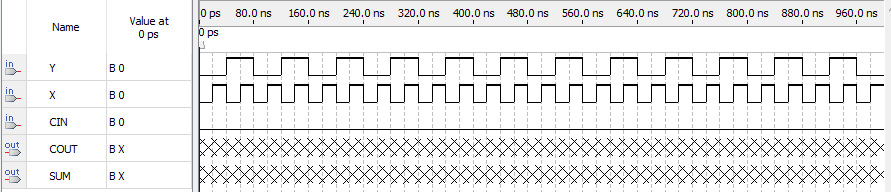
端 CI，用发光二极管 L1、L0 分别作为和输出端 SO、进位输出端 CO。



**五、仿真波形与实物图**

****

****

****

**实物图**

**六、实验总结**

对于半加器来说，四个电平为一个周期，A与B都需要在高电平时才会进位，对于全加器来说，8个电平为一个周期，对于函数的实现，在G2A、G2B分别接低电平的条件下，ABC都低，CA低、B高，C高、AB低都高的情况下，F能正确输出，该电路是以8个电平为一个周期的

第一次使用QuartusII软件，因此在实验过程中遇到了很多麻烦，当然，在经过艰难的整个上午的实验后，基本上完成了实验要求，在这个过程中，我也收获了很多新的知识和多方面能力的提高。在实现半加器仿真的过程中，根据老师的讲解，以及书上的提示，很快就获得了原理图，感觉很轻松；由于在下载前没有对引脚进行锁定，使得无法下载，不能进行实验板的测试，因此，不得不重新连接电路图，重新进行波形仿真，才完成了全加器的相关要求。我基本上掌握了QuartusII的基本功能，能对简单的逻辑电路进行波形仿真，下载进行测试，并知道了QuartusII软件。

**七、思考题**

参考 1 位全加器实验设计过程，设计全减器电路。要求先完成全减器的原理图输入，

然后完成编译（综合）、仿真、引脚锁定、编程下载和硬件验证操作。

一位减法器

由EDA教程中全加器的顶层设计描述及半加器调用可类比到全减器的设计，1位全减器真值表如表2.1所示。

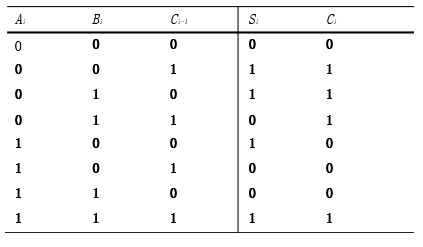
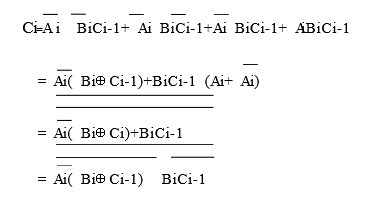
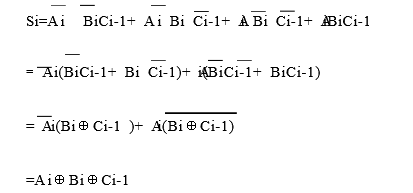
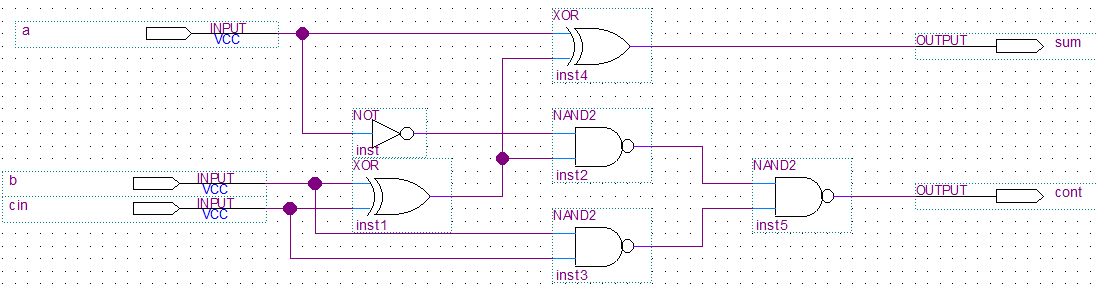


表2.1

表中的 Ai、Bi 是两个一位二进制减数的输入端，Ci-1 是低位向本位借位输入端，Si 是本位差输出端，Ci是向高位的借位的输出端。根据真值表写出电路输出与输入之间的逻辑关系表达式为

实验原理图



仿真波形图

输入a为400ns，输入b为200ns的时钟，cin为100ns的时钟。

