

|  |  |
| --- | --- |
| 成 绩 |  |
| 批阅教师 |  |
| 日 期 |  |

**桂林电子科技大学**

**实验报告**

**2020 -2021 学年第 二 学期**

开 课 单 位 桂林电子科技大学北海校区

适用年级、专业 18级专升本

课 程 名 称 FPGA技术综合设计实训

主 讲 教 师

实 验 名 称 加减法计数器的编程设计

实 验 学 时

学 号

姓 名

**实验四 加减法计数器的编程设计**

### 一、实验目的

① 学会用 Verilog HDL 文本输入法设计加法计数器电路，并通过电路仿真和硬件验证，

进一步了解加法计数器的功能和特性。

② 学会用 Verilog HDL 文本输入法设计减法计数器电路，并通过电路仿真和硬件验证，

进一步了解减法计数器的功能和特性。

### 二、实验原理

2 位十进制加减法计数器电路的元件符号如图 6.1 所示，其中 clk 是时钟端，上升沿触发，

clr 异步清零，低电平有效；en 使能控制端，高电平有效；sel 是加减控制端，当 sel 为 1 时，

计数器加计数，当 sel 为 0 时，计数器减计数；q 是计数器的输出端，cout 是计数器的进位输出端。

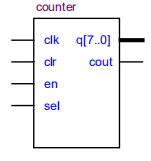


图2.1 2 位十进制加减法计数器电路的元件符号图

### 三、实验设备

①DEDA实训仪1台。

②计算机1台(装有QuartusⅡ软件)。

### 四、实验内容

在 Quartus II 软件中，按照实验原理中 2 位十进制加减法计数器电路的元件符号图，用

Verilog HDL 编程设计 2 位十进制加减法计数器电路，然后进行编辑、编译（综合）、仿真，

引脚的锁定，并下载到 EDA 实训仪中进行验证。

注：用 EDA 实训仪上的拨动开关 S2~S0 分别作为计数器的异步清零输入端 clr、使能端

en 和加减控制端 sel；按键 K8 作为计数器的时钟输入端 clk，用数码管 SEG1 和 SEG0 作为 计数器的十位和个位输出端 q；发光二极管 L0 作为计数器的进位输出端 cout。

### 五、实验预习要求

①复习理论课本有关优先编码器的内容，并认真阅读实验指导书，分析、掌握实验原理，熟悉理论课本中QuartusII软件的使用方法。

②按照实验内容的要求编写相应的实验程序，写出相映的实验步骤。

### 六、实验总结

①进一步总结用QuartusII软件的原理图输入法进行数字电路设计的方法及步骤。

1、建立工程项目(文件夹、工程名、芯片选择);

2、编辑设计文件(元件、连线、输入输出、检查电路正确性);

3、时序仿真(波形验证设计结果);

4、引脚锁定(参考文件锁定输入输出引脚);

5、编译下载;

6、硬件调试。

②对本次实验进行总结并完成思考题。

通过本次课程设计的学习，我深深的体会到设计课的重要性和目的性所在。本次设计课不仅仅培养了我们实际操作能力，也培养了我们灵活运用课本知识，理论联系实际，独立自主的进行设计的能力。它不仅仅是一个学习新知识新方法的好机会，同时也是对我所学知识的一次综合的检验和复习，使我明白了自己的缺陷所在，从而查漏补缺。希望学校以后多安排一些类似的实践环节，让同学们学以致用。

在设计中要求我要有耐心和毅力，还要细心，稍有不慎，一个小小的错误就会导致结果的不正确，而对错误的检查要求我要有足够的耐心，通过这次设计和设计中遇到的问题，也积累了一定的经验，对以后从事工作会有一定的帮助。在应用VHDL的过程中让我真正领会到了其在电路设计上的优越性。用VHDL硬件描述语言的形式来进行数字系统的设计方便灵活，利用EDA软件进行编译优化仿真极大地减少了电路设计时间和可能发生的错误，降低了开发成本，这种设计方法必将在未来的数字系统设计中发挥越来越重要的作用。

**七、仿真波形与实物图**

1.编程代码

逻辑模块

module Cnt\_100(clk,clr,en,scl,cout,q);

input clr,clk,en,scl;

output [7:0] q;

output cout;

reg [7:0] q;

reg cout;

initial q='h00;

always @(posedge clk or negedge clr)

begin

if(~clr) q=0;

else if (en)

begin

if(scl)

begin

q=q+1;

if(q[3:0]=='ha) begin

q[3:0]=0;q[7:4]=q[7:4]+2;end

if(q=='ha0) cout=cout+1;

if(q=='ha0) q=0;

end

/////////////////-

else

begin

if(q[3:0])

q[3:0]=q[3:0]-1;

else if(q[3.0]==0)

begin

if(q[7:4]!=0)

begin

q[3:0]='h9;

q[7:4]=q[7:4]-1;

end

else

begin

cout=cout-1;

q='h99;

end

end

end

end

end

endmodule

计数器模块

module onehz(clk\_1hz,res,clk);

input res;

input clk;

reg [31:0]cnt;

output clk\_1hz;

parameter Period = 19\_999\_999;

assign clk\_1hz=(cnt==Period)? 1:0;

always @(posedge clk,posedge res)

begin

if(res)begin cnt<=0; end

else

begin

if(cnt>=Period) cnt<=0;

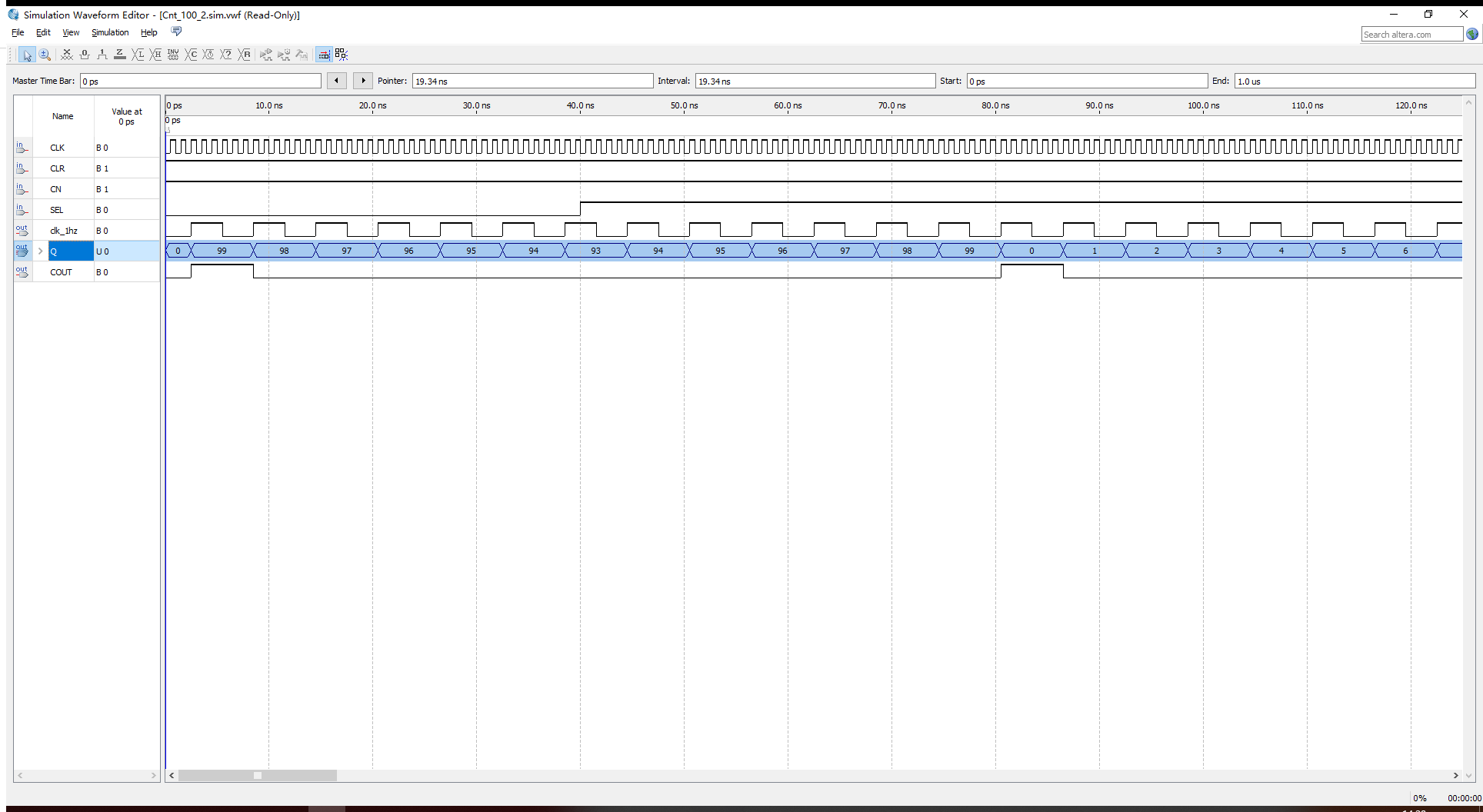
else cnt<=cnt+1;

end

end

endmodule

1. 波形图
   1. 功能仿真波形图：



1. 实验结果图：

使用模式5。

实物图