

Bài tập môn *Kiến trúc máy tính*

Chương 1. Nhập môn

1. Khái niệm “họ - family” sản phẩm là gì?
2. Phân biệt khái niệm kiến trúc và tổ chức máy tính ?
3. Phân biệt khái niệm cấu trúc và chức năng các thành phần trong máy tính?
4. Chức năng chính của máy tính là gì? Mối liên hệ giữa các chức năng đó?
5. Nguyên lý cơ bản để chế tạo các máy tính là gì ? Tham số nào thường được sử dụng để phân loại các thế hệ máy tính? Các kiểu máy tính?
6. Hiệu năng máy tính phụ thuộc vào những tham số nào? Làm thế nào để nâng cao hiệu năng máy tính?
7. Một máy tính có tần số xung nhịp chip là 5GHz thi hành 1 chương trình bao gồm 5 tỷ lệnh. Số lệnh này gồm 20% lệnh rẽ nhánh, 10% lệnh store, 20% lệnh load, và 50% lệnh số học+logic (ALU). Chỉ số trung bình IPC là 1 đối với lệnh rẽ nhánh, 0.5 với lệnh load, 1 với lệnh store, và 2 với các lệnh ALU. Hãy tính thời gian thực thi chương trình này?

Chương 2. Kiến thức cơ sở

1. Thực hành các phương pháp biểu diễn số nguyên (dấu, bù 1, bù 2, dư) với những số nguyên tự đề xuất. Tiến hành với cả hai hình thức : từ số nguyên biểu diễn nhị phân và từ chuỗi nhị phân xác định giá trị nguyên
 2. Thực hành các phương pháp biểu diễn số thực theo chuẩn IEEE 754 với những số thực tự đề xuất, theo cả hai hình thức : xác định giá trị thực từ chuỗi nhị phân và ngược lại
 3. Chứng minh lại các định lý đã nêu trong đại số Bool (dựa vào các tiên đề đã có).
 4. Thực hành phương pháp xây dựng biểu thức logic theo phương pháp nhân tổng và tổng nhân.
 5. Thực hành phương pháp tối ưu hoá biểu thức với phương pháp karnaugh.
 6. Sự khác nhau của các mạch tổ hợp và mạch tuần tự ? Thực hành phương pháp xây dựng mạch tổ hợp từ bảng giá trị hàm logic đã cho.
 7. Hãy biểu diễn số 2008 dưới các dạng sau:
 - a. Nhị phân
 - b. Cơ số 4, 8, 16
 - c. Bù 1
 - d. Bù 2
 - e. Chuẩn đơn IEEE 754
 - f. Dư 1024
 8. Cho hai chuỗi bit sau
 - a. Bù 1, bù 2
 - b. Dư 2^{31}
- 1001 1100 1010 1111 1001 1100 1010 1111
0110 1000 0111 0101 0110 1000 0111 0101
- Hãy thực hiện phép cộng hai từ nhớ trên với giả thiết kiểu biểu diễn:

9. Cho bảng chân lý sau:

A	B	c	d	$F(a,b,c,d)$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

- Xác lập biểu thức logic của hàm $F(a,b,c,d)$ ở trên.
- Giản lược hàm trên bằng hai cách khác nhau đã học.

Chương 3. Tổ chức cơ bản máy tính

- Khái niệm chương trình cứng/mềm ; nguyên lý von neuman ; các chức năng cơ bản của máy tính.
- Đặc tả các trạng thái trong chu trình lệnh đầy đủ.
- Trình bày cơ chế hoạt động của một số thành phần quan trọng trong CPU khi thực thi một lệnh.
- Phân biệt các kiểu bus thông dụng ? Các đặc điểm chính của hệ thống liên kết trong máy tính ?

Chương 4. Bộ nhớ và các hệ thống lưu trữ

- Nêu những đặc điểm cơ bản của bộ nhớ. Việc phân cấp bộ nhớ phụ thuộc vào những tiêu chí chính nào ?
- Giải thích khái niệm DRAM. Việc đồng bộ hoá dữ liệu theo xung nhịp clock trong quá trình tương tác CPU – Main Memory có ưu điểm gì ?
- Ưu điểm của việc tổ chức bộ nhớ chính theo mô hình ma trận nhớ hàng cột các từ nhớ ?
- Hãy xây dựng một thành phần nhớ có dung lượng 2GB từ những module cơ bản và yêu cầu sau :
 - Module nhớ có dung lượng 128MB, được tổ chức theo mô hình $4K \times 4K \times 64(\text{bits})$
 - Mỗi từ nhớ có kích thước 64 bits

5. Với bộ nhớ cache kết hợp (associative cache) được phân thành các trường như sau, hãy xác định:

Tag	Word
28	4

- Độ dài địa chỉ, số đơn vị có thể đánh địa chỉ được, kích thước block, số lượng block trong bộ nhớ chính, số dòng trong bộ nhớ cache và kích thước của trường tag

6. Bộ nhớ cache kết hợp theo tập (set-associative cache) cho phép phân địa chỉ bộ nhớ từ CPU như minh hoạ ở hình dưới đây :

16 bits Tag	10 bits Index	6 bits Offset
----------------	------------------	------------------

- 16 bits đầu tiên Tag sẽ được sử dụng như thế nào ?
- Tính số tập của bộ nhớ cache này.
- Liệu có thể xác định được độ lớn của bộ nhớ cache này hay không ? Giải thích rõ câu trả

7. Cho đoạn mã lệnh viết bằng ngôn ngữ C dưới đây :

```
register int i,j ;           //i, j được lưu trong các thanh ghi
int A[3][100] ;           // int là kiểu tự nhiên độ lớn 32 bits
int B[101][3] ;

for ( i=0 ; i<3 ; i++)
    for ( j=0 ; j<100 ; j++)
        A[i][j] = B[j][0]*B[j+1][0] ;
```

Đoạn mã này sẽ được thi hành trên một computer có bộ nhớ cache dữ liệu sử dụng phương pháp ánh xạ kết hợp với dung lượng 16 kilo-bytes và mỗi block là 16 bytes.

- Đánh giá số lần thất bại - *cache miss* khi đoạn mã này được thi hành. Giải thích rõ các bước tính toán trong quá trình đánh giá.
- Trong số các phương pháp dưới đây, phương pháp nào sẽ hiệu quả hơn trong việc giảm tỷ lệ cache miss đối với đoạn chương trình trên ? Giải thích rõ về sự lựa chọn phương pháp đó.
 - hợp nhất các vòng lặp
 - đổi thứ tự vòng lặp
 - thêm lệnh nạp trước (prefetch)

8. Xét máy điện toán có mức cache L2 giữa mức cache L1 và bộ nhớ chính. Tỷ lệ cache miss sẽ được xác định theo công thức sau:

$$MissRate_{global} = MissRate_{L1} \times MissRate_{L2}$$

Và thời gian truy cập trung bình được xác định theo:

$$AccessTime = HitTime_{L1} + MissRate_{L1} \times (HitTime_{L2} + MissRate_{L2} \times MissPenalty_{L2})$$

Để có thể nâng cao hiệu năng truy cập bộ nhớ, chúng ta có thể sử dụng thêm mức cache thứ 3 : L3. Trong trường hợp hệ thống có 3 mức cache được đặc trưng thông qua các tham số sau :

L1 :

- MissRate : 30%,
- HitTime = 1 cycle.

L2:

- MissRate : 2%,
- HitTime = 4 cycles
- MissPenalty = 3000 cycles.

L3

- MissRate : 0,5%,
- HitTime = 35 cycles,
- MissPenalty = 5000 cycles.

(i) Hãy xác định tỉ lệ miss toàn cục của hệ thống cache trên?

(ii) Xác định thời gian truy cập trung bình của hệ thống cache này?

Chương 5. Tập lệnh - Kiến trúc bộ vi xử lý

1. Khái niệm tập lệnh trong CPU, những thành phần của một lệnh ?
2. Các hình thức biểu diễn lệnh trong máy tính ?
3. Việc thiết kế tập lệnh của máy tính phụ thuộc vào những vấn đề gì ?
4. Format lệnh là gì ? Có bao nhiêu format lệnh ?
5. Trình bày những chiến lược thao tác dữ liệu khi xem xét lệnh ?
6. Khái niệm kiểu đánh địa chỉ ? Việc phân biệt các kiểu đánh địa chỉ dựa trên tiêu chí nào ?
7. Giả sử PC chứa địa chỉ A1, và tại địa chỉ này chứa lệnh I cần một toán hạng. Địa chỉ của toán hạng này là A3. Để truy cập đến địa chỉ này, lệnh I chứa thêm một phần xác định địa chỉ A2. Thanh ghi chỉ mục (index) của CPU chứa giá trị A4. Hãy xác định mối quan hệ giữa các địa chỉ trên nếu tập lệnh CPU sử dụng cơ chế đánh địa chỉ sau:
 - trực tiếp?
 - gián tiếp qua bộ nhớ?
 - gián tiếp qua thanh ghi ?
 - dịch chuyển dựa trên thanh ghi chỉ mục?
 - dịch chuyển dựa trên thanh ghi PC
8. Giả sử CPU chỉ có duy nhất lệnh một lệnh SUB X, thực hiện phép trừ nội dung thanh ghi ACCUMULATOR với nội dung từ nhớ tại địa chỉ X và đặt kết quả vào cả ACC và X. Hãy thực hiện lệnh ngôn ngữ bậc cao $A = B + C$ với computer chỉ có duy nhất lệnh trên (các từ nhớ tại B và C phải được bảo lưu, có thể sử dụng tối đa một từ nhớ trung gian).

9. Tập lệnh của một CPU với kiến trúc kiểu load-store sử dụng hai formats lệnh sau :

- Kiểu lệnh A (store, load (fetch), branches và jumps) :

6 bits	4 bits	32 bits
OpCode	Rs/Rd	Immediate

- Kiểu lệnh B (ALU Operations):

6 bits	4 bits	4 bits
OpCode	Rs	Rd

- Tính số thanh ghi registers có thể có của kiến trúc này.
- Tính số kết hợp Lệnh/kiểu_đánh_địa_chỉ đối với kiến trúc này.
- Nếu chỉ sử dụng một format lệnh có độ dài cố định đối với tập lệnh của bài toán này, độ dài của format đó sẽ là bao nhiêu bits ?

Chương 6. Tổ chức và chức năng của CPU

- Cấu trúc CPU bao gồm những thành phần nào? Tập registers trong CPU chịu những ảnh hưởng nào từ các thành phần còn lại của máy tính ?
- Phân biệt các kiểu thanh ghi phục vụ người dùng, thanh ghi điều khiển, thanh ghi trạng thái ?
- Đặc tả các luồng dữ liệu cơ bản liên quan đến chu trình tải lệnh (instruction fetch), tải dữ liệu (Data fetch) và chu trình thi hành (execute)
- Trình bày kỹ thuật pipeline trong việc nâng cao hiệu năng thực thi lệnh trong CPU ?
Mối quan hệ giữa số tầng trong pipeline và tỷ lệ cải thiện hiệu năng ?
- Vấn đề xử lý rẽ nhánh trong các bộ pipeline được xử lý như thế nào ? Việc dự đoán các lệnh rẽ nhánh được thể hiện cụ thể với những phương pháp nào ?
- Phân biệt các kiến trúc CPU kiểu RICS và CICS ?
- Thanh ghi điều kiện (flags) trong CPU gồm những bit đặc biệt sau (được xác lập giá trị tùy thuộc vào kết quả thao tác cuối cùng của ALU)

- Sign
- Zero
- Carry
- Even parity
- Overflow

Giả sử ALU thao tác với từ nhớ độ lớn 16bits và sử dụng kiểu biểu diễn bù 2. Những bits trên sẽ có giá trị như thế nào nếu phép toán cuối cùng của ALU là :

- Phép cộng của -1 và 1
- Phép nhân 14 với 13
- Phép chia nguyên 14 cho 13

8. Giả sử một computer có kiểu CISC và có kiến trúc pipeline 6 tầng như trong bài giảng. Xét chuỗi lệnh dưới đây:

R1 = R2 + R3
R4 = R1 - R5
R6 = R1 AND R7
R8 = R1 OR R9
R10 = R1 XOR R11

Hãy tổ chức lại đoạn mã trên sao cho có thể loại bỏ những vấn đề phụ thuộc dữ liệu giữa các lệnh trên trong quá trình thi hành trên pipeline (có thể sử dụng lệnh NOP – No Operation nếu cần thiết).

9. Giả sử có một pipeline với 4 tầng [FI, DI, EI, WO]. Những phép nhảy vô điều kiện (unconditional branches) được xác định tại thời điểm kết thúc tầng DI, trong khi những phép nhảy có điều kiện (conditional branches) chỉ được xác định khi kết thúc tầng EI. Việc phân bố các phép nhảy được giả thiết gồm 35% số lệnh là lệnh nhảy có điều kiện (trong số đó có 80% được thi hành phép nhảy) và 5% là các lệnh nhảy vô điều kiện hay lệnh gọi đến các chương trình con.

- a. Tính số NOOP đối với một phép nhảy có điều kiện? một phép nhảy vô điều kiện ?
- b. Xác định số chu kỳ (cycles) trung bình đối với một lệnh (CPI) của CPU này nếu như bỏ qua các phụ thuộc giữa các lệnh.
- c. Trong trường hợp phụ thuộc dữ liệu được bỏ qua, hãy tính số chu kỳ trung bình CPI nếu pipeline này sử dụng phương pháp “Predict always taken”? phương pháp “Predict never taken”?

10. Giả sử máy tính RISC với các lệnh thực thi qua 2 pha : Fetch và Execute, ngoại trừ những lệnh load/store cần thêm pha Memory (M). Xét đoạn mã sau:

```
LOAD A, M
LOAD B, M
ADD C, A, B
STORE C, M
BRANCH X
```

Xác định số chu kỳ cần thiết để thực thi đoạn mã trên trong trường hợp CPU được thiết kế với cơ chế pipeline và không có pipeline? Giả thiết mỗi pha thi hành cần 1 chu kỳ.