**目錄**

[一、 實驗小專題:DE0 FPGA應用 2](#_Toc136104180)

[實驗架構: 2](#_Toc136104181)

[設備說明: 2](#_Toc136104182)

[電路架構: 2](#_Toc136104183)

[實驗困難點: 3](#_Toc136104185)

[二、 課堂專題：嵌入式系統計數器 4](#_Toc136104186)

[設備說明 4](#_Toc136104187)

[結果說明 4](#_Toc136104188)

[程式設計說明 8](#_Toc136104189)

# 實驗小專題:DE0 FPGA應用

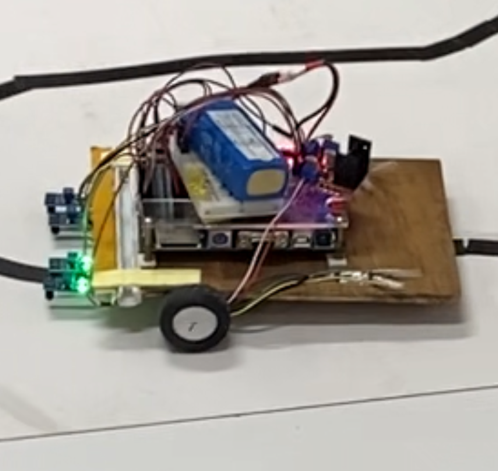
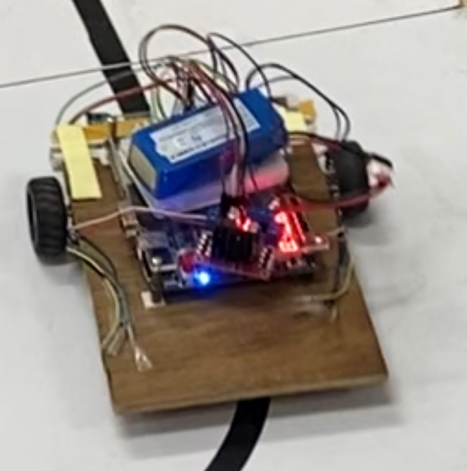
## 實驗架構:

使用DE0 FPGA實驗板撰寫Verilog語法並且實作控制馬達與整合感測器並且對FPGA板進行整合與開發，並且使用直流馬達省點安靜、體積小的優點來製作。

## 設備說明:

軟體:Quartus II 13.0 SP1、Nios II 13.0 SP1

硬體:電腦、DE0 FPGA 實驗板、L298N驅動器、直流馬達、杜邦線

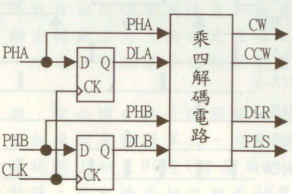
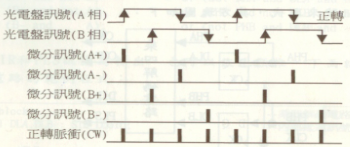


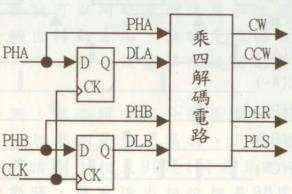
## 電路架構:

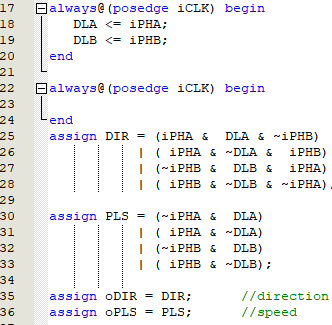
## 除頻器>訊號控制(放向速度)>PWM>馬達模擬>回授解碼電路>感測器

實驗困難點:

馬達編碼器為了量測方向，必須裝置兩組光電晶體，並讓兩組光電晶體在 排列上相差90度。圓盤轉動時，會造成相位相差90度的兩個方波訊號，而我們分別針對A/B兩相訊號，加以上緣微分和下緣微分而得到A+/A-/B+/B-的四個微分訊號，再將四個微分訊號整合成正轉脈衝CW訊號。這時光電盤每轉360度，就可以得到4個脈衝訊號輸出。



由於微分訊號都是由延遲訊號造成的，所以我們可以將微分訊號由延遲訊號來取代，經過D型暫存器後得到的DLA和DLB兩個延遲訊號接著的上緣和下緣微分訊號，就可以用這四個訊號來組合。



feedback\_decoding

# 課堂專題：嵌入式系統計數器

設計一個可上下數的計數器，頻率約為 5Hz，以七段顯示器顯示四位數的上下計數。

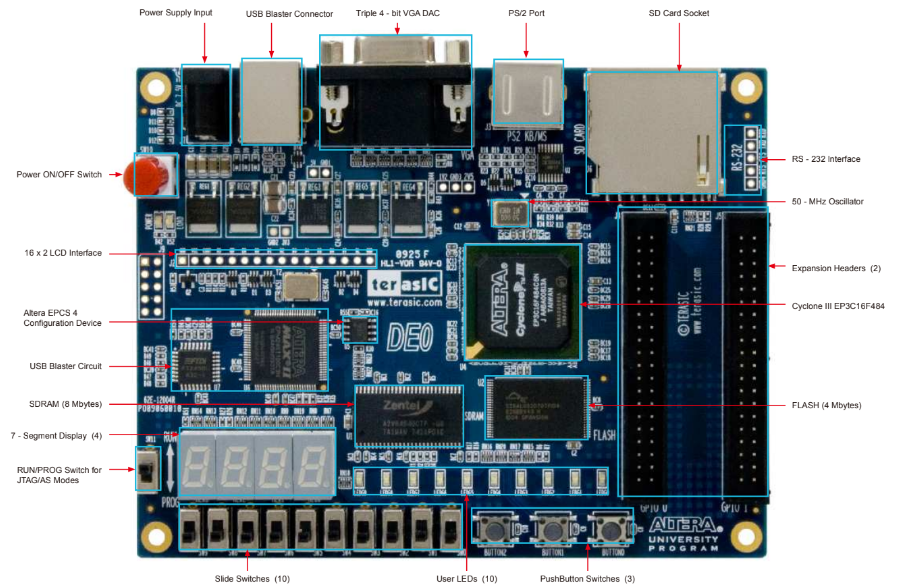
* 若SW[9]數值為 1，則七段顯示器以十進制進行計數；若 SW[9]數值為 0，則七段顯示器以十六進制進行計數。
* 若SW[8]數值為 1，則七段顯示器進行上數；若 SW[8]數值為 0，則七段顯示器進行下數。
* 若SW[7]數值為 1，則進行計數；若 SW[7]數值為 0，則停止計數。
* 若SW[6]數值為 1，則七段顯示器顯示；若 SW[6]數值為 0，則七段顯示器不顯示。

## 設備說明

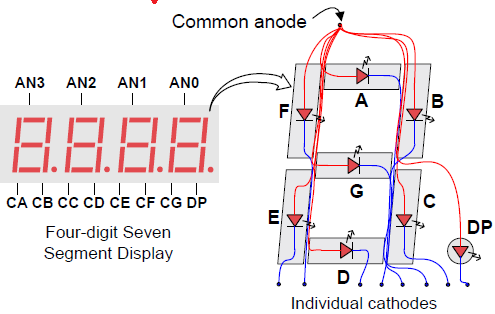
軟體:Quartus II 13.0 SP1、Nios II 13.0 SP1 硬體:電腦、DE0 FPGA 實驗板

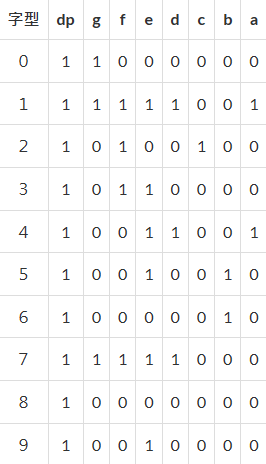
## 結果說明

如 [Fig 1 程式碼 01](#_bookmark7)、[Fig 2 程式碼02](#_bookmark8)、[Fig 3 程式碼03](#_bookmark9) 所示。



指撥開關由左至右分別為sw9sw8sw7sw6sw5sw4sw3sw2sw1sw0

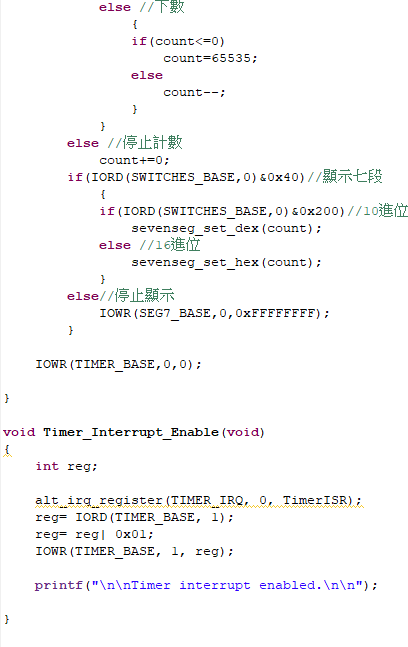




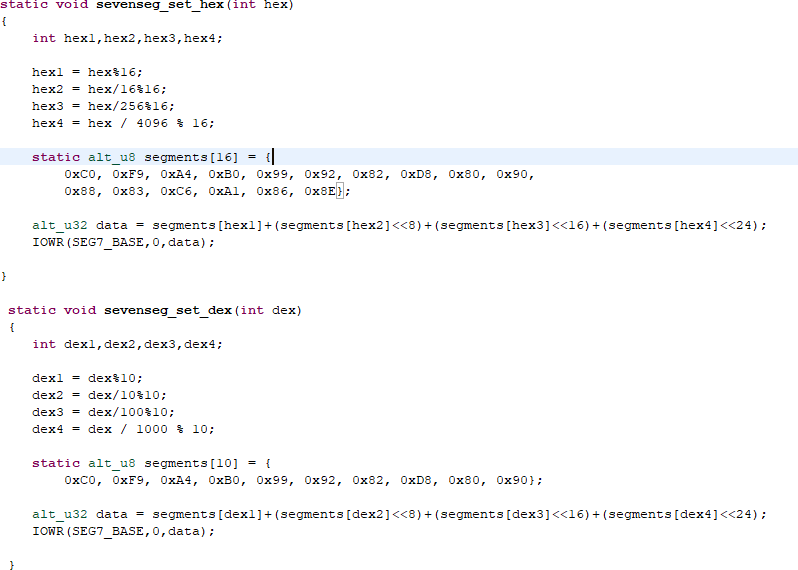
由於此板是共陽極所以驅動共陽極七段顯示器 C語言16進位依序是0xC0、0xF9、0xA4、0xB0、0x99、0x92、0x82、0xF8、0x80、0x90 如Fig 3 程式碼 所示。



#### Fig 1 程式碼 01



#### Fig 2 程式碼 02



#### Fig 3 程式碼 03

## 程式設計說明

主程式內前四行為 timer 設定，應題目要求設定頻率為 5 Hz， 所以TIMER\_FREQ 要除五。如 [Fig 1 程式碼 01](#_bookmark7) 所示。

主程式第五行為呼叫中斷副函式。如 [Fig 1 程式碼01](#_bookmark7) 所示。呼叫中斷副函式 Timer\_Interrupt\_Enable 後，第三行

alt\_irq\_register 代表不回傳任何數值，並且執行TimerISR 副函式。如[Fig 2 程式碼 02](#_bookmark8) 所示。

副函式TimerISR 裡，第三行判斷計數時間是否結束，計數結束後，執行條件式內程式。如 [Fig 1 程式碼 01](#_bookmark7) 所示。

副函式TimerISR 裡，第五行為開始計數的條件式，當 Switch07 開啟，條件式裡的程式被編譯；Switch07 關閉時，else 裡程式被編譯，count 停止計數。如[Fig 1 程式碼 01](#_bookmark7)、[Fig 2 程式碼 02](#_bookmark8)。

副函式TimerISR 裡，Switch07 的條件式裡為一個上下數的條件判斷，當Switch08 開啟時，count 加一、然後當超過 65535(十六進位為FFFF)時，count 重製從零開始上加。如 [Fig 1 程式碼01](#_bookmark7) 所示。當 Switch08 關閉時，執行else 裡的程式 count 減一、然後

當少於0 時，count 從65535(十六進位為FFFF)開始減少。如[Fig 2 程式碼 02](#_bookmark8) 所示。

在 Switch07 條件式結束後，又一個條件判斷為判斷是否顯示七段顯示器。當Switch06 開啟，執行條件式裡的程式 顯示七段；

Switch06 關閉時，執行else 裡的程式，對七段顯示器輸入數值零使七段顯示器不亮燈。如[Fig 2 程式碼 02](#_bookmark8) 所示。

Switch06 的條件式為七段顯示器是以十進位還是以十六進位顯示，當Switch09 開啟時，執行條件式裡的程式 呼叫十進位的副

函式；Switch09 關閉時，執行 else 裡的程式 呼叫十六進位的副

函式。如 [Fig 2 程式碼 02](#_bookmark8) 所示。

剩下的為副函式的部分，以十六進位為例。先宣告四個變數及一個陣列，其四個變數為四位數七段顯示器的各一個位數。而陣列裡則儲存著七段顯示器。

從 0 到F 的數值。最後將 data 的值輸出到 SEG7\_BASE，就完成了十六進位的顯示。十位元同理。如 [Fig 3 程式碼 03](#_bookmark9) 所示。