

1. 总线周期定义信号(输出)

CPU通过总线与存储器、I/O交换一个数据所需要的时间

称为总线周期。

当前 总线 周期内	$M/I\bar{O} = 1$	表明访问存储器	
	$M/I\bar{O} = 0$	访问 I/O	
	$W/R = 1$	写操作	
	$W/R = 0$	读操作	
	$D/C = 1$	传输数据	
	$D/C = 0$	传输指令	

	$M/I\bar{O}$	D/C	W/R	操作
※	0	0	0	中断
	0	0	1	I/O专用周期
※	0	1	0	I/O读
	0	1	1	I/O写
	1	0	0	微代码读
	1	0	1	保留
※	1	1	0	存储器读
	1	1	1	存储器写

2. 数据线 $SD_0 \sim SD_7$: 8根双向数据线

地址线 $SA_0 \sim SA_{19}$: 20根地址线，提供对存储器和 I/O 端口地址

控制线 $AEN = 1^0$: 表明 CPU 控制系统总线

1^1 : 表明 DMA 控制系统总线

\overline{IOR} : I/O 端口读

\overline{IOW} : I/O 端口写

$IRQ_9 \sim IRQ_3$ ~ IRQ_7 : I/O 端口的中断请求线.