

2024 Digital IC Design Homework II

NAME	盧尚毅	
Student ID	N26124264	
Functional Simulation Result		
FIFO Pass	LIFO Pass	CIPU Pass
Stage 1		
<pre> ***** ***** Simulation Start ***** ***** There are total 0 errors in FIFO !! </pre>		
Stage 2		
<pre> There are total 0 errors in LIFO !! </pre>		
Stage 3		
<pre> There are total 0 errors in FIFO2 !! ***** ** ** ** Congratulations!! ** ** ** ** Simulation PASS!! ** ** ** ** ** ***** ** ** Correct / Total : 100 / 100 </pre>		
Description of your design		
<p>1. FIFO:</p> <p>先設計一個 counter 與一個 FSM，counter 用於紀錄目前儲存了多少個元素，以便後續取值可以正確的 FIFO，FSM 狀態共有 7 個，分別是 idle (等待 ready_fifo 來時，進入 input_people 狀態), input_people (利用輸入的 people_thing_in 進行判斷，如果遇到 ascii 碼範圍在 8'h41~8'h5A，就將他們儲存到 FIFO 中，並將 counter+1，當 people_thing_in 為\$時進入下一階段), in_people_end(此階段停止一個 clk 確保資料正確存入 fifo, 接著進入下一階段), out_people_ready(此階段開始在 fifo 中取值，因為此階段取得的值需要在下一個 clk 才會送出，所以要用總數有多少個來判斷下一階段是要前往 out_people 或是 outpeople_end), out_people (開始將值一一輸出，但 counter 為 1 時，進入下一階段), out_people_end (此時最後一個取得的值會輸出，並進入下一階段), out_people_done (此階段將 done 拉起，與 tb.v 溝</p>		

通，完成後回到 idle 以準備下一次資料傳入)，整體 FSM 如下圖所示。

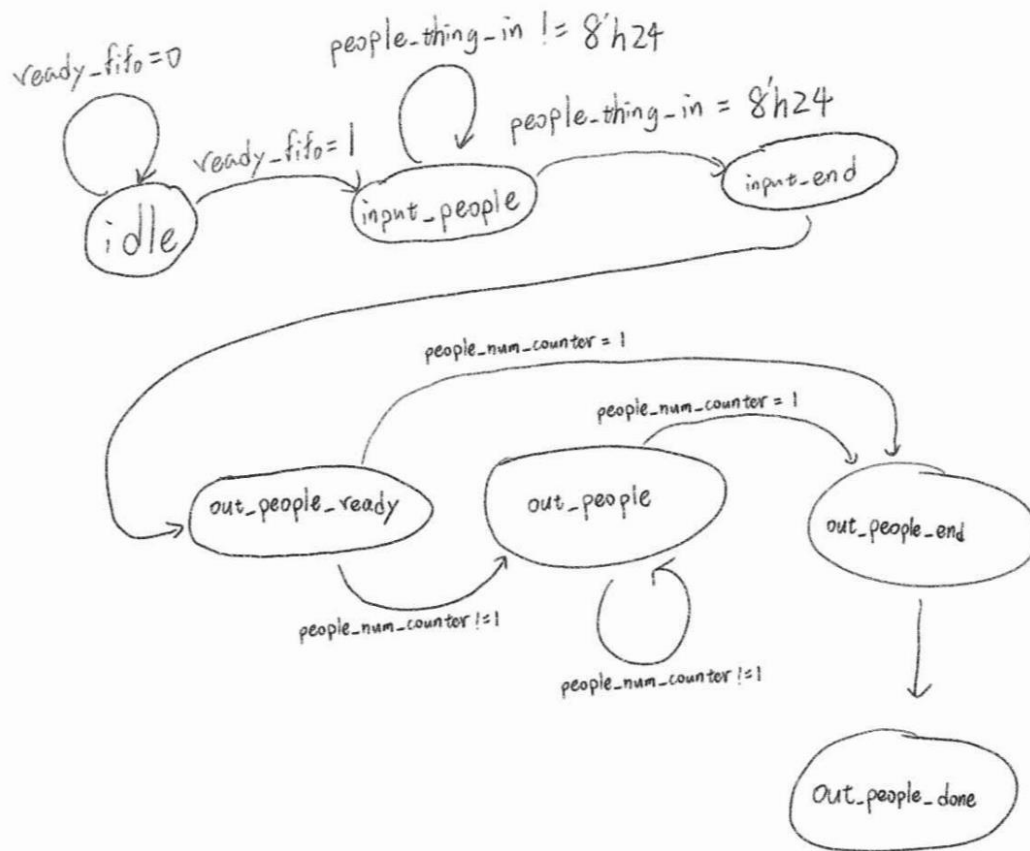


圖 1 FIFO 有限狀態機

2. LIFO

與前議題類似，一開始先設計一個 counter 與 FSM，counter 在 thing_in 值為分號時，將 thing_num 讀入，在後續輸出數值時一一減一。而 FSM 共有 9 個 state，idle (當 vaid_lifo 為 1 時進入下一狀態)，input_thing (此狀態開始讀取資料，將 thing_in 的數值都讀入，並一一推入到 thing_lifo 中，若讀到\$就會進入 d_lifo 結束狀態，讀到;時，會進入 in_thing_end 狀態), in_thing_end (此狀態用於判斷 thing_num 是否為 0，若為 0 則進入 pop_none 狀態，其他情況的話進入 pop_thing_ready 狀態)，pop_thing_ready (此狀態與第一題的 ready 狀態用法相同，都是先準備第一個值，以便在 pop_thing 狀態時輸出正確的值)，pop_thing (此狀態一一將值從 thing_lifo 的第一個輸出，並將其他值往 0 的方向向前一，確保每次都能拿到最後放入的值，當 counter 為 1 時進入 pop_thing_end)，pop_thing_end (此狀態將最後一個值輸出)，pop_thing_done (pop 結束，接著進入 idle 狀態)，pop_none (將輸出值設為 0)，d_lifo (此狀態時表示 lifo 結束，會將 done_lifo 拉起)。整體 FSM 如圖 2 所示。

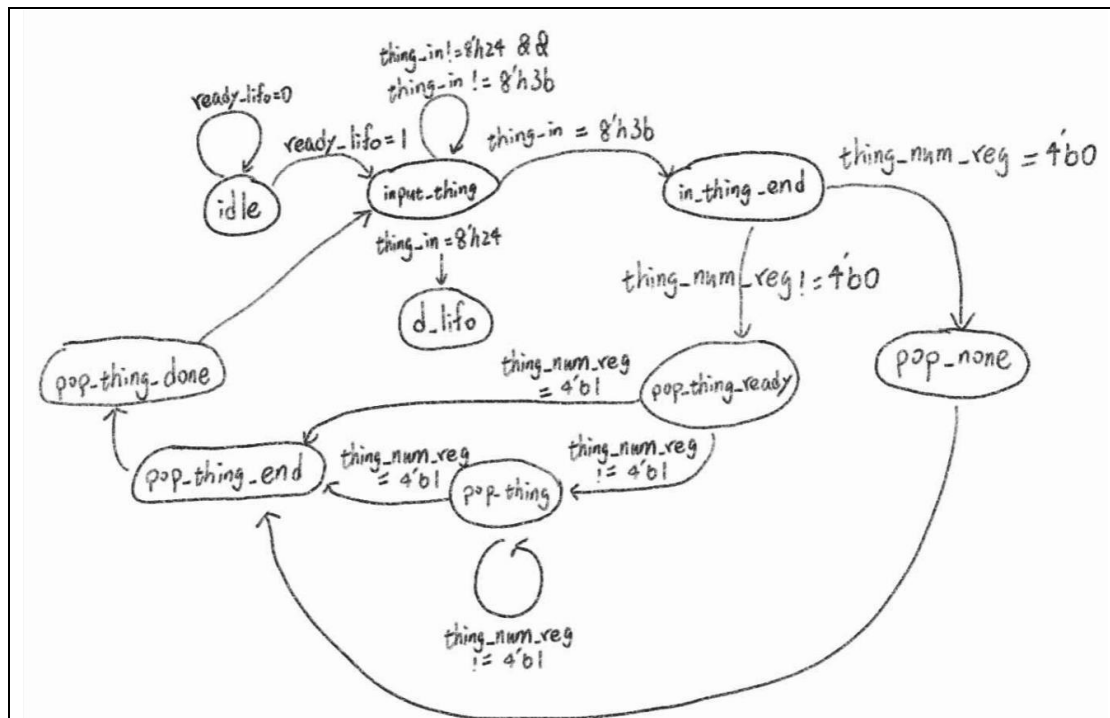


圖 2 LIFO 有限狀態機

3. FIFO2

此題也與前面類似，先建議一個 counter 與 FSM，counter 在前面一個狀態機的狀態為 input_thing 時+1，確定目前在陣列中的數字有幾個，而在目前的狀態機狀態為 out_thing_fifo_ready 與 out_thing_fifo 或是前一狀態機狀態為 pop_thing_ready 或 pop_thing 時-1，確定目前陣列共有幾個元素。此題的有限狀態機共有六個狀態，idle (當 lifo 執行完，done_lifo 為 1 時進入下一狀態)，out_thing_fifo_ready (準備從陣列中取出值，取出值的座標為 $\text{thing_lifo}[(8 * (\text{thing_fifo_num}) - 1) : 8]$)，out_thing_fifo (與前階段相同，一一將值取出。)，out_thing_fifo_end (此步時，將最後的值取出，並歸零陣列)，out_thing_fifo_done (將 done_fifo2 訊號拉起)，完整 FSM 如圖 3 所示。

3. FIFO2 FSM

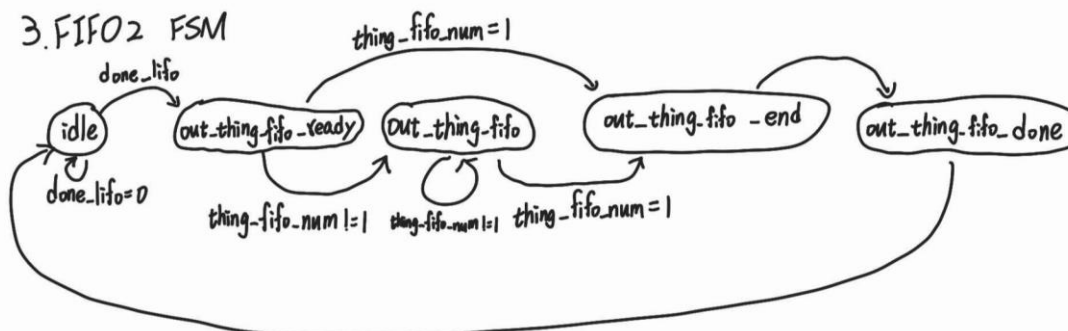


圖 3 FIFO2 有限狀態機