

NAME	盧尚毅																																		
Student ID	N26124264																																		
Simulation Result																																			
Functional simulation	100	Gate-level simulation	100	Clock width	22	Gate-level simulation time	88374																												
<pre>Pattern 3 pass ----- Simulation FINISH !!----- score = 100/100 ===== \\(^o^)/ CONGRATULATIONS!! The simulation result is PASS!!! ===== ** Note: \$stop : D:/intelFPGA20.1.1/diclab/DIC2024_hw3/testfixture.v(351) Time: 100425 ns Iteration: 0 Instance: /testfixtured1</pre>				<pre># 4:Pattern 1054 is PASS ! # 1:Pattern 1055 is PASS ! # 1:Pattern 1056 is PASS ! # Pattern 3 pass # ----- Simulation FINISH !!----- # score = 100/100 # ===== # \\(^o^)/ CONGRATULATIONS!! The simulation result is PASS!!! # ===== # ** Note: \$stop : D:/intelFPGA20.1.1/diclab/DIC2024_hw3/testfixture.v(351) # Time: 88374 ns Iteration: 0 Instance: /testfixtured1</pre>																															
Synthesis Result																																			
Total logic elements				1206																															
Total memory bit				0																															
Embedded multiplier 9-bit element				5																															
<table><tr><td>Flow Status</td><td>Successful - Sat May 11 18:57:38 2024</td></tr><tr><td>Quartus Prime Version</td><td>20.1.1 Build 720 11/11/2020 SJ Lite Edition</td></tr><tr><td>Revision Name</td><td>MM</td></tr><tr><td>Top-level Entity Name</td><td>MM</td></tr><tr><td>Family</td><td>Cyclone IV E</td></tr><tr><td>Device</td><td>EP4CE55F23A7</td></tr><tr><td>Timing Models</td><td>Final</td></tr><tr><td>Total logic elements</td><td>1,206 / 55,856 (2 %)</td></tr><tr><td>Total registers</td><td>317</td></tr><tr><td>Total pins</td><td>36 / 325 (11 %)</td></tr><tr><td>Total virtual pins</td><td>0</td></tr><tr><td>Total memory bits</td><td>0 / 2,396,160 (0 %)</td></tr><tr><td>Embedded Multiplier 9-bit elements</td><td>5 / 308 (2 %)</td></tr><tr><td>Total PLLs</td><td>0 / 4 (0 %)</td></tr></table>								Flow Status	Successful - Sat May 11 18:57:38 2024	Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition	Revision Name	MM	Top-level Entity Name	MM	Family	Cyclone IV E	Device	EP4CE55F23A7	Timing Models	Final	Total logic elements	1,206 / 55,856 (2 %)	Total registers	317	Total pins	36 / 325 (11 %)	Total virtual pins	0	Total memory bits	0 / 2,396,160 (0 %)	Embedded Multiplier 9-bit elements	5 / 308 (2 %)	Total PLLs	0 / 4 (0 %)
Flow Status	Successful - Sat May 11 18:57:38 2024																																		
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition																																		
Revision Name	MM																																		
Top-level Entity Name	MM																																		
Family	Cyclone IV E																																		
Device	EP4CE55F23A7																																		
Timing Models	Final																																		
Total logic elements	1,206 / 55,856 (2 %)																																		
Total registers	317																																		
Total pins	36 / 325 (11 %)																																		
Total virtual pins	0																																		
Total memory bits	0 / 2,396,160 (0 %)																																		
Embedded Multiplier 9-bit elements	5 / 308 (2 %)																																		
Total PLLs	0 / 4 (0 %)																																		
Description of your design																																			

在這次的作業中我使用 7 個 counter，有兩個記錄輸入 matrix1、2 的列與欄位數，並用一個 counter 記錄輸出總數，其餘兩個用於記錄每個矩陣輸入數量，在後續 check 的 state 時確定輸入資料數量都有正確。

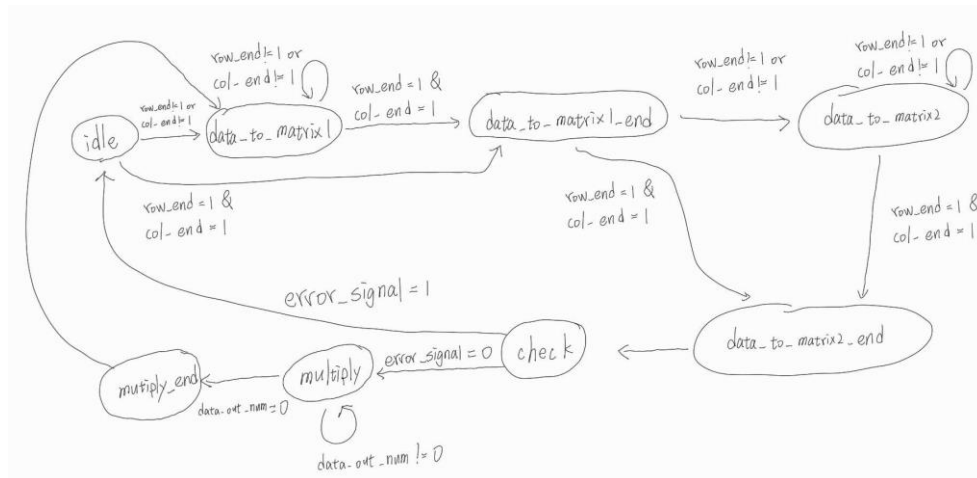


圖 1 FSM 流程圖

在每個 state 時，FSM 會依據下一個狀態是甚麼決定目前需要做的事情，因為第一個直送進去的時間與 rst 降下來的時間相同，若不用下一個狀態提前執行會錯過第一個輸入的數值。

在 next 為 data_to_matrix1 與 data_to_matrix1_end 時會將輸入的值存入 matrix1，增加 end 是因為怕最後一個值被略過因此增加的，next 為 data_to_matrix2 與 data_to_matrix2_end 時，會將輸入的值儲存至 matrix2，接著會在 next 為 check 時檢查是否 matrix1、2 的值數量是否與 col、row 相成的數量相同，並檢查兩矩陣是否可以相乘，若不能相乘則回到 idle 狀態，可以的話進行相乘動作，並一一將所有數值相乘後輸出。

$$\text{Scoring} = (1206 + 0 + 9 \times 5) \times (88374) = 110555874$$

$$\text{Scoring} = (\text{Total logic elements} + \text{total memory bit} + 9 \times \text{embedded multiplier 9-bit element}) \times (\text{Total cycle used} \times \text{clock width})$$