

Revisão sobre hardware de computadores



UNIFEI

Universidade Federal de Itajubá

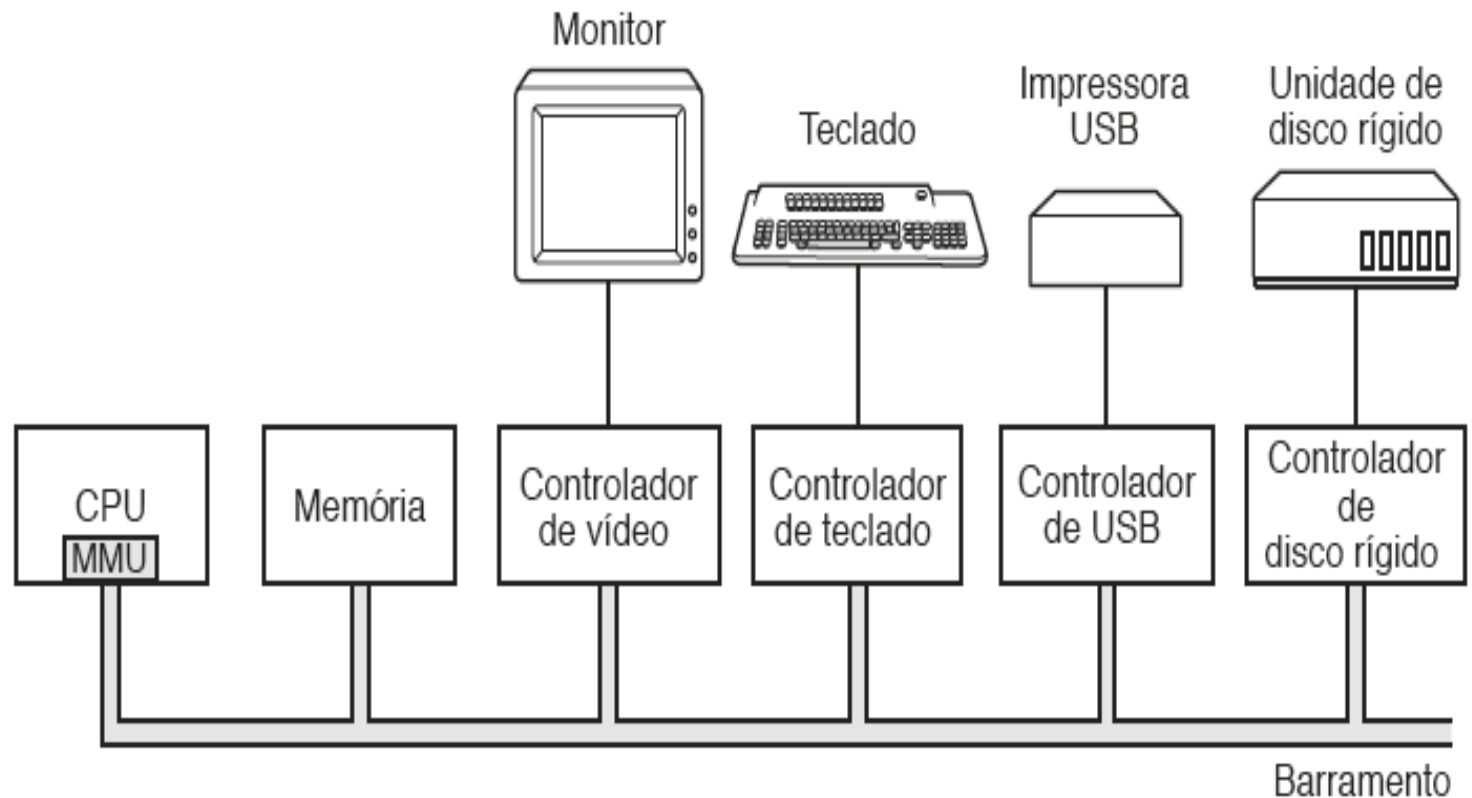
IMC – Instituto de Matemática e Computação

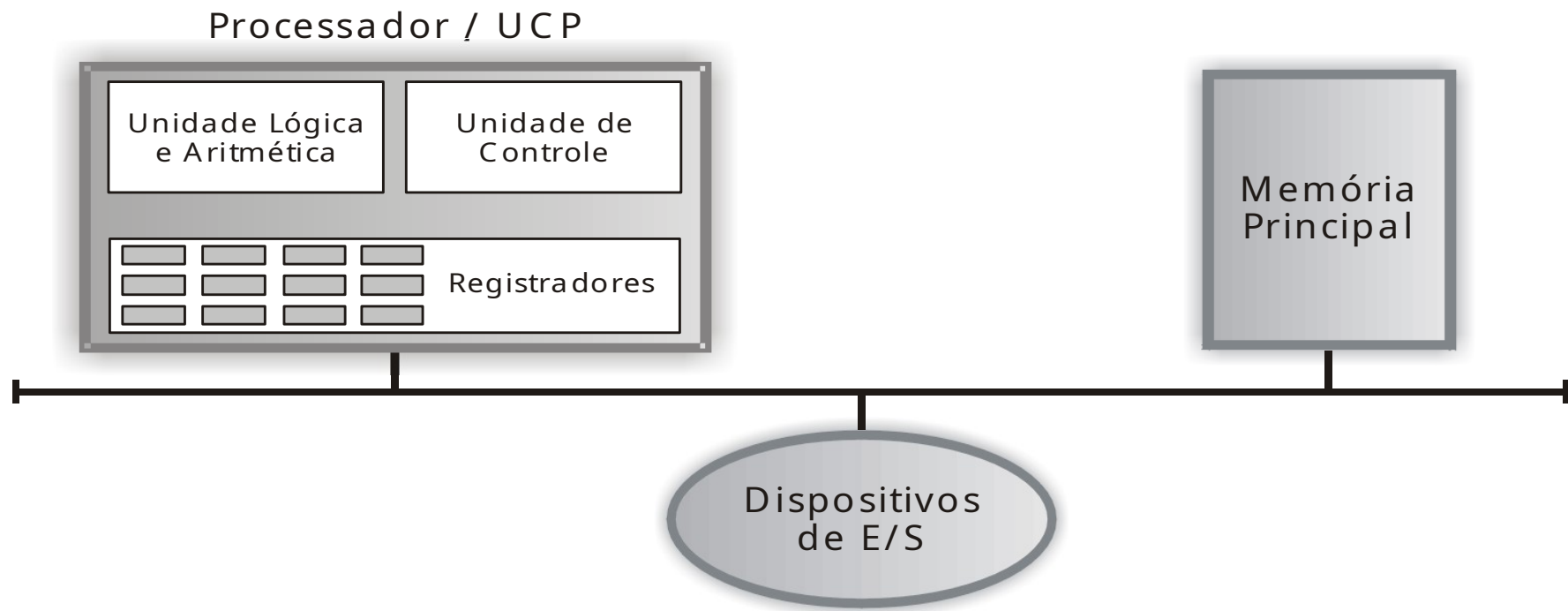
Prof. Carlos Minoru Tamaki

Revisão sobre hardware de computadores

- Um sistema operacional está intimamente ligado ao hardware do computador no qual ele é executado

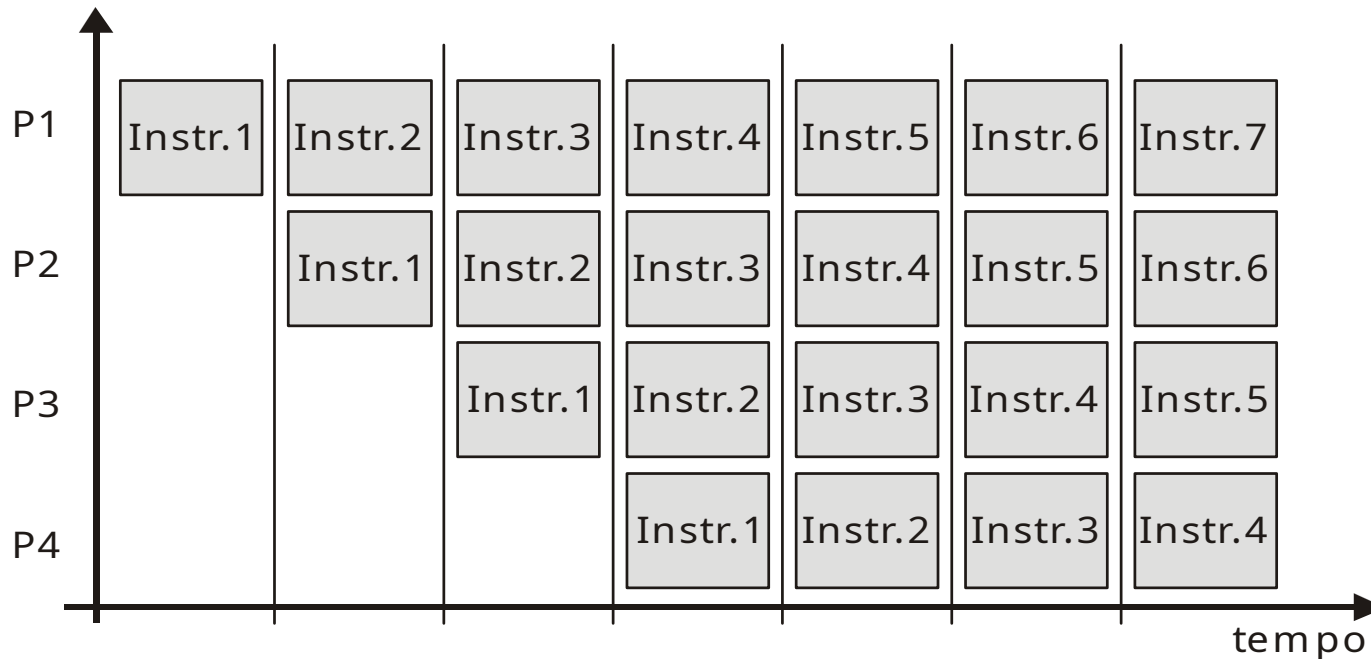
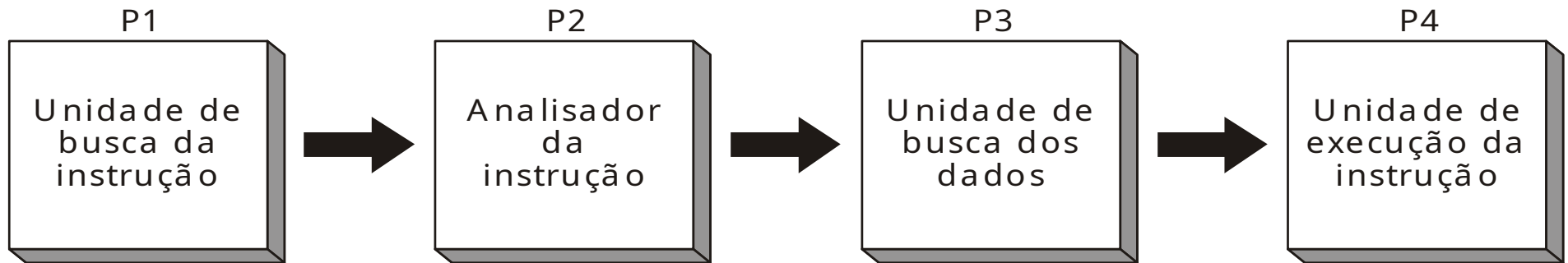
Alguns dos componentes de um computador pessoal simples



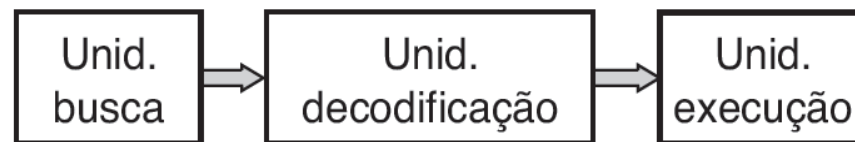


- Registradores de uso específico
 - IP – Instruction Pointer ou apontador de instruções
 - SP – Stack Pointer ou apontador de pilha
 - PSW – Program Status Word

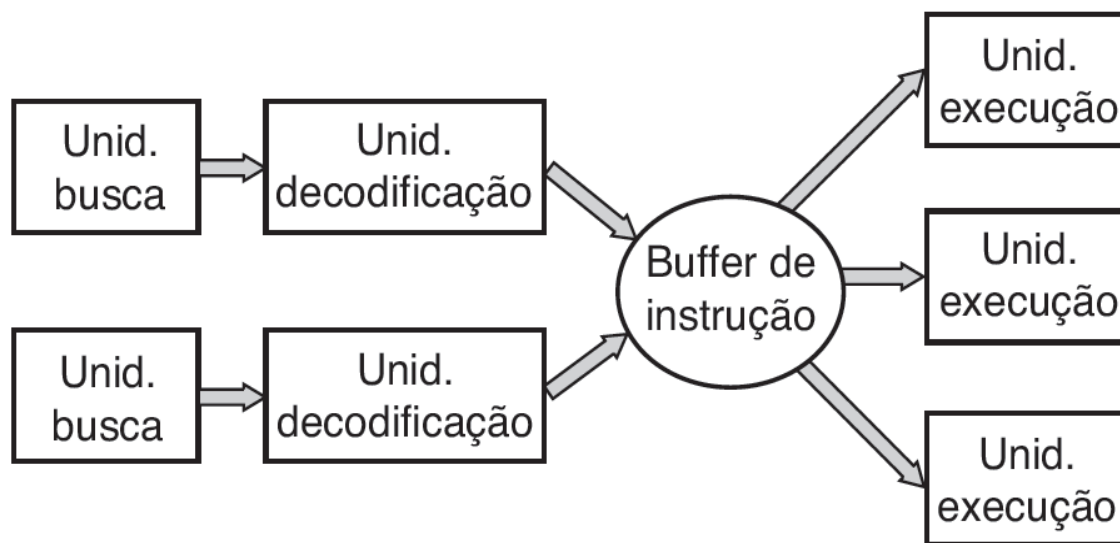
Arquitetura Pipeline de 4 Estágios



Pipeline e Superescalar



(a)



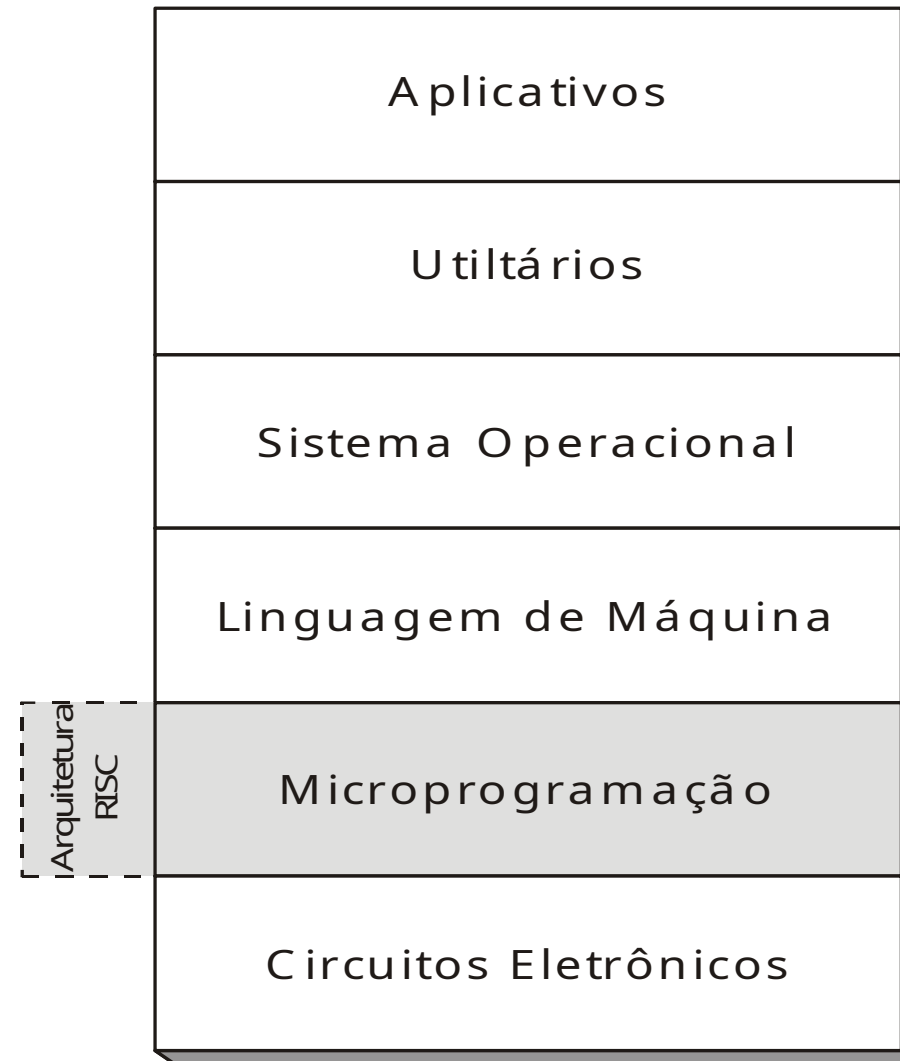
(b)

Figura 1.7 (a) Um processador com pipeline de três estágios. (b) Uma CPU superescalar.

Arquitetura RISC x Arquitetura CISC

Arquitetura RISC	Arquitetura CISC
Poucas instruções	Muitas instruções
Instruções executadas pelo hardware	Instruções executadas pelo microcódigo
Instruções com formato fixo	Instruções com diversos formatos
Instruções que utilizam poucos ciclos de máquina	Instruções que utilizam múltiplos ciclos de máquina
Instruções com poucos modos de endereçamento	Instruções com diversos modos de endereçamento
Arquitetura com muitos registradores	Arquitetura com poucos registradores
Arquitetura pipelining	Pouco uso da técnica de pipelining

Arquitetura RISC x Arquitetura CISC



Análise de Desempenho

- Tempo de CPU = número de ciclos de clock x ciclo de clock para execução do programa

Considerando que a frequência de clock é o inverso do ciclo:

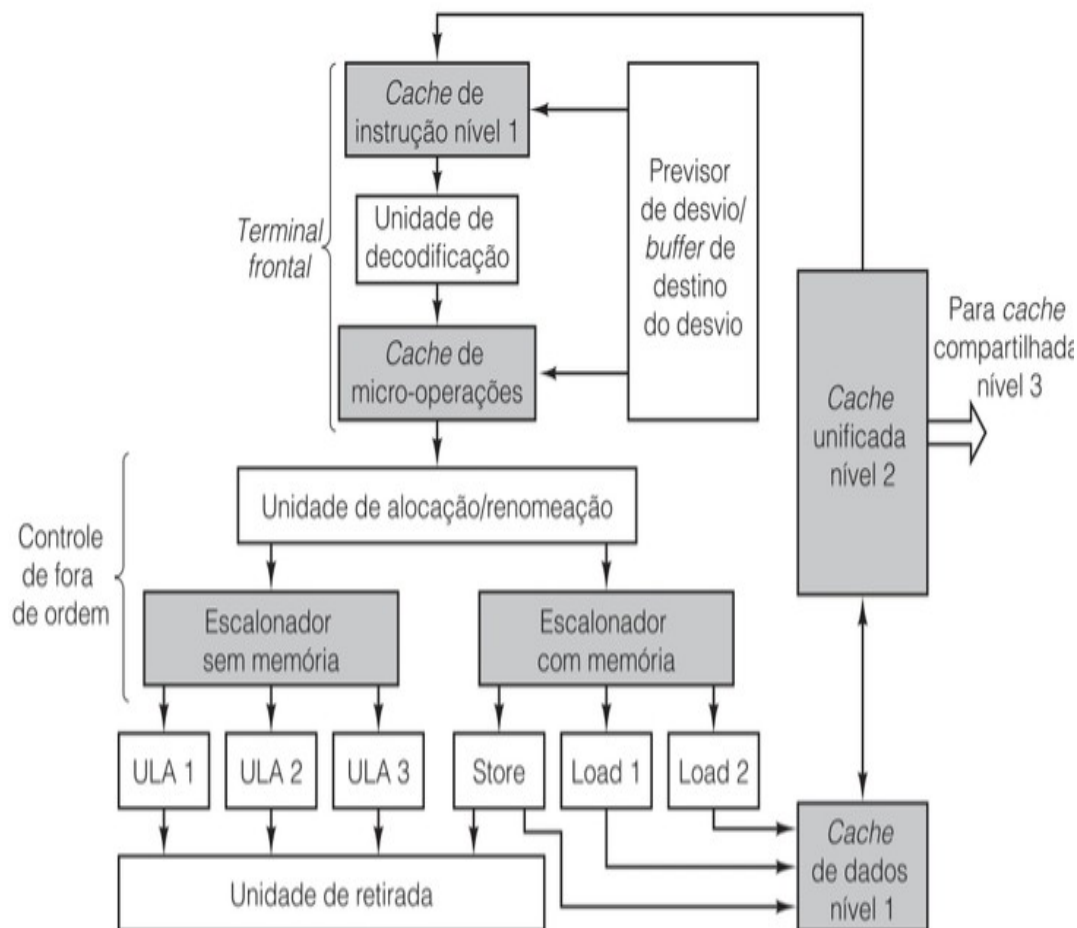
- Tempo de CPU = ciclo de clock para execução do programa / frequência de clock

Análise de Desempenho

Fabricantes	Sistema	Número de processadores	SPECint95	SPECfp95
Compaq Computer	Compaq Alfa Server DS20	1	27,7	58,7
Fujitsu Limited	GP7000F Model600 300	1	19,2	30,5
Hewlett-Packard	HP9000 Model J5000	2	32,5	52,3
IBM Corporation	RISC System/6000 43P	1	4,72	3,38
Intel Corporation	Intel SE440BX motherboard (233MH)	1	9,38	7,40

Caminho de dados do Core i7

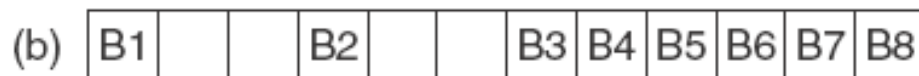
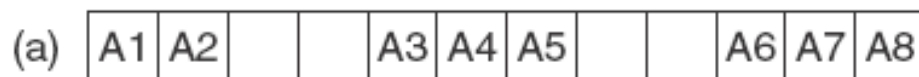
17 Visão simplificada do caminho de dados do Core i7.



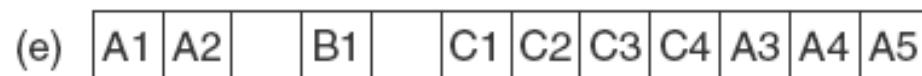
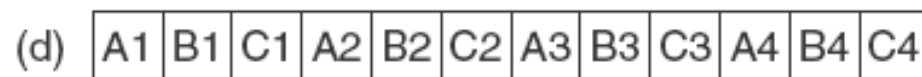
• Unidades funcionais

- ULA1 é a unidade de multiplicação de ponto flutuante
- ULA2 é a unidade de adição/subtração de ponto flutuante
- ULA3 é a unidade de processamento de desvio e comparação de ponto flutuante
- Instruções store
- Instruções load1
- Instruções load2

Multithreading no chip



Ciclo →



Ciclo →

- (a)-(c) Três threads. Os retângulos vazios indicam que o thread parou esperando por memória

- (d) Multithreading de granulação fina.
- (e) Multithreading de granulação grossa

Multithreading no chip

A1	B1	C1	A3	B2	C3	A5	B3	C5	A6	B5	C7
A2		C2	A4		C4		B4	C6	A7	B6	C8

Ciclo →

(a)

A1	B1	C1	C3	A3	A5	B2	C5	A6	A8	B3	B5
A2		C2	C4	A4			C6	A7		B4	B6

Ciclo →

(b)

A1	B1	C2	C4	A4	B2	C6	A7	B3	B5	B7	C7
A2	C1	C3	A3	A5	C5	A6	A8	B4	B6	B8	C8

Ciclo →

(c)

- Multithreading em uma CPU superescalar de emissão dual.
- (a) Multithreading de granulação fina.
- (b) Multithreading de granulação grossa.
- (c) Multithreading simultâneo.

Chips Multitarefa e Multinúcleo

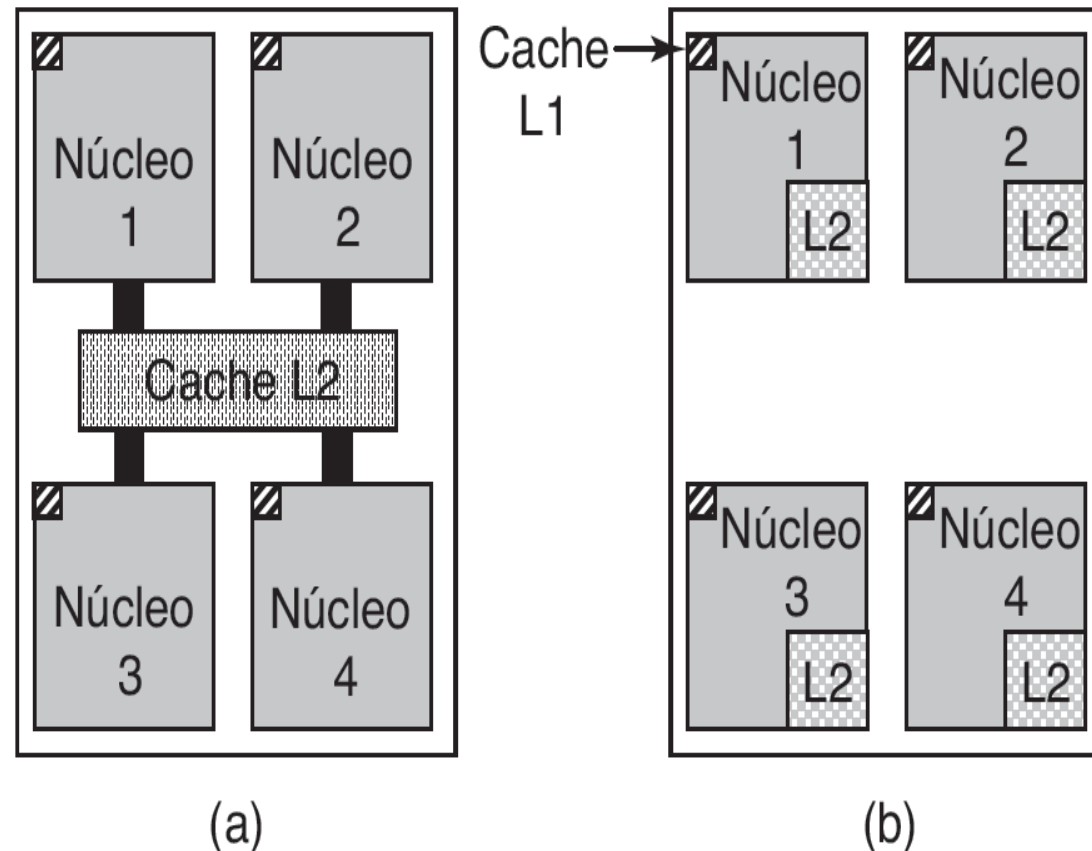
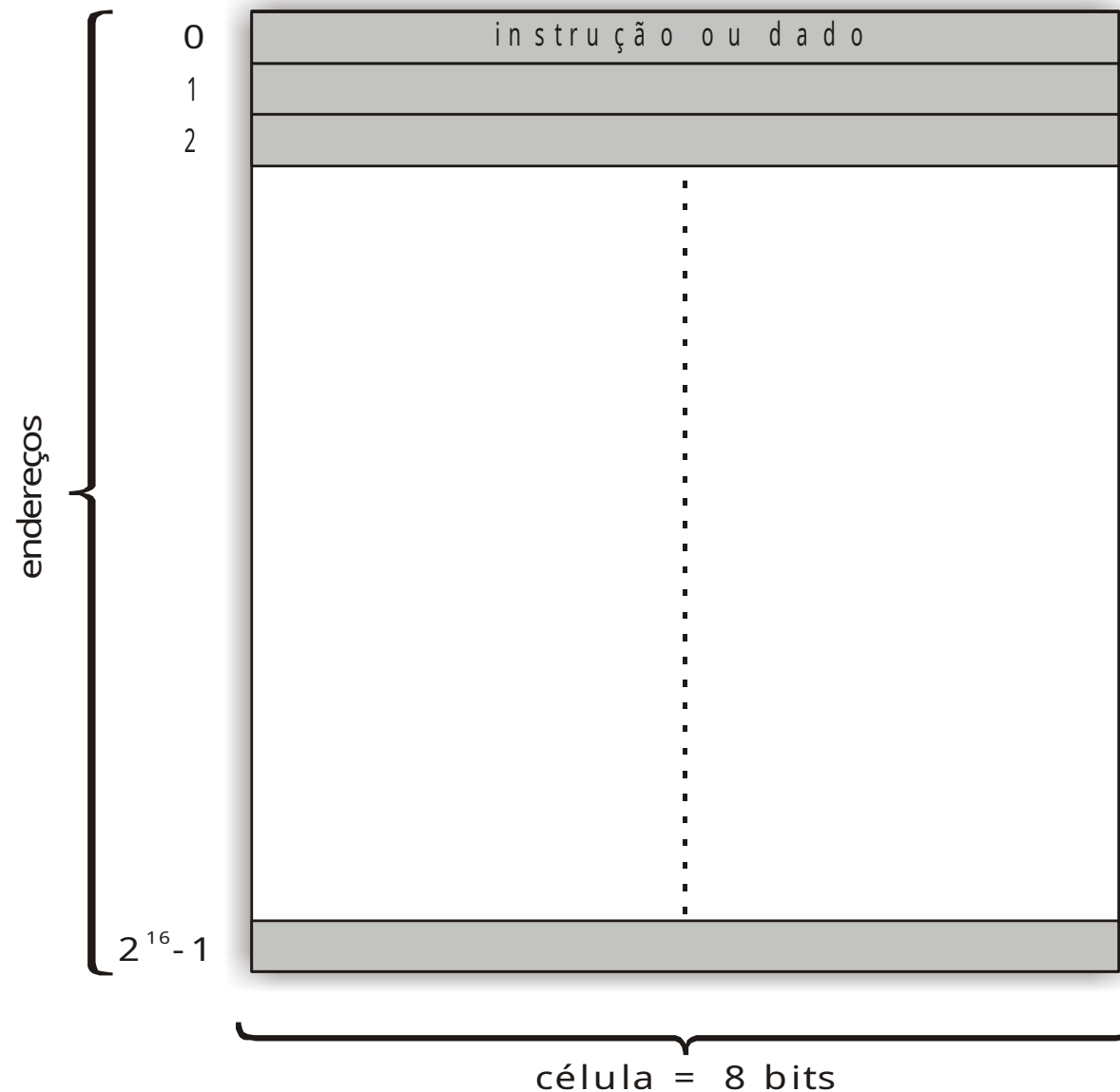
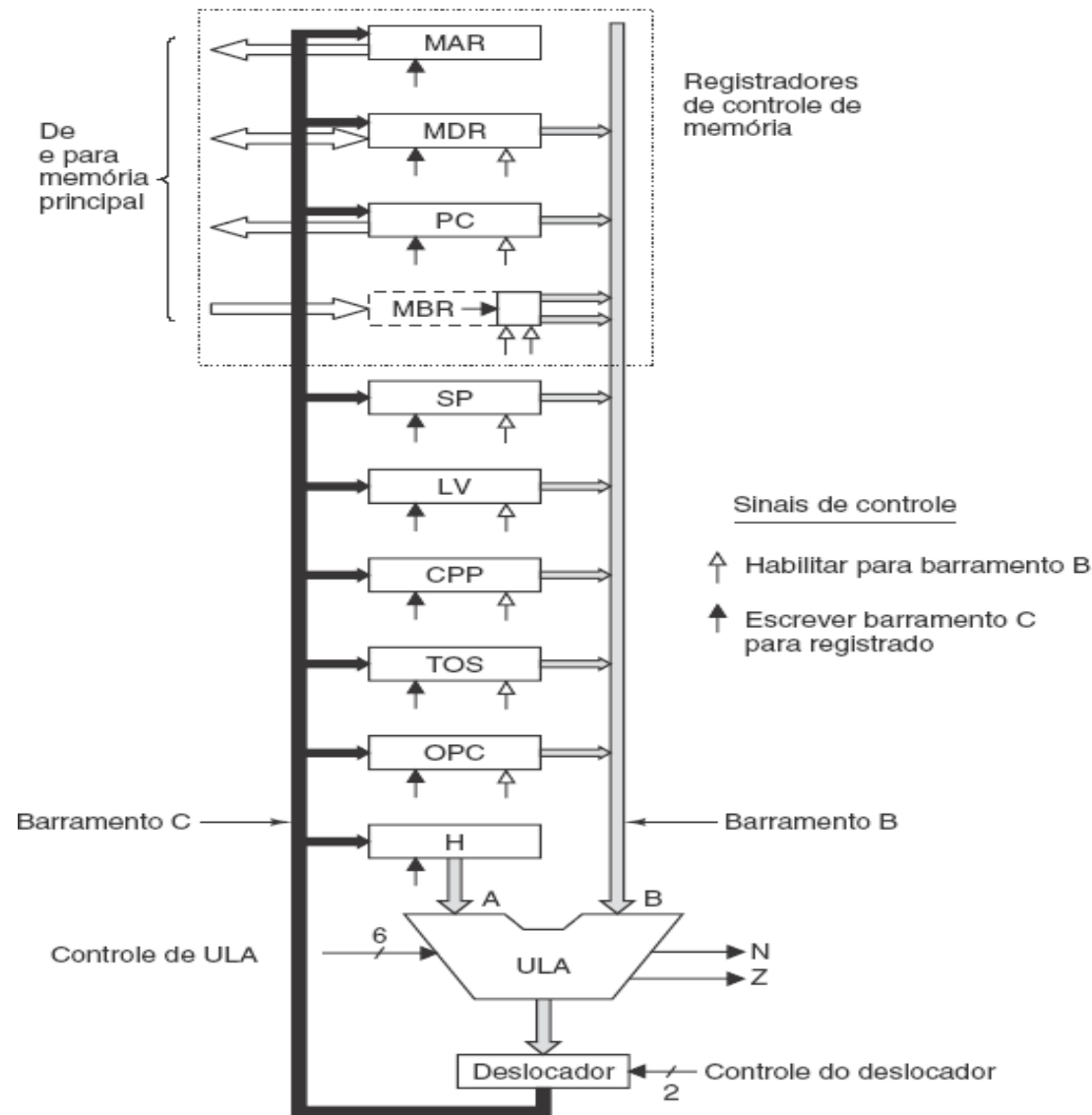


Figura 1.8 (a) Chip quad-core com uma cache L2 compartilhada. (b) Um chip quad-core com caches L2 separadas.

Memória Principal com 64 Kbytes



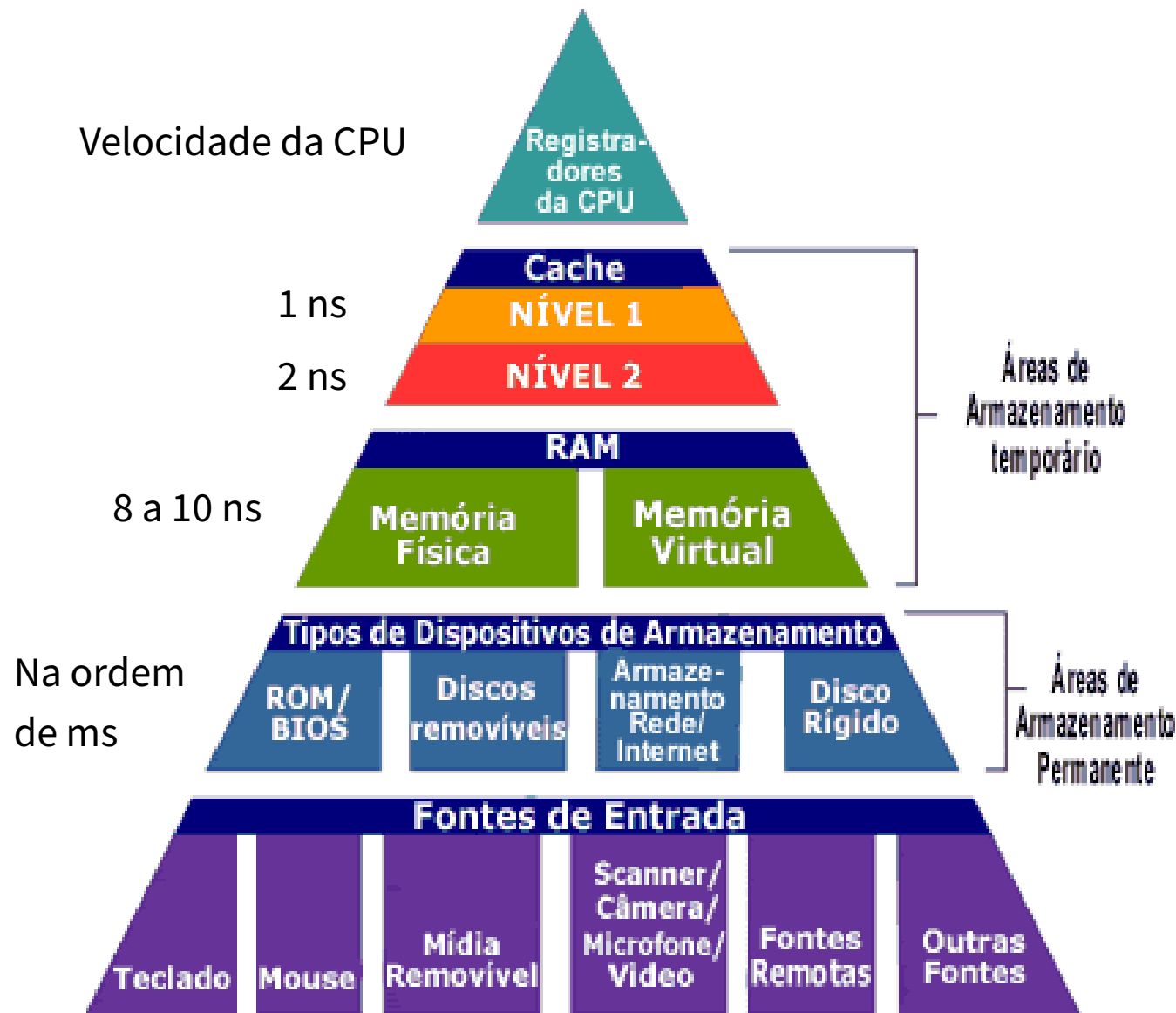
Via de dados



Ciclo de leitura e gravação

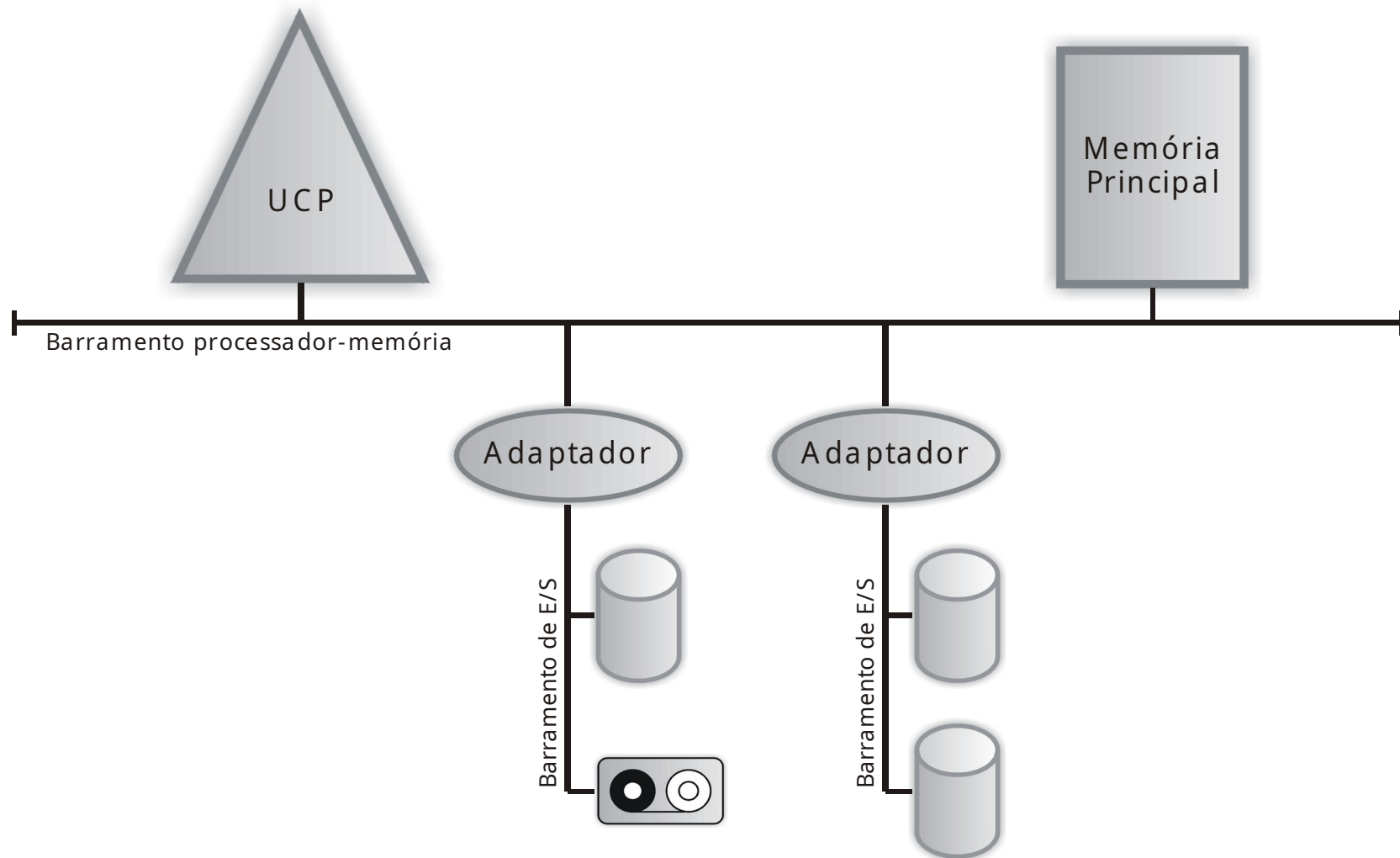
Operação de leitura	Operação de escrita
<ol style="list-style-type: none">1. A CPU armazena no MAR o endereço.2. A CPU gera um sinal de controle para a memória principal, indicando que uma operação de leitura deve ser realizada.3. O conteúdo da(s) célula(s), identificada(s) pelo endereço contido no MAR, é transferido para o MDR.4. O conteúdo do MDR é transferido para um registrador da CPU.	<ol style="list-style-type: none">1. A CPU armazena no MAR o endereço da célula que será gravada.2. A CPU armazena no MDR a informação que deverá ser gravada.3. A CPU gera um sinal de controle para a memória principal, indicando que uma operação de gravação será realizada.4. A informação contida no MDR é transferida para a célula de memória endereçada pelo MAR.

Relação entre Dispositivos de Armazenamento

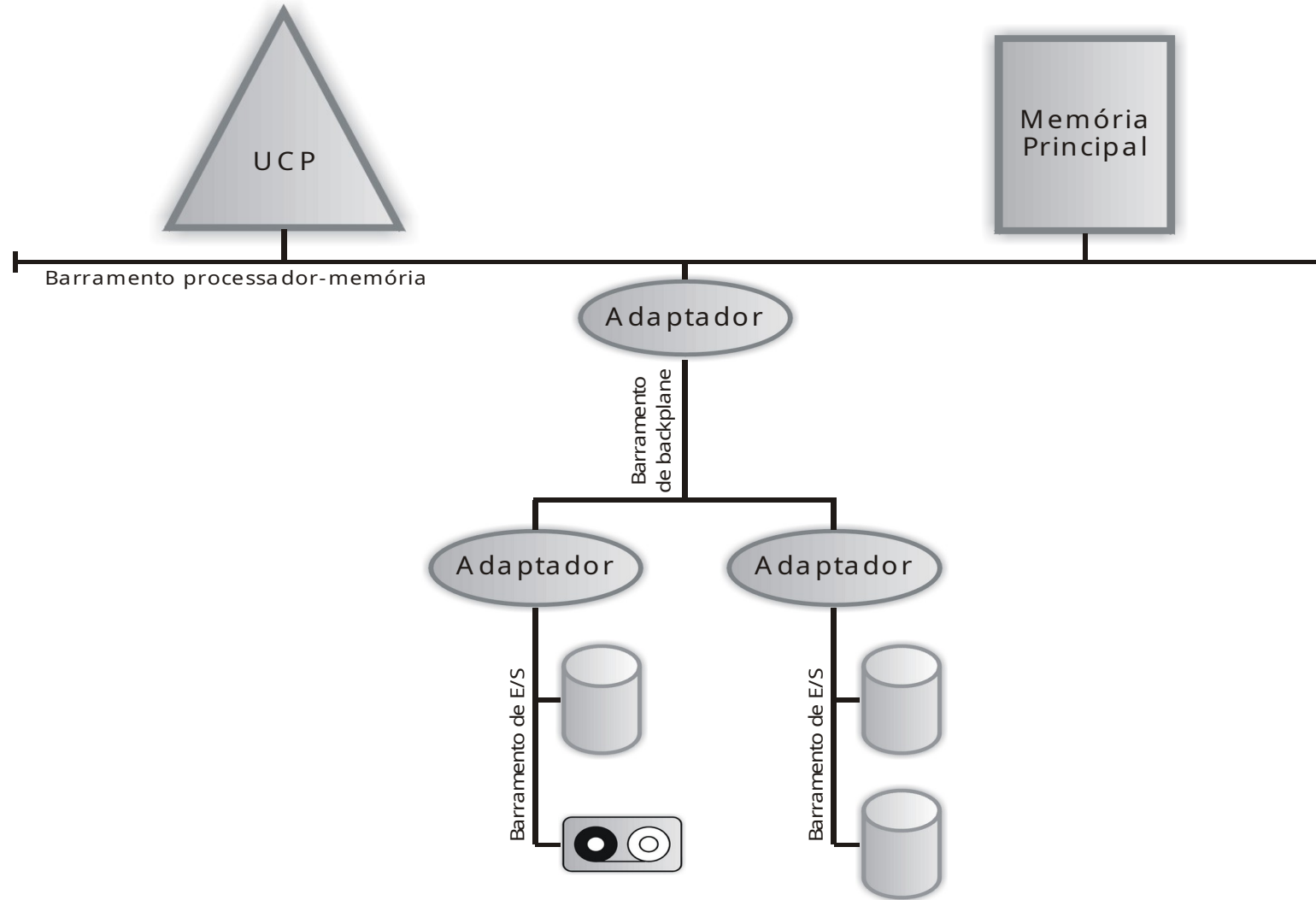


SSD entram na categoria de armazenamento e estão na casa de μ s

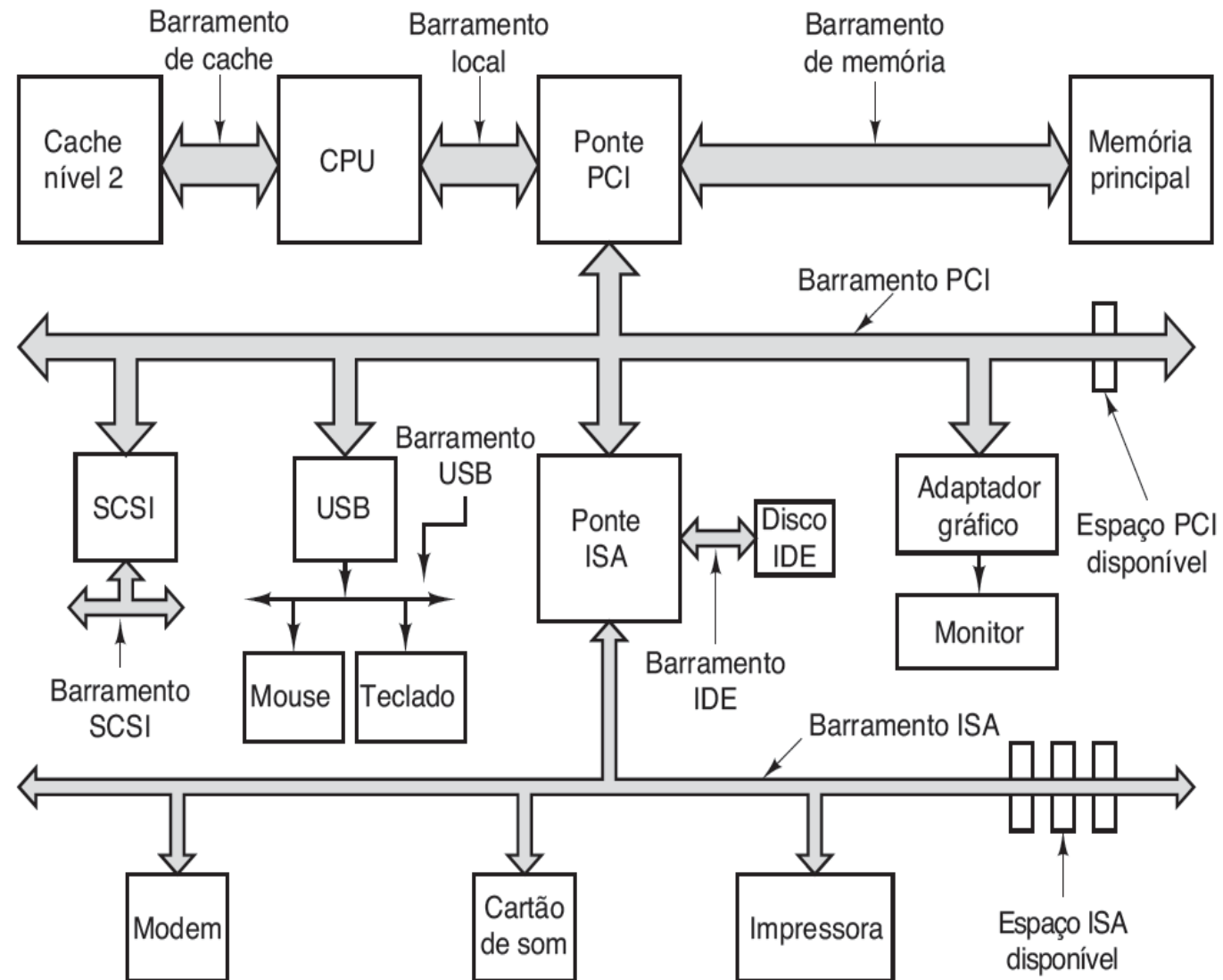
Barramento Processador-Memória e E/S



Barramento de Backplane

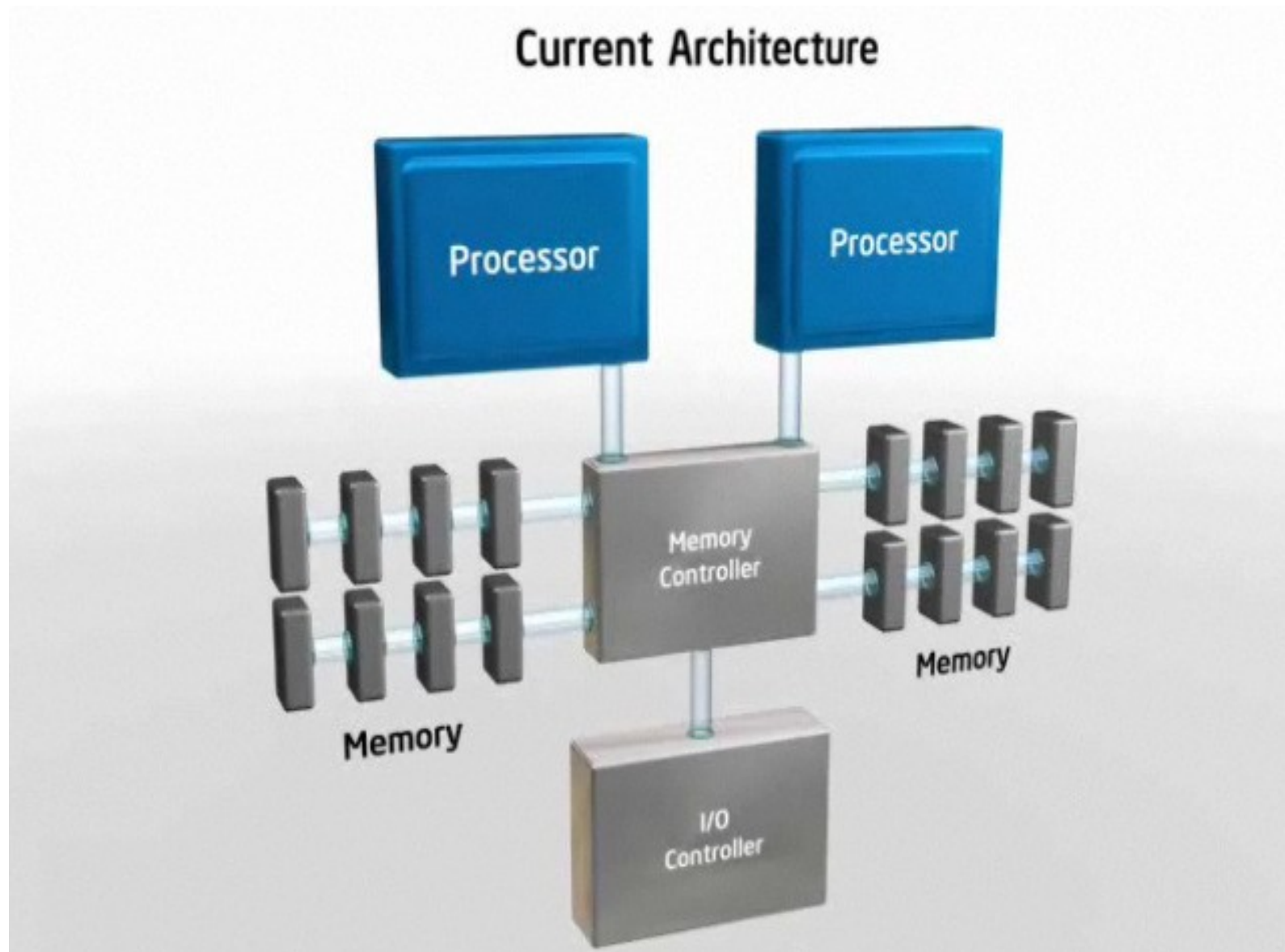


Barramento de um Pentium

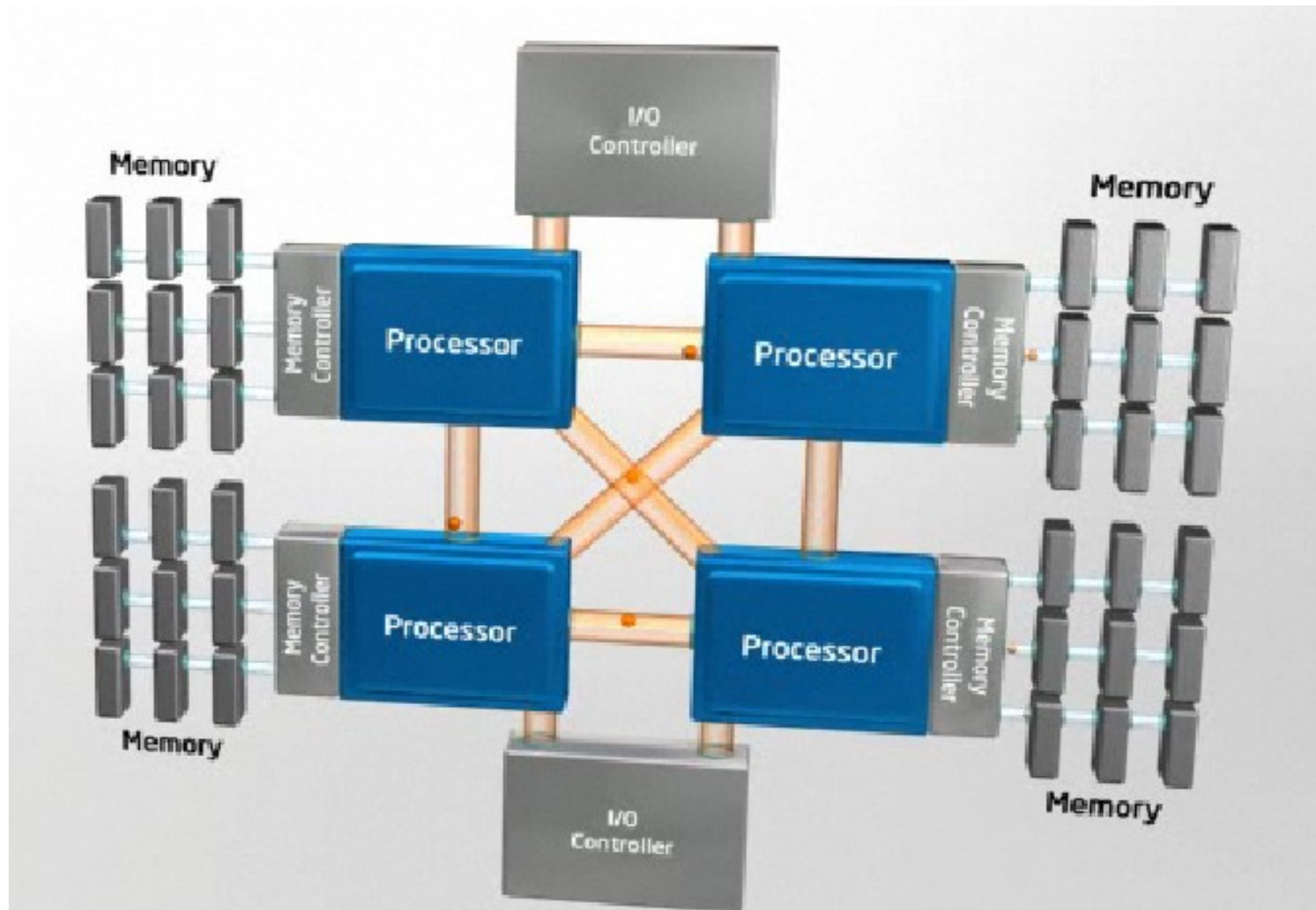


■ **Figura 1.12** A estrutura de um sistema Pentium grande.

Arquitetura de Barramento

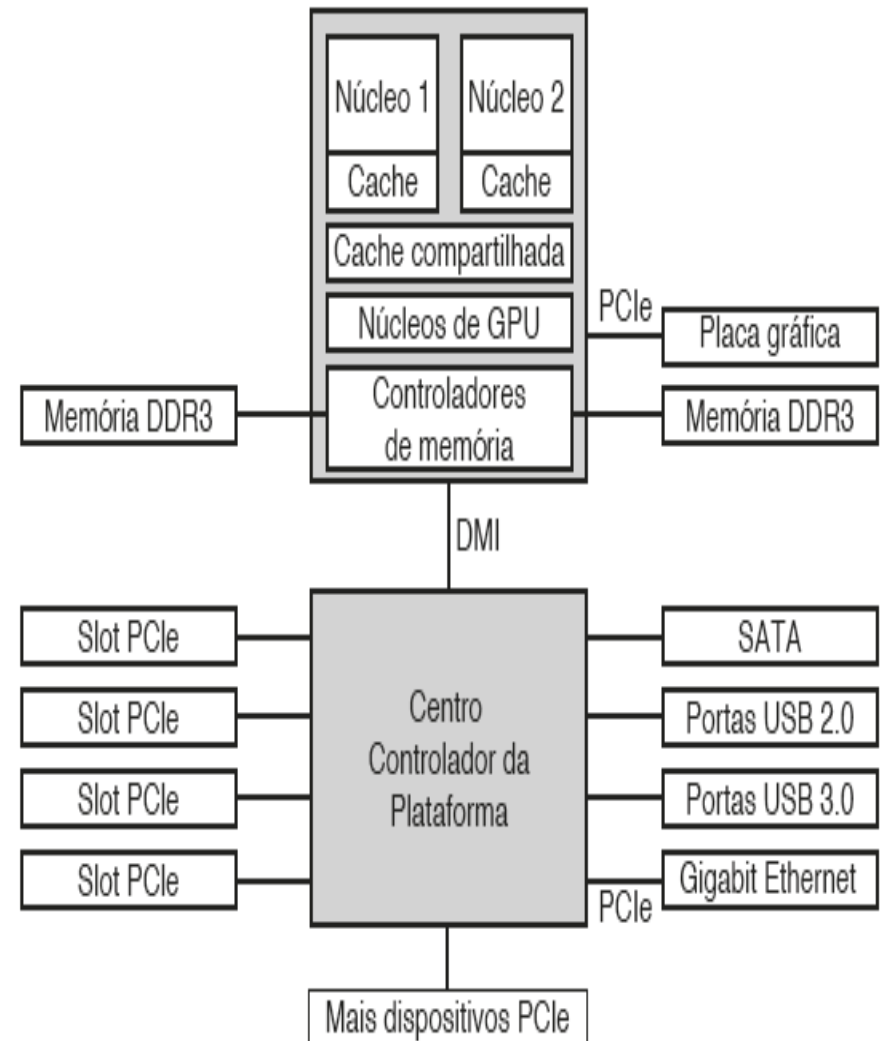


Arquitetura de Barramento



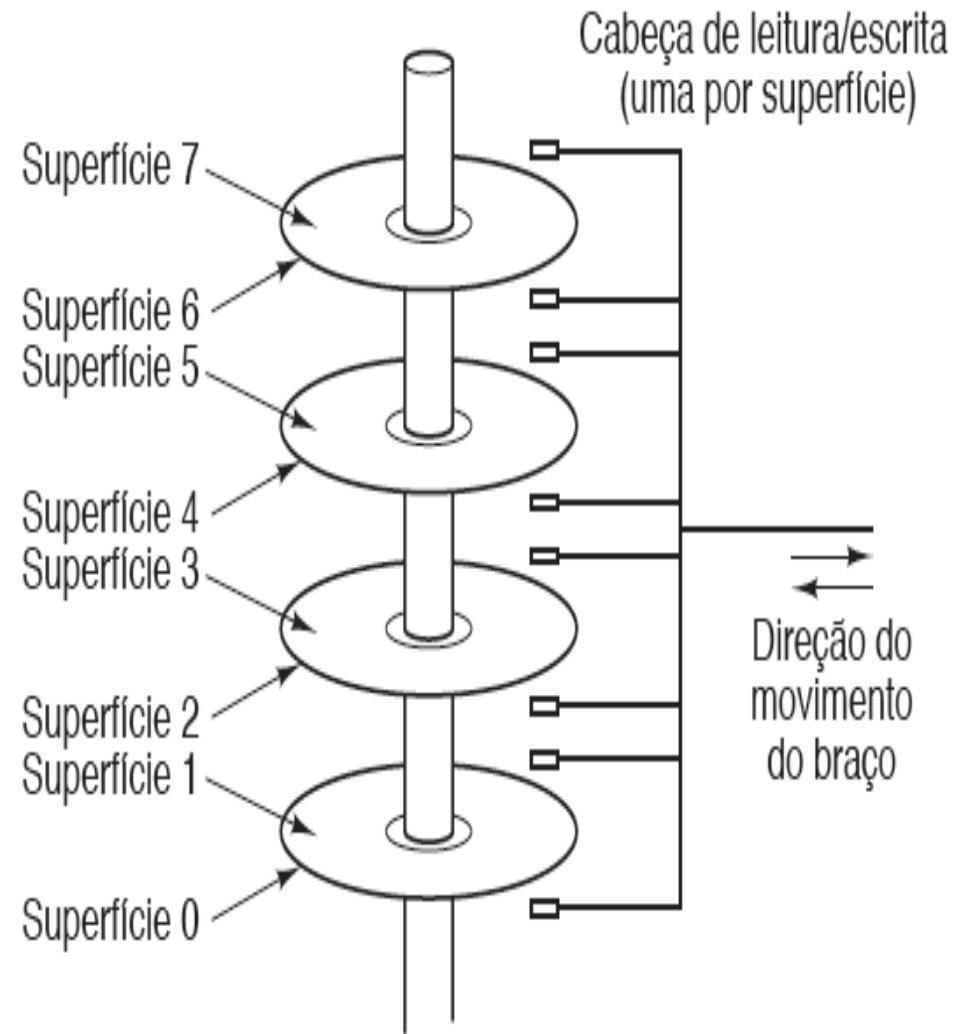
Arquitetura de Barramento

- Barramentos: à medida que os processadores e as memórias foram ficando mais rápidos, a capacidade de um único barramento de lidar com todo o tráfego foi exigida até o limite. Barramentos adicionais foram acrescentados, tanto para dispositivos de E/S mais rápidos quanto para o tráfego CPU para memória.



Discos

- Discos: um disco consiste em um ou mais pratos metálicos que rodam a 5.400, 7.200, 10.800 RPM, ou mais. Um braço mecânico move-se sobre esses pratos a partir da lateral, como o braço de toca-discos de um velho fonógrafo de 33 RPM para tocar discos de vinil.



Interrupção

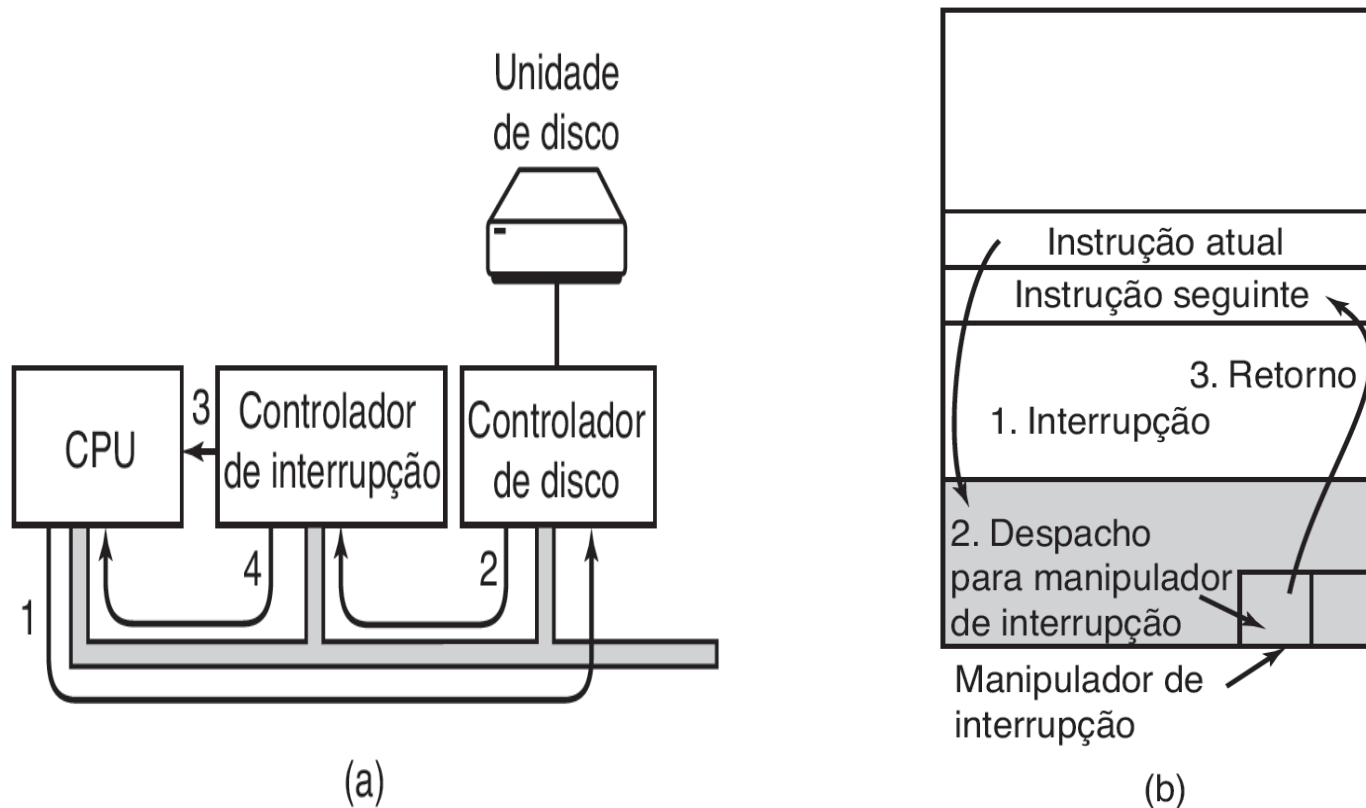
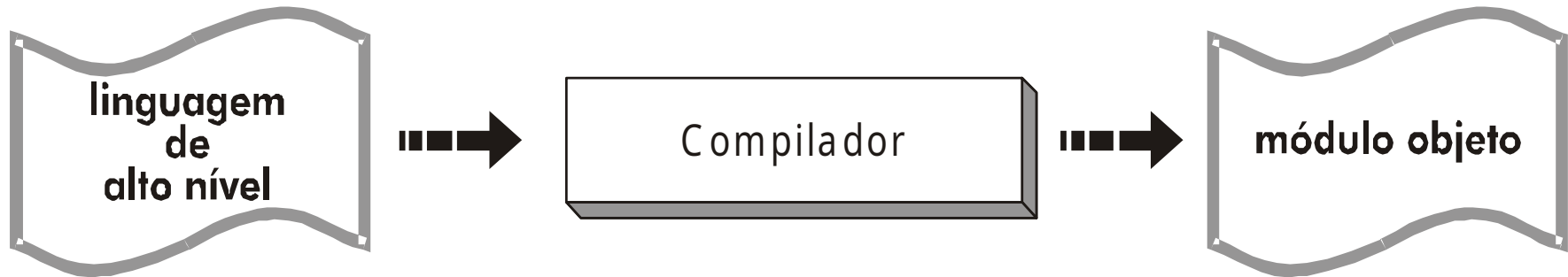
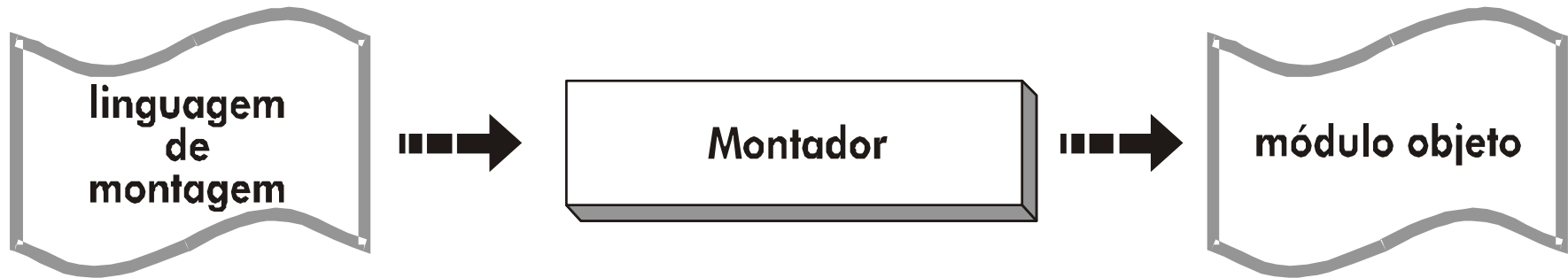
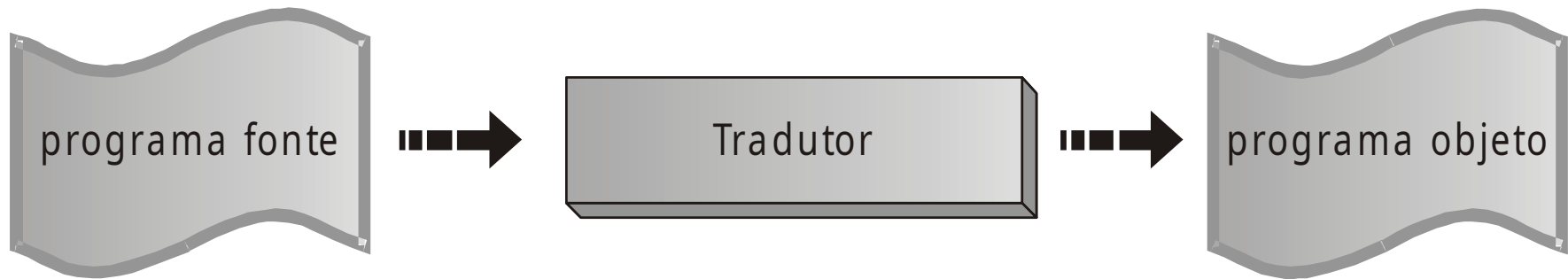
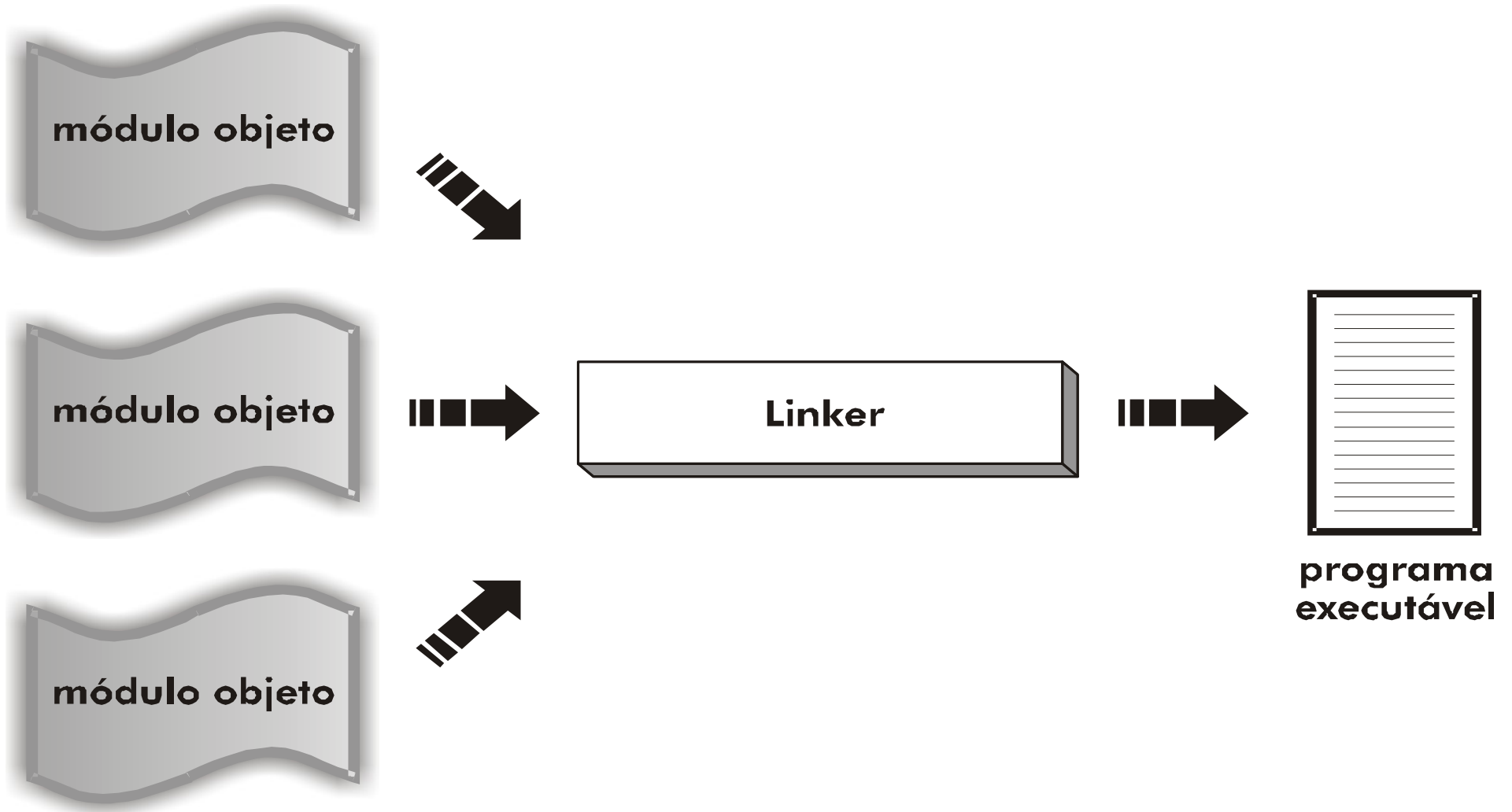


Figura 1.11 (a) Passos ao inicializar um dispositivo de E/S e obter uma interrupção. (b) O processamento da interrupção envolve fazer a interrupção, executar o manipulador de interrupção e retornar ao programa de usuário.

Tradutor



Linker



Loader e Debugger

- Carregador (Loader)
 - Carregador – é o utilitário responsável por carregar na memória principal o programa para ser executado
- Depurador (Debugger)
 - Programa com recursos para correção de erros de lógica

Dúvidas?