

Введение в архитектуру ЭВМ
Чернов Александр Владимирович
к. ф.-м. н.

blackav@gmail.com

О лекциях

- Предварительные лекции для курса «Операционные системы»
 - Современные аппаратные средства компьютеров
 - Программная модель аппаратных средств

Операционная система

- Операционная система — комплекс программ, предназначенных для управления ресурсами вычислительного устройства
- Ресурсы:
 - Процессорное время
 - Оперативная память
 - Внешние устройства
- Вычислительное устройство (компьютер)

Компьютер

- «Обывательский» взгляд: клавиатура — процессор — монитор — магия!
- Структурная схема: процессор — память — внешние устройства — less magic
- Программная модель: система команд процессора, datasheet внешних устройств — almost no magic
- Инженерная модель: электрическое устройство — all magic revealed

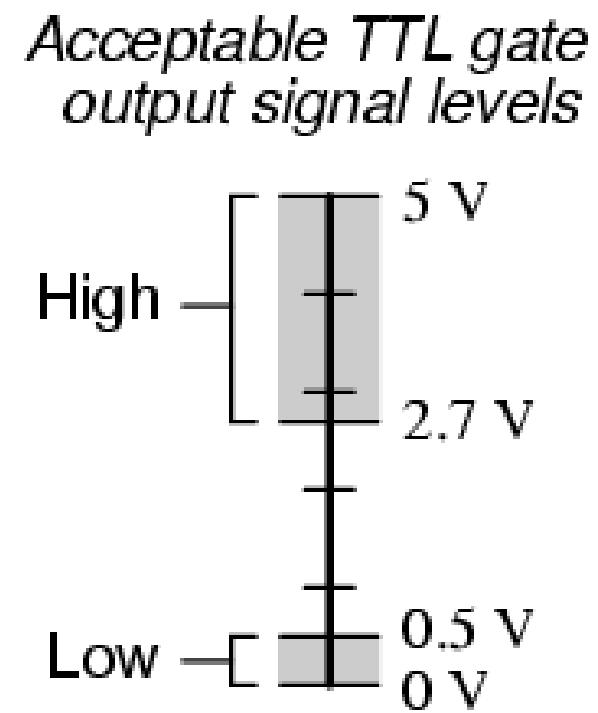
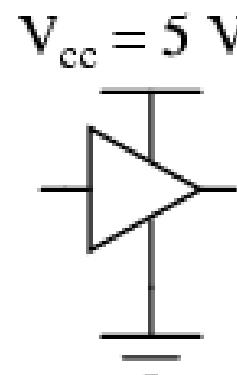
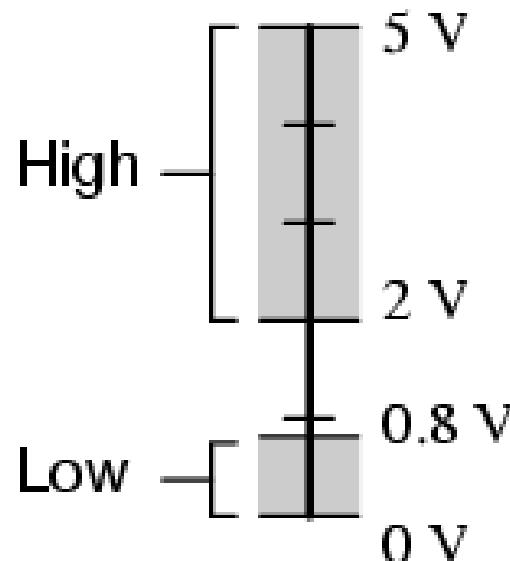
Любая достаточно развитая технология
неотличима от магии.

Электричество

- V — напряжение (вольт)
- I — ток (ампер)
- W — электрическая мощность (ватт)
- R — сопротивление (ом)
- C — емкость (фарад)
- L — индуктивность (tesla)

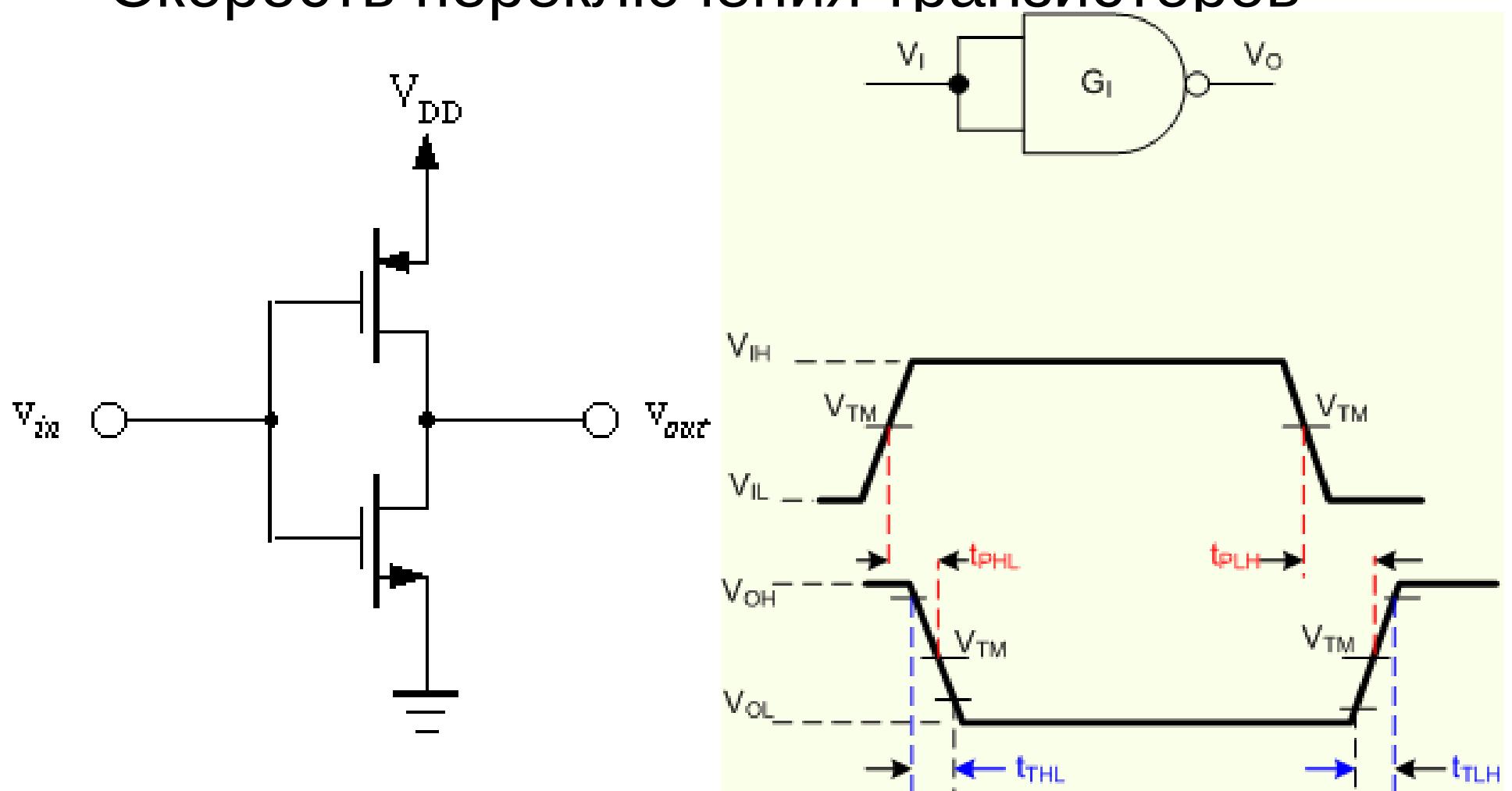
Передача сигнала

- В цифровой электронике сигнал передается изменением напряжения. Два уровня напряжения: V_0 и V_1 .
- *Acceptable TTL gate input signal levels*



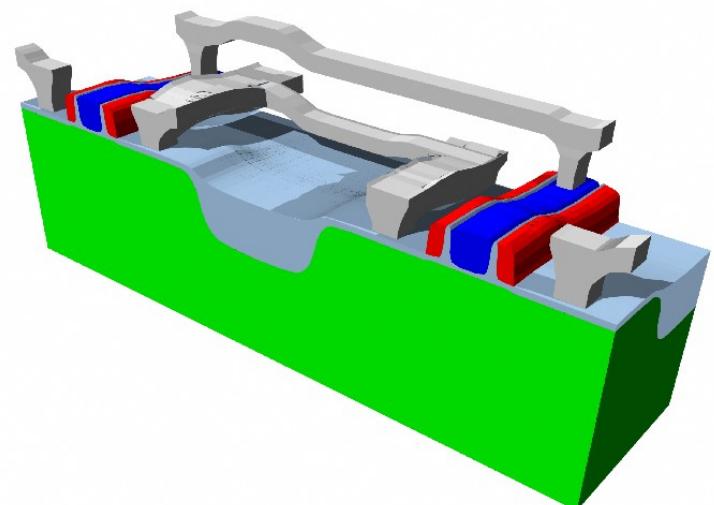
Задержка распространения (propagation delay)

- Скорость передачи ЭМ сигнала в носителе
- Скорость переключения транзисторов



Характеристики инвертера

- T_f — время падения напряжения на выходе от «1» до «0»:
 - $T_f \sim k_1 * C / V$
 - Рассеиваемая мощность:
 - $W \sim k_2 * C * V^2 * f$



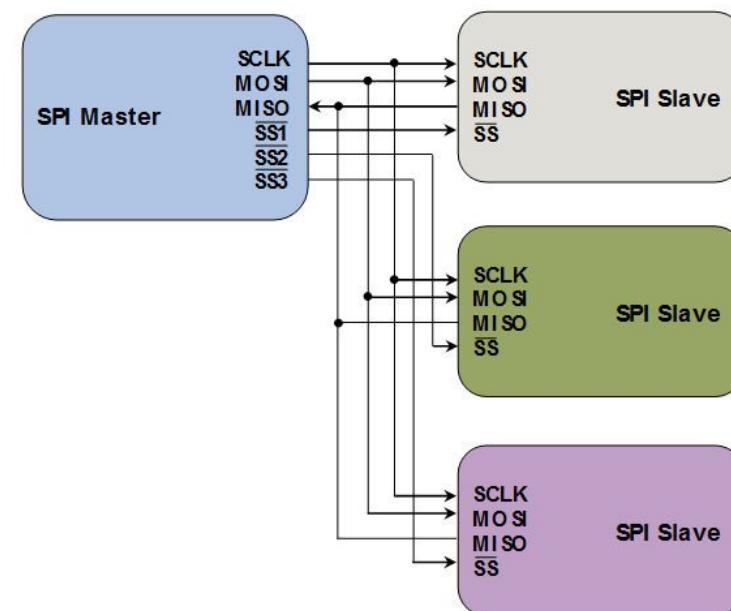
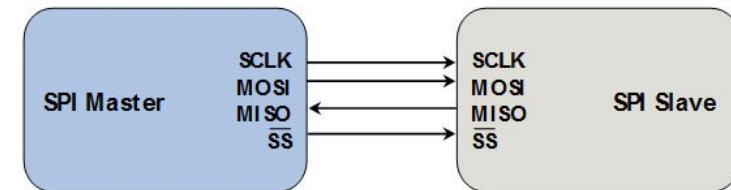
Подключение компонентов

- Point-to-point: RJ45 Ethernet, RS232, SPI

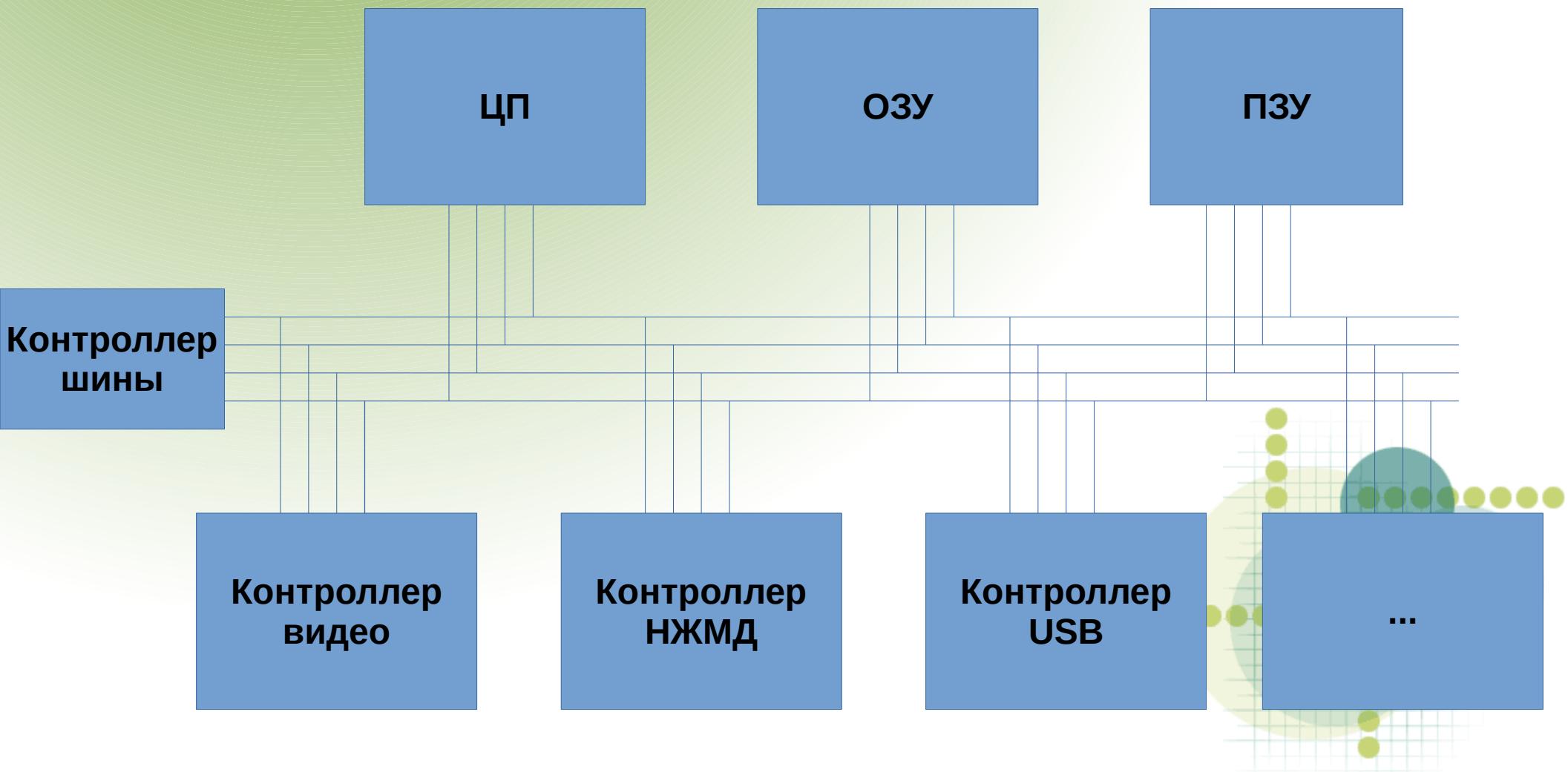
- RX, TX разведены
 - Асинхронные
 - Гальванически развязываются
 - Гибкий протокол

- Но!
 - +1 провод на устройство
 - последовательный

Figure 1 : Two SPI busses topologies. The upper figure shows a SPI master connected to a single slave (point-to-point topology). The lower figure shows a SPI master connected to multiple slaves.



Шина (Bus)

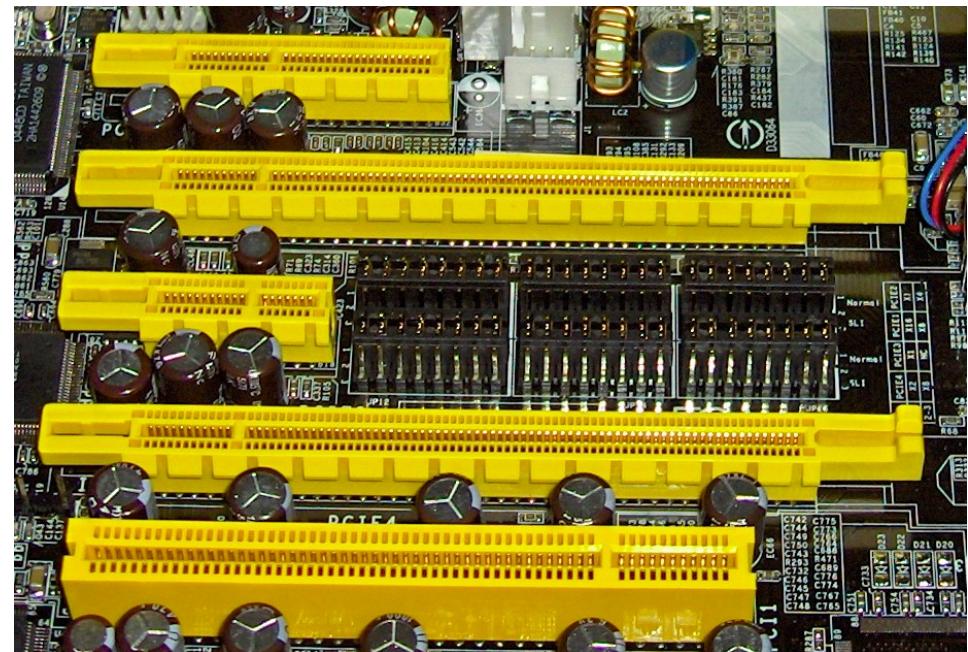


Шина

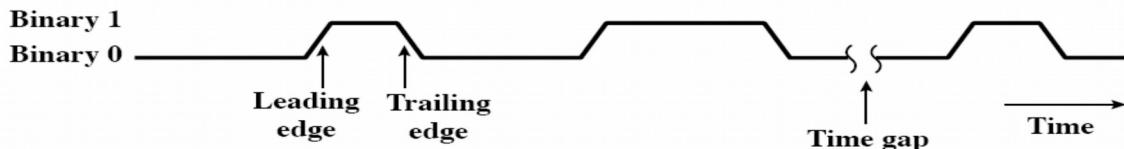
- Стандартизованный интерфейс подсоединения устройств
- Стандартизация по электричеству: напряжение, сопротивление, потребляемые токи, уровни 0 и 1
- Стандартизация по временным отрезкам (timings): тактовая частота, переходные режимы и т. д.
- Примеры: PCI, USB, SATA

Шина

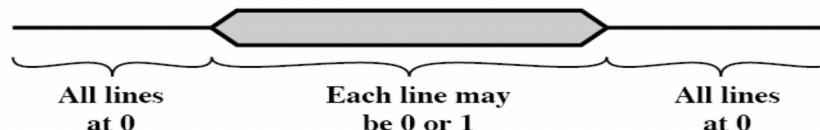
- Необходимость синхронизации (тактовые импульсы)
- Необходимость адресации устройств нашине
- Необходимость арбитража шины



Timing diagrams



(a) Signal as a function of time



(b) Groups of lines

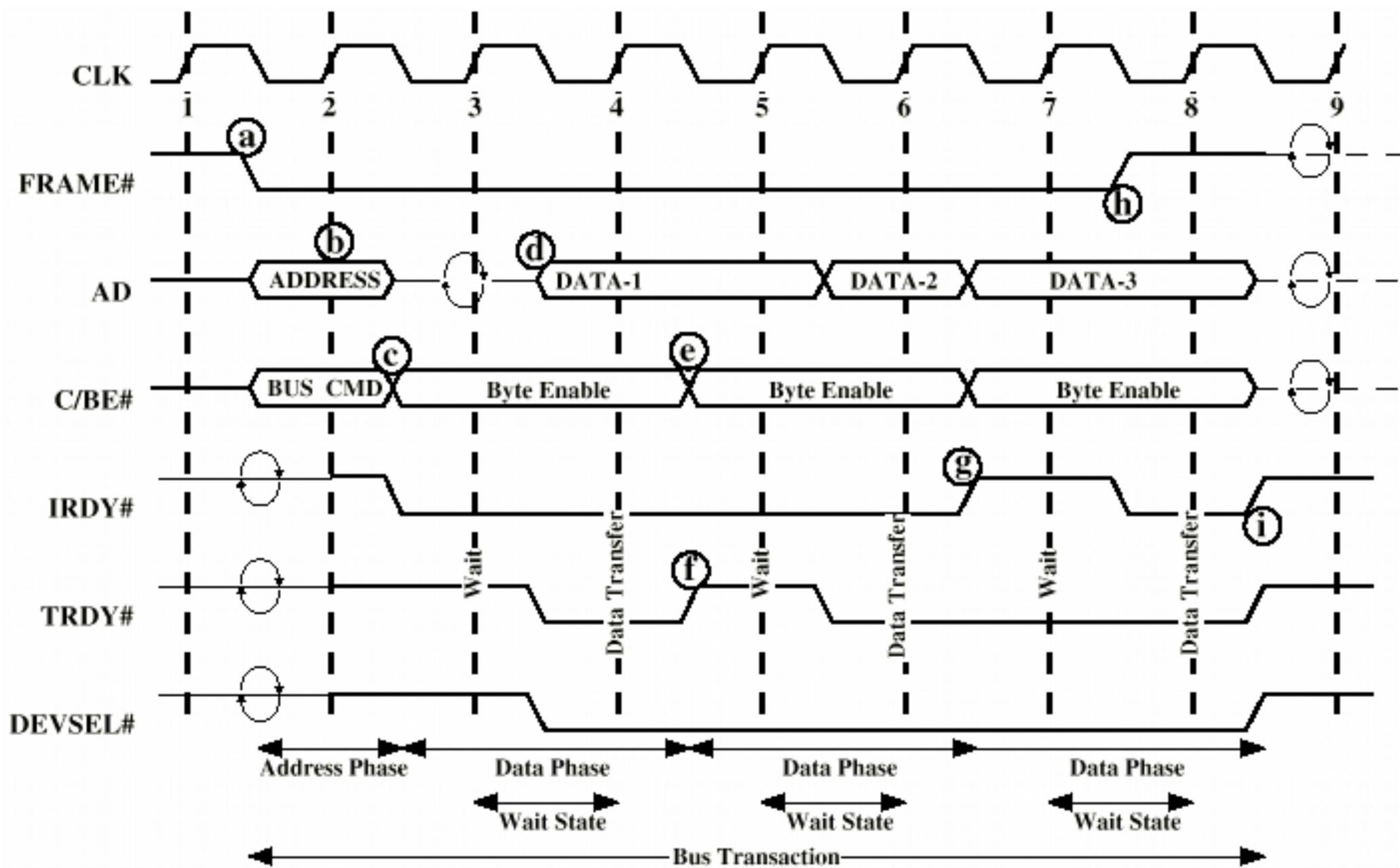


(c) Cause-and-effect dependencies



(d) Clock signal

PCI Read timing

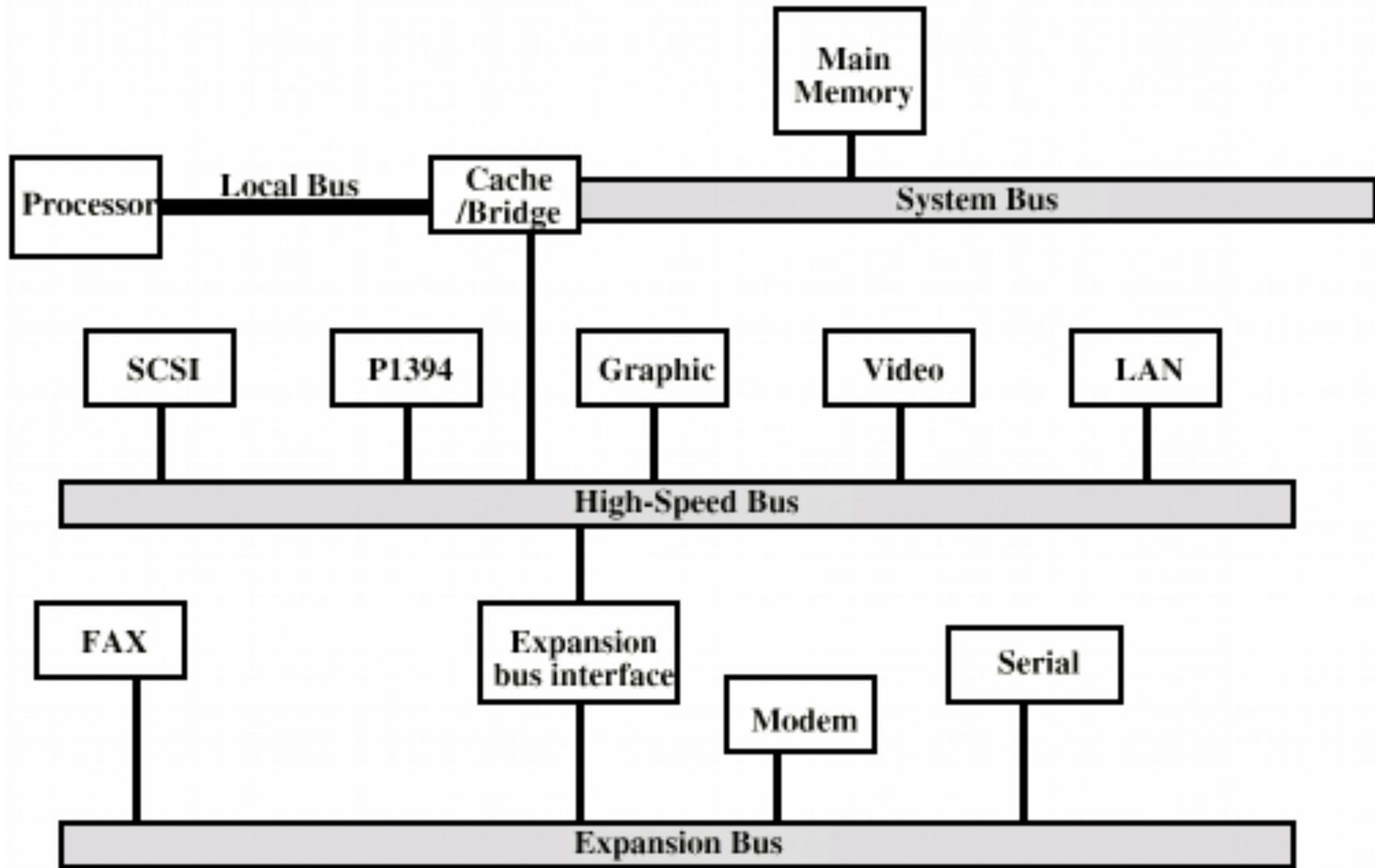


Шина: недостатки

- Быстрые и медленные устройства на однойшине: работа со скоростью медленногоустройства
- При большом количестве устройств —накладные расходы на арбитраж растут
- Электрические проблемы (помехи, и т. п.)при увеличении длины проводов
-
-

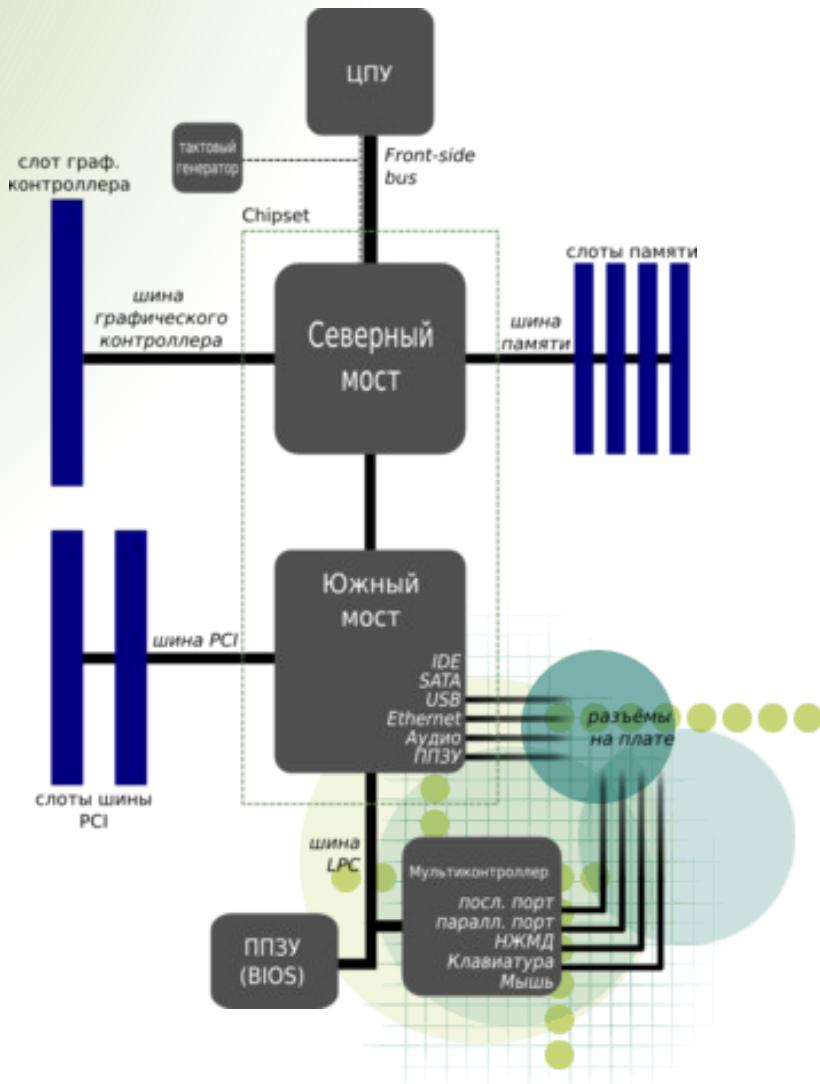
Иерархия шин

-



Современная архитектура ПС

- FSB — частота процессора
- PCIe (2.0) — 2.5 ГГц
- Шина памяти — 800 МГц
- PCI — 33 МГц

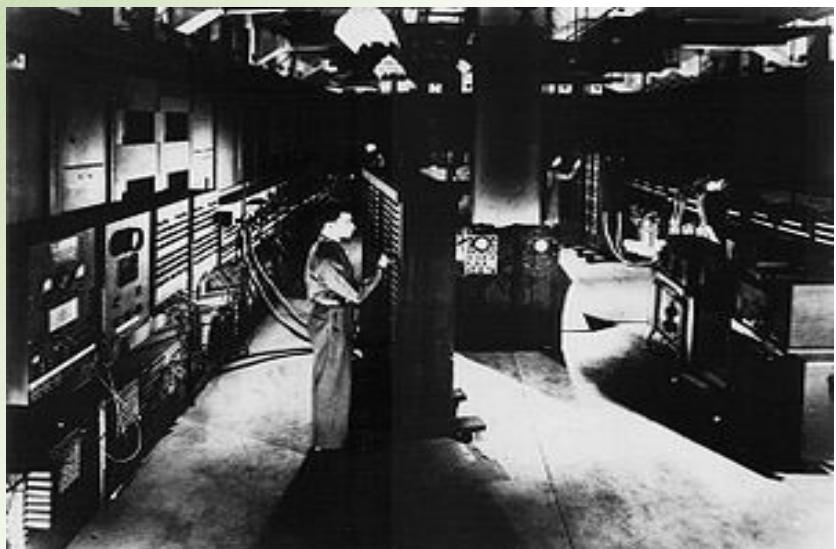


Исторический обзор

- 1-е поколение (ламповые)
- 2-е поколение (транзисторные)
- 3-е поколение (интегральные схемы)
- 4-е поколение (СБИС)

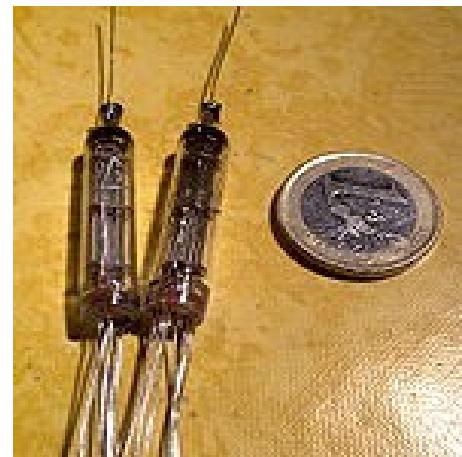
Электронные устройства: ENIAC

- 14.02.1946,
стоимость ~ \$500000,
- 17468 ламп
- 5000 оп/сек
- 1 лампа выходила из строя раз в два дня, для замены требовалось 15 мин.
- Макс. 116 часов непр. работы



ЭВМ «Стрела»

- 1953 г
- 2000 оп/с,
- 6200 ламп
- Память 2048 43-битных слова
- Ввод с перфокарт, вывод на перфокарты и принтер



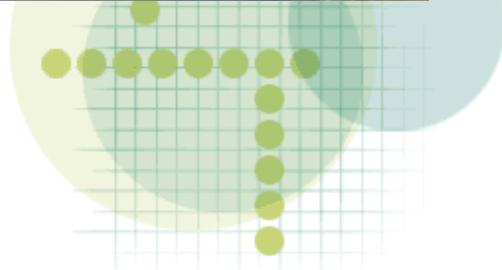
Транзисторные ЭВМ: БЭСМ-6

- 1966 г.
- Тактовая частота — 10 МГц
- Быстродействие — 1 млн. оп/сек (6 млн. оп/сек на Байконуре)
- До 32768 48-битных ячеек ОЗУ
- Выпускалась 1968-1987



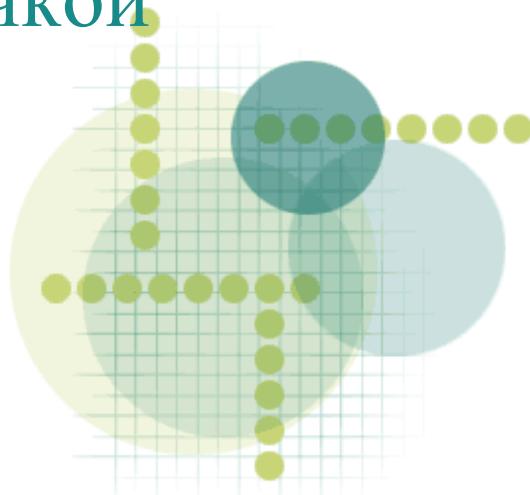
IBM/360

- Элементная база:
интегральные схемы
- Анонсирована: 7 апреля
1964 года
- Семейство ЭВМ,
совместимых по набору
инструкций и периферии
- Производительность:
0.034 — 1700 MIPS
- Память: 8 КiB — 8 MiB



Особенности IBM/360

- 8-битный байт
- Память, адресуемая по байтам, а не по словам
- 32-битные слова
- Двоичная арифметика с дополнением до 2
- Стандарт операций с плавающей точкой



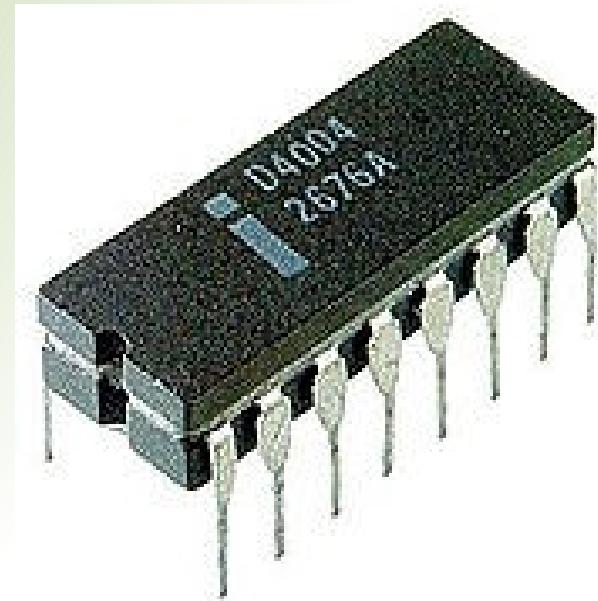
PDP-11

- Семейство Мини-ЭВМ
- Выпускалось 1970-1997
- Разрядность — 16 бит, в серии VAX — 32 бита
- Ортогональный набор инструкций
- Общая шина
- 16-битные слова хранятся в порядке младший байт, старший байт (little endian)



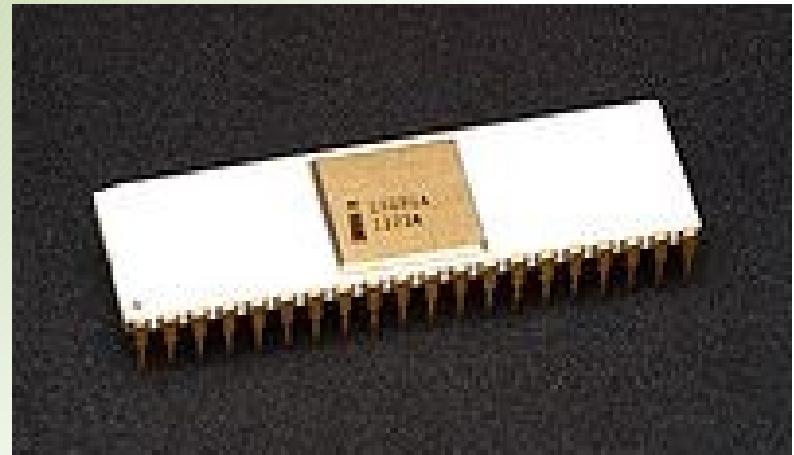
Микропроцессоры на СБИС: Intel 4004

- 1971 год
- 10 мкм (0.01 мм)
pMOS
- 2300 транзисторов
- Такт. Част. 740 Кгц
- Произв. 92 000
инстр./сек



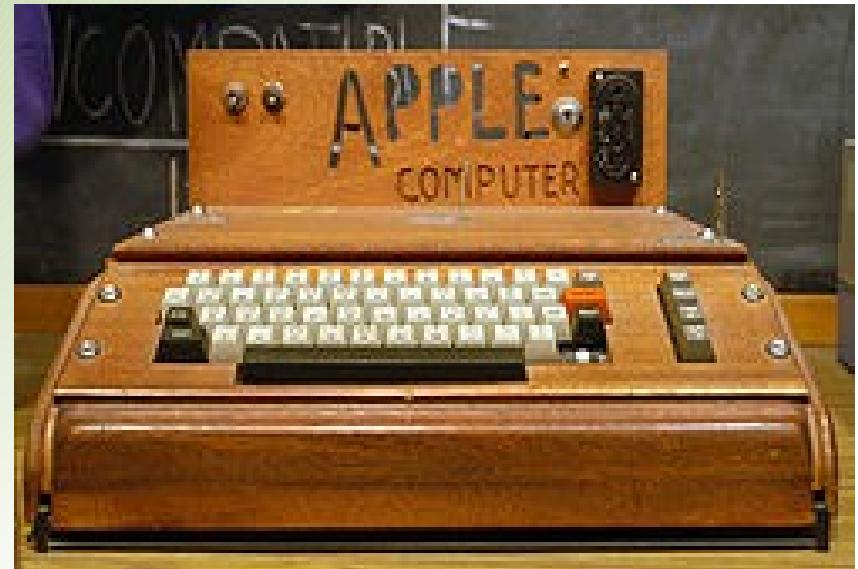
Intel 8080

- 1974 год
- Такт. Част. 2 МГц
- До 500 000 оп/сек
- Разрядность 8 бит
- ~6 000 транзисторов
- 6 мкм nMOS



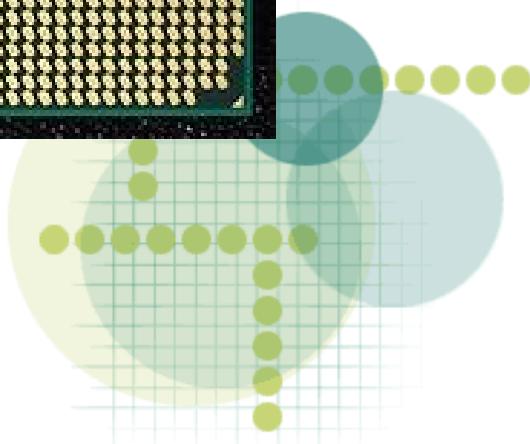
Персональные компьютеры: Apple

- 1976
- Процессор
 $6502 @ 1\text{МГц}$
- 4 Кб ОЗУ
- Экран 40x24 символа

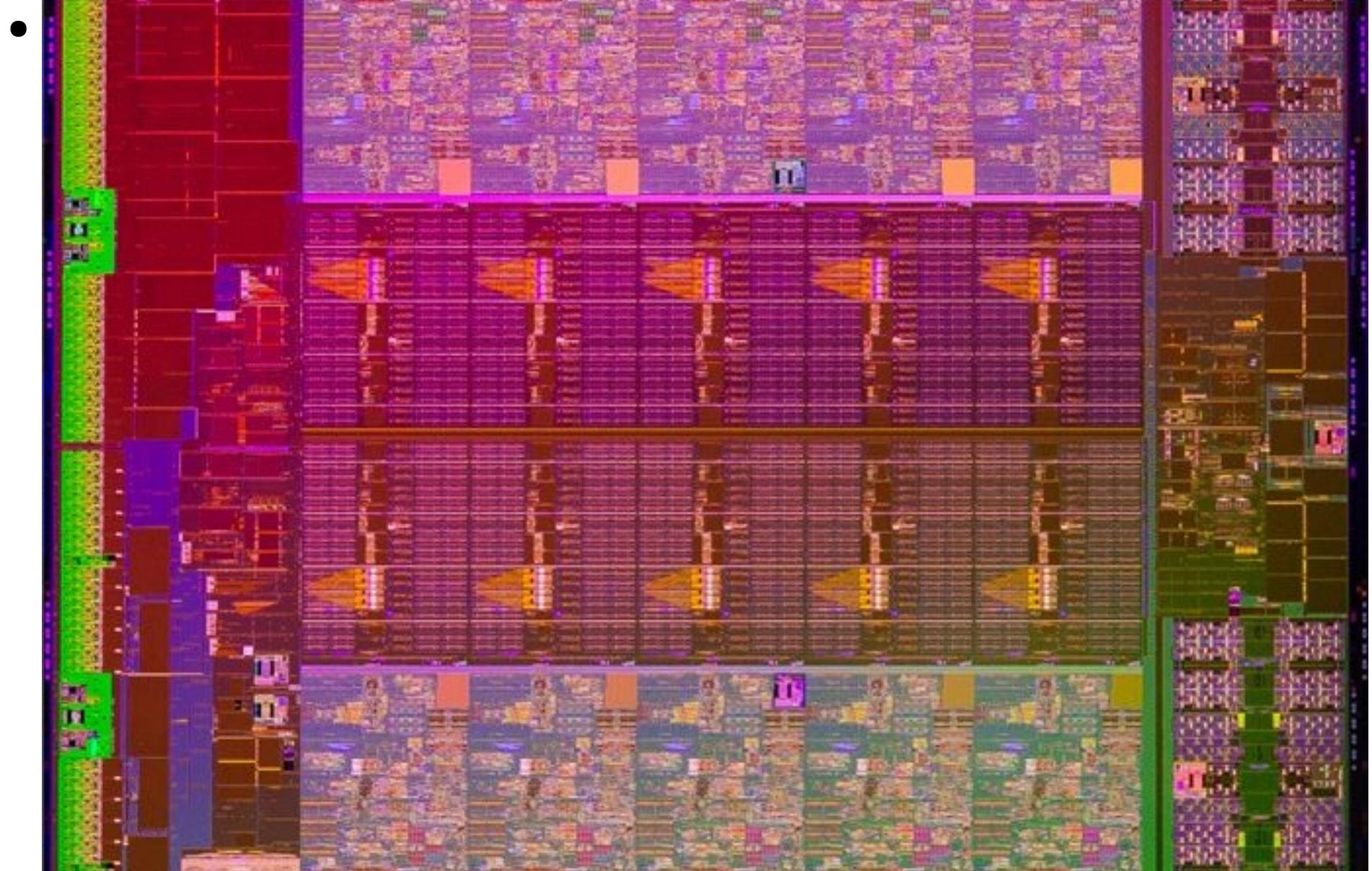


Микропроцессоры сегодня

- Intel Xeon Haswell
- Тактовая частота: 3.5 ГГц
- 5 560 000 000 транз.

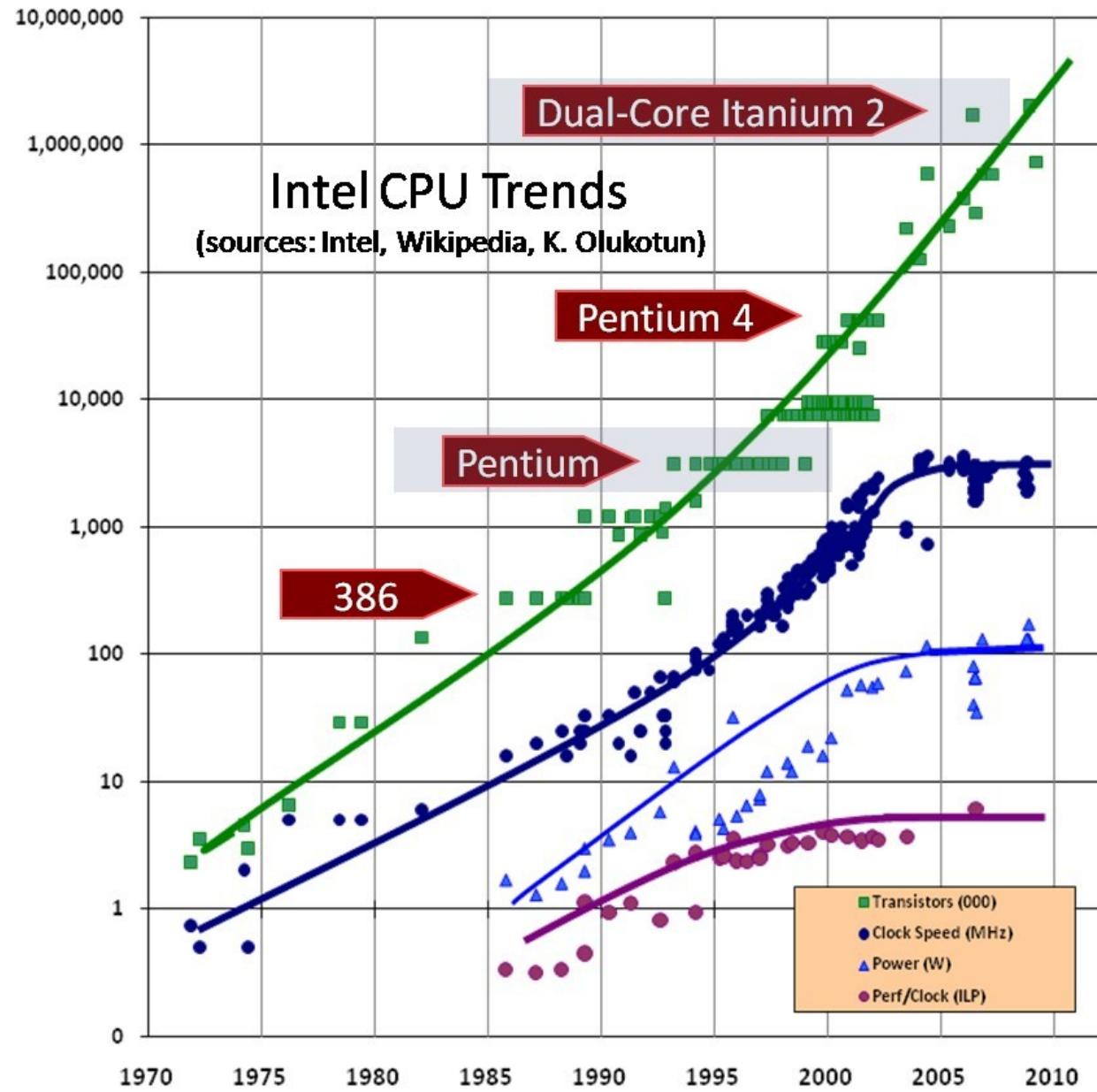


Ivy Bridge processor



		voltage	power	clock khz	техп. Nm	trans. Cnt	die
1971	i4004	15V	1W	740	10000	2300	12
1974	i8080	+5V, ...	1,3W	2000	6000	6000	
1978	i8086	+5V	2,5W	5000	3000	29000	33
1982	i80286	+5V	3,3W	8000	1500	134000	
1985	i386	+5V	1,5W	16000	1000	275000	
1989	i486	+5V	3,5W	20000	1000	1000000	
1993	Pentium	+5V	14,6W	60000	800	3100000	294
1995	Pentium Pro	+3,3V	35W	166000	500	5500000	307
1997	Pentium II	+2,8V	33W	233000	350	7500000	195
1999	Pentium III	+2,0V		450000	250	9500000	128
2001	Pentium 4	+1,605- 1,75V	48,9W	1300000	180	42000000	217
2004	P 4 Prescott	+1,287- 1,400V	89W	2800000	90	125000000	112
2006	P Core Duo			1860000	65	291000000	143
2008	Core i7				45	731000000	263
2011	Sandy Bridge		130W	3300000	32	2270000000	434
2014	Ivy Bridge		150W	3300000	22	4310000000	541

Закон Мура



Характеристики процессоров

- Скорость переключения:
 - $T_f \sim k_1 * C/V$
- Рассеиваемая мощность:
 - $W \sim k_2 * C * V^2 * f$

Типы ОЗУ

- Статическая память произвольного доступа (SRAM)
- Динамическая память произвольного доступа (DRAM)



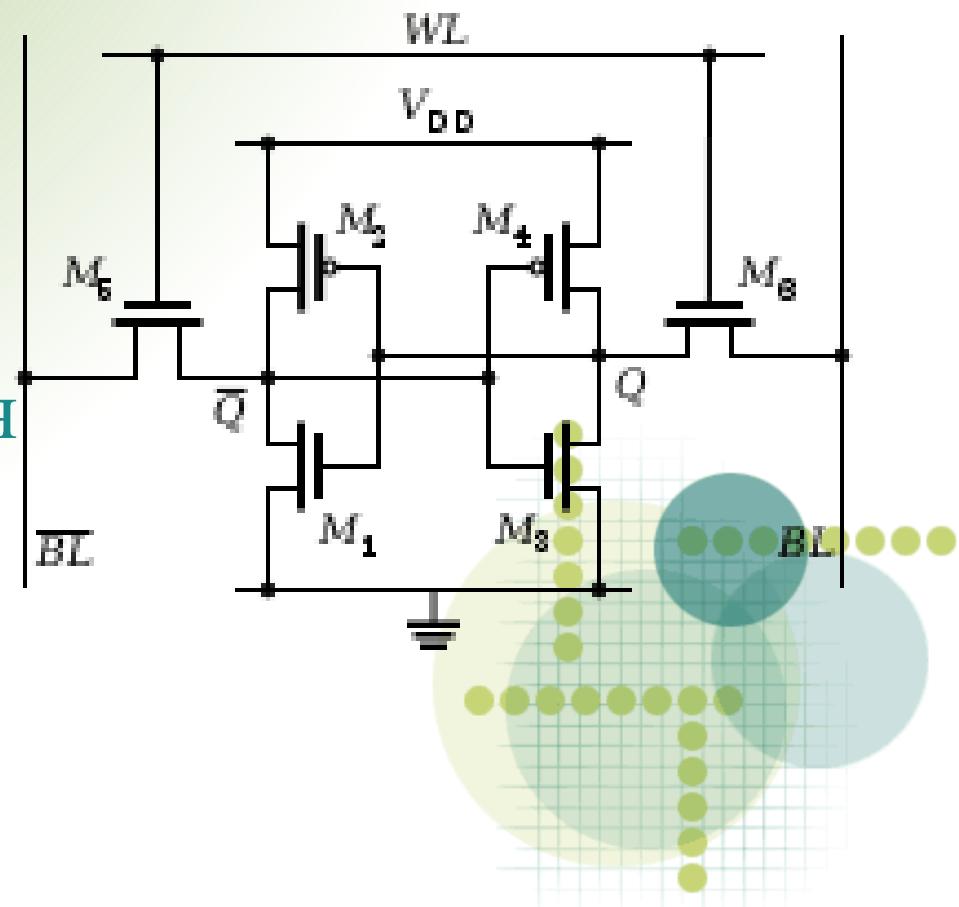
Временные характеристики ОЗУ

- Время чтения — время от начала операции чтения до появления значения на выходе
- Время цикла — время от начала операции чтения до готовности к следующей операции



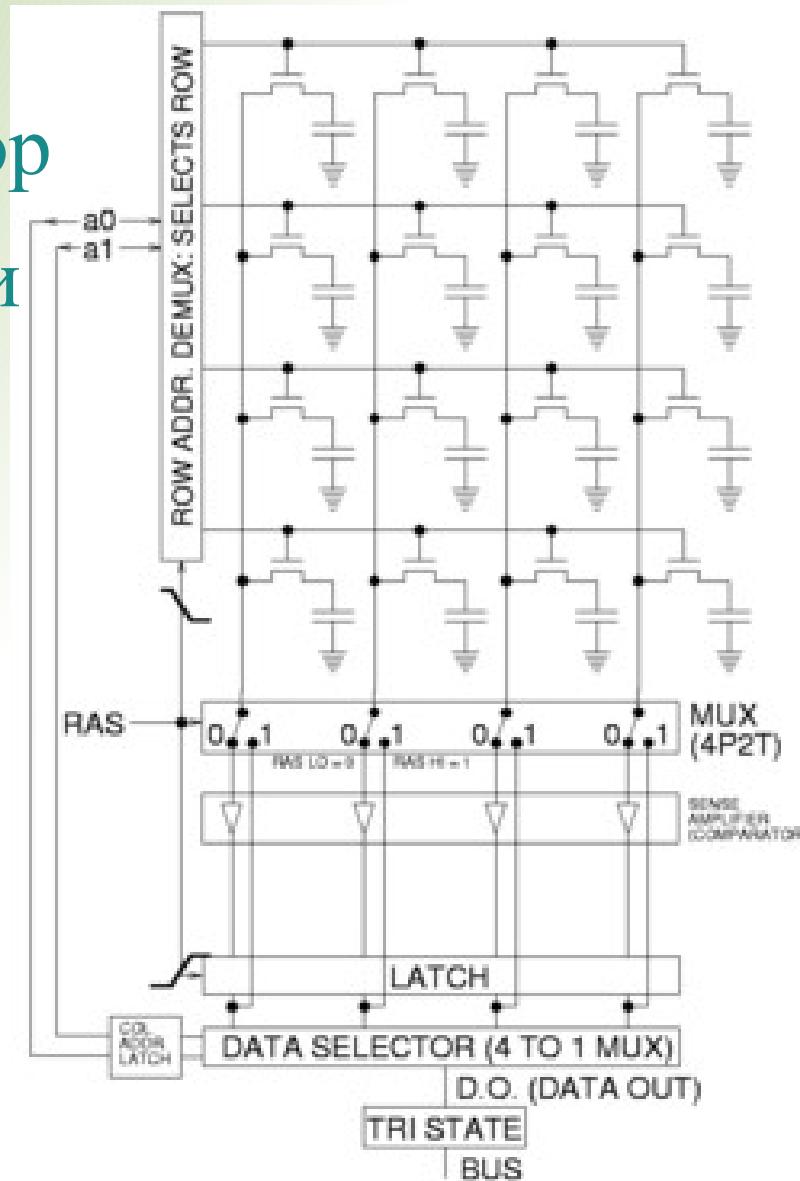
Статическая ППД

- 6 транзисторов
- Время чтения: ~1 такт
- Время цикла: ~1 такт
- Время записи: ~2 такта
- Тактовая частота - любая



Динамическая ППД

- 1 транзистор + 1 конденсатор
- Необходимость регенерации



Модификации DRAM

- SDRAM (synchronous DRAM) — использует тактовые импульсы для синхронизации. Все временные характеристики задаются в тактах.
- DDR SDRAM (Double Data Rate) — передача/прием данных дважды за такт
- DDR, DDR2, DDR3

Алгоритм чтения из DRAM

- ROW SELECT — на нужную строку подается напряжение V, транзисторы открываются
- Напряжение вертикальной линии В+ слегда изменяется, разница В+ и В- усиливается дифференциальным усилителем — одновременно считывается и фиксируется (latch) целая строка
- COL SELECT — выборка нужных битов из выбранной строки
- После выборки нужных бит строка закрывается
- PRECHARGE — на все битовые (вертикальные) линии В+ и В- подается напряжение 0.5 V (от рабочего)

Memory Timings

- CAS Latency (Tcl) — время между выдачей адреса столбца и получением данных
- RAS to CAS Delay (Trcd) — время между выдачей адрес строки и адреса столбца
- Row Precharge Time (Trp) — время между выдачей команды precharge и открытием следующей строки
- Row Active Time (Tras) — время между выборкой строки и выдачей команды precharge
-
- Row Cycle Time: $\text{Trc} = \text{Tras} + \text{Trp}$

Производительность памяти

- PC-3200 (DDR-400) - 2000
 - 3-4-4-8 (15ns-20ns-20ns-40ns)
- PC2-6400 (DDR2-800) - 2003
 - 5-5-5-16 (12.5-12.5-12.5-40)
- PC3-12800 (DDR3-1600) - 2007
 - 9-9-9-27 (11.25-11.25-11.25-33.75)

RAM

1966-2030

YEAR	GENERATION	CHIP COST	RAM SIZE	COST OF 1 GIG OF RAM
------	------------	-----------	----------	----------------------

1966	-4	\$512	1 bit	\$512,000,000,000.00
1967	-3		4 bit	\$256,000,000,000.00
1968	-2		16 bit	\$64,000,000,000.00
1969	-1	\$256	64 bit	\$8,000,000,000.00
1970	0		256 bit	\$2,000,000,000.00

KILOBIT

1973	1	\$128	1 Kilobit	\$256,000,000.00
1976	2		4 kilobit	\$128,000,000.00
1979	3		16 kilobit	\$32,000,000.00
1982	4	\$64	64 kilobit	\$4,000,000.00
1985	5		256 kilobit	\$1,000,000.00

MEGABIT

1988	6	\$32	1 Megabit	\$128,000.00
1991	7		4 Megabit	\$64,000.00
1994	8		16 Megabit	\$16,000.00
1997	9	\$16	64 Megabit	\$2,000.00
2000	10		256 Megabit	\$500.00

GIGABIT

2003	11	\$8	1 Gigabit	\$64.00
2006	12		4 Gigabit	\$32.00
2009	13		16 Gigabit	\$8.00
2012	14	\$4	64 Gigabit	\$1.00
2015	15		256 Gigabit	\$0.25

PETABIT

2018	16	\$2	1 Petabit	\$0.03
2021	17		4 Petabit	\$0.02
2024	18		16 Petabit	\$0.004

Сравнение скорости ЦП и ОЗУ

- Предположим, тактовая частота процессора — 3.2 ГГц
- Тактовая частота ОЗУ — 800 МГц ($\frac{1}{4}$ от частоты процессора)
- Время чтения: 72 тактов процессора
- Время цикла: 108 тактов
- С учетом накладных расходов время чтения из ОЗУ: 100 — 200 тактов процессора



Кэширование

- Кэш (cache) (заначка, тайник) — средство для сглаживания разности скоростей устройств. Некоторая часть данных с медленного устройства помещается в кэш, работающий со скоростью быстрого устройства.



Иерархия памяти



Кэш-память ЦП

- L1 — наименьший размер (до 64 KiB), делится на кэш инструкций и данных (L1I, L1D), раздельный для каждого ядра
- L2 — средний размер (1MiB), общая для данных и инструкций, раздельный
- L3 — наибольший размер (до 8MiB), общая для данных и инструкций, общая для всех ядер
- TLB (translation lookahead buffer) — для организации виртуальной памяти



Работа кэш-памяти

- Попадание (hit) — значение берется из кэша, а не из ОЗУ
- Промах (miss) — требуемой ячейки в кэше нет
 - Обязательный промах (ячейка не загружена)
 - Промах из-за размера
 - Промах из-за конфликта (ячейка была в кэше, но оказалась выгруженной)



Характеристики кэш-памяти

- Размер
- Время доступа
- Размер ряда (блока) кэша
- Ассоциативность
- Политика записи в основную память
- Политика замещения
- Политика обеспечения когерентности



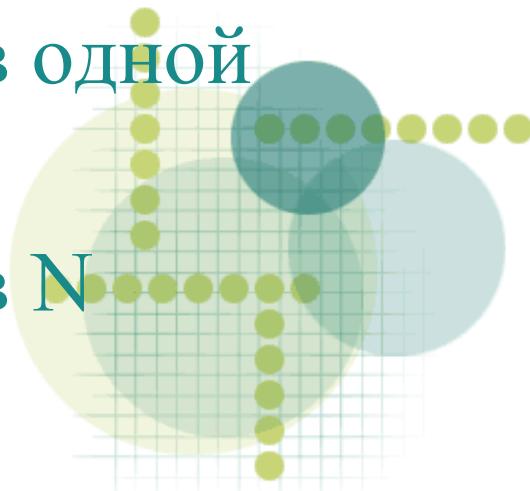
Размер ряда (блока)

- При чтении одного байта из ОЗУ загружается ряд (блок) ячеек
- Типичный размер: 32 или 64 байта



Ассоциативность

- Предположим, что кэш позволяет разместить M блоков
- Рассмотрим загрузку блока B из памяти в кэш
- Если блок B может быть размещен в любой ячейке кэша — **полностью ассоциативный**
- Если блок B может быть размещен в одной ячейке — **прямое отображение**
- Если блок B может быть размещен в N ячейках — **кэш N -ассоциативный**



Политика записи в ОЗУ

- С отложенной записью (write-back) — запись в ОЗУ откладывается до более удобного момента
- С прямой записью (write-through) — запись в ОЗУ выполняется немедленно



Стратегия вытеснения

- Стратегия вытеснения определяет, какая из уже занятых ячеек кэша должна быть освобождена
 - LRU (least recently used)
 - LFU (least frequently used)
 - random



Когерентность

- В многопроцессорных или многоядерных системах каждый процессор (ядро) имеет свой кэш.
- Ячейка памяти, модифицируемая одним из процессоров, может находиться в кэше других процессоров.
- Кэши должны работать согласованно
 - Например, соответствующие ячейки других кэшей должны удаляться

