
Università degli Studi di Napoli – Federico II



Constraints e Timing analysis

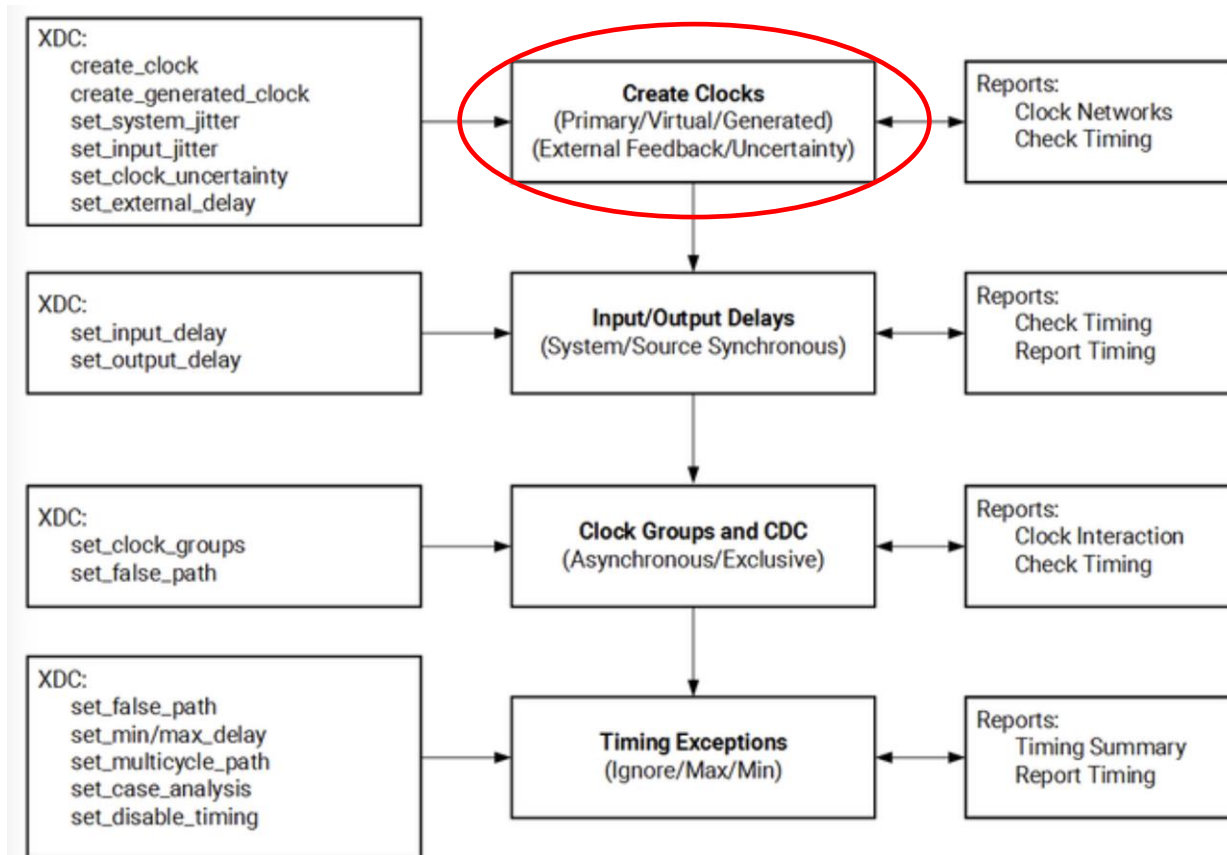
ARCHITETTURA *dei* SISTEMI DIGITALI

Prof.ssa Alessandra De Benedictis

DESIGN CONSTRAINTS

- I processi di sintesi ed implementazione possono essere configurati per tener conto di specifici constraint, riguardanti sia aspetti specifici di tali processi (placement e synthesis constraints) sia aspetti di tempificazione (timing constraints).
- I constraint possono essere specificati sia in VHDL all'interno del design (prevalentemente quando si tratta di vincoli su come un design debba essere implementato o ottimizzato, es. max fanout) sia attraverso appositi file, di tipo .XDC
 - I constraint non sono semplici stringhe ma comandi TCL eseguiti in sequenza
- Il risultato dell'applicazione dei timing constraint durante l'implementazione è tipicamente quello di posizionare la logica in blocchi quanto più possibile vicini in modo da usare il meno possibile le risorse di routing

TIMING ANALYSIS



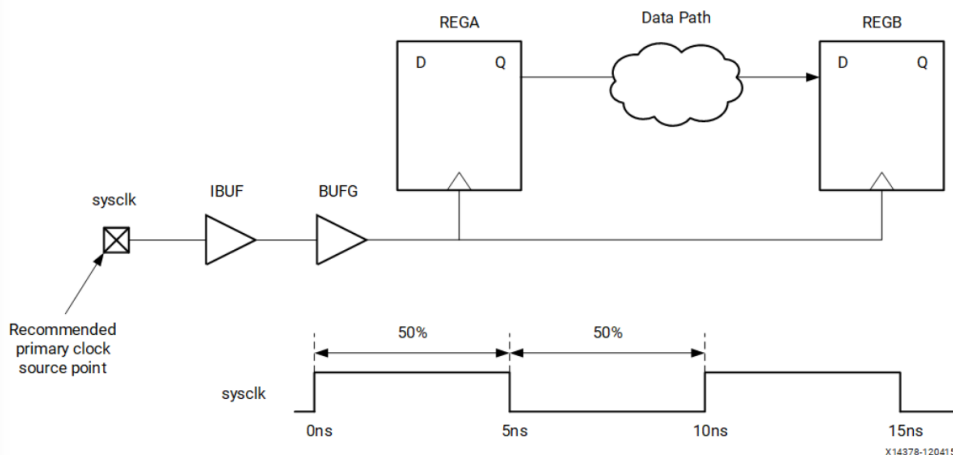
■ I timing constraint vengono definiti attraverso 4 passi:

- Definizione dei constraint sui clock
- Definizione dei constraint sui porti di I/O
- Definizione dei clock group e dei constraint sui percorsi nei clock domain crossing (CDC)
- Definizione delle eccezioni alla tempificazione

PRIMARY CLOCK

- Un **primary clock** definisce un riferimento temporale per il progetto e viene utilizzato dalla timing engine per derivare i requisiti del timing path e la relazione di fase con altri clock
- Il delay associato ad un primary clock viene calcolato dal pin/porto sorgente sul quale il clock è definito ai clock pin delle celle sequenziali ai quali esso viene collegato, per cui è opportuno definire i primary clock su segnali che appartengono al boundary del design

```
create_clock -name SysClk -period 10 -waveform {0 5} [get_ports sysclk]
```



In questo caso il clock della board entra nel device attraverso il porto di input **sysclk** e si propaga attraverso un input buffer e un clock buffer prima di raggiungere i registri del path

Il clock primario generato (quello che entra nei registri) in questo caso ha periodo 10ns e duty cycle 50%, phase shifted di 0 gradi

VIRTUAL E GENERATE CLOCK

- Se nel comando `create_clock` non si specificano sorgenti (pin, ports, nets) per il clock con il comando `get_ports` allora viene generato un **virtual clock**
- Un **generated clock** è un clock derivato da un altro clock esistente, chiamato master clock, che viene trasformato attraverso un blocco logico che opera un divisione/moltiplicazione di frequenza, uno shift di fase, un'inversione, una modifica nel duty cycle, o una combinazioni delle precedenti (es. attraverso un Clock Modifying Block come MMCM o PLL sui device 7 series)

DEFINIRE UN CONSTRAINT SUL PERIODO DEL CLOCK

- Per definire un constraint sul periodo del clock che è usato dal design è possibile usare i seguenti comandi:

```
set_property -dict { PACKAGE_PIN E3 IOSTANDARD LVCMOS33 } [get_ports {clock}];  
create_clock -period 10 -waveform {0 5} [get_ports {clock}];
```

- In questo caso sto creando un primary clock «clock» e ne sto definendo il periodo (**-period**) e le caratteristiche: **-waveform** consente di specificare in quali istanti (definiti in nanosecondi) avvengono i fronti di salita e di discesa in un periodo di clock
- Il clock è collegato al PIN E3 della board
- Il constraint PERIOD definisce la tempificazione tra gli elementi sincroni di un design (FF, latch, RAM ecc) clockati dallo stesso clock

I/O DELAY TIMING CONSTRAINTS

- VIVADO riconosce la temporizzazione solo all'interno dei limiti dell'FPGA, quindi per modellare il contesto di tempificazione in un progetto più ampio è necessario fornire informazioni di tempificazione per le porte di ingresso e di uscita
- E' possibile definire constraints relativi ai tempi di setup degli input (`set_input_delay`) e degli output (`set_output_delay`).
 - L'input delay rappresenta la differenza di fase tra il segnale che si propaga da un chip esterno fino ad un pin di input dell'FPGA e il segnale di clock della board.
 - L'output delay rappresenta la differenza di fase tra il segnale che si propaga dal pin di output dell'FPGA (verso un altro dispositivo) e il segnale di clock della board

TIMING ANALYSIS: GENERALITÀ

- L'analisi della tempificazione può essere effettuata già a valle della sintesi, però in quel caso i valori di tempificazione ottenuti saranno delle stime abbastanza approssimate poiché i tempi legati al routing, che di solito valgono tra il 45% e il 65% del tempo totale, non sono ancora disponibili
- I parametri di configurazione della timing analysis, che specificano il tipo di report da generare e cosa effettivamente mostrare nel report, devono essere opportunamente settati attraverso il pannello «Report Timing Summary»

Report Timing Summary

Generate a timing summary to understand if the design met timing.

Results name:

Options **Advanced** **Timer Settings**

Report

Path delay type:

☒ Report unconstrained paths

☐ Report datasheet

Path Limits

Maximum number of paths per clock or path group:

Maximum number of worst paths per endpoint:

Path Display

Display paths with slack less than: ☒ Use default (1e+30)

Significant digits:

Command:

☒ Open in a new tab

☒ Open in Timing Analysis layout

DESIGN TIMING SUMMARY

Tempo che impiega un segnale di input a stabilizzarsi prima del fronte successivo del clock, tale che le uscite raggiungano il valore desiderato

Tempo per cui un segnale di input deve restare stabile dopo il fronte del clock per consentire all'output di raggiungere il valore desiderato

SLACK: differenza fra required time e arrival time

Design Timing Summary

Setup

Worst Negative Slack (WNS): 0.066 ns
Total Negative Slack (TNS): 0.000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 46285

Hold

Worst Hold Slack (WHS): 0.028 ns
Total Hold Slack (THS): 0.000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 46285

Pulse Width

Worst Pulse Width Slack (WPWS): 3.000 ns
Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 15989

All user specified timing constraints are met.

MAX delay analysis

MIN delay analysis

WPWS = worst slack of all the timing checks listed above when using both min and max delays

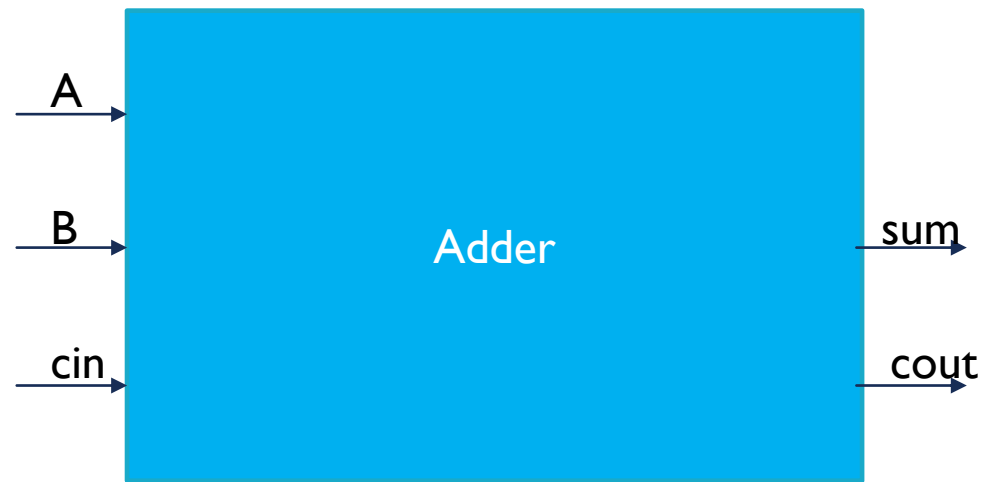
FREQUENZA MASSIMA DI LAVORO DI UN DESIGN

- Per verificare quale sia la frequenza massima di funzionamento (FMAX) di un design è possibile diminuire progressivamente la frequenza del clock del design ed eseguire una timing analysis finchè non si ottiene uno slack negativo (worst negative slack)
 - NOTA: la FMAX non è fornita esplicitamente nei report ma può essere stimata calcolando $1/(T - WNS)$ dove T è il periodo del clock target e WNS è il worst negative slack nel caso intra-clock

TIMING ANALYSIS NEI DESIGN COMBINATORI

- Per ottenere una stima dei ritardi di un design puramente combinatorio, occorre inserire dei registri clockati a monte e a valle del design, che rappresentano rispettivamente gli input e gli output della macchina implementata.
 - Il tool di sintesi cercherà di ottimizzare il ritardo fra i due registri (rispettando gli eventuali constraint forniti)

ESEMPIO: ADDER



ESEMPIO: ADDER MODIFICATO PER TIMING ANALYSIS

