

Análise de desempenho de cache em MIPS e PowerPC

Kelly Sandim, Lucas Queiroz, Vitória Freitas

¹Faculdade de Computação – Universidade Federal de Mato Grosso do Sul
(FACOM–UFMS) Campo Grande, Brasil.

1. Introdução

A memória cache posiciona-se entre os registradores e a memória RAM na hierarquia de memória de um processador. Com maior capacidade de armazenamento que um processador e maior velocidade de acesso que a memória principal [Garanhani], a cache agiliza o acesso a dados armazenados, melhorando assim o tempo de execução de um programa.

Para melhorar seus produtos, empresas e arquitetos procuram encontrar o melhor em sua concorrência e então superá-lo. [Bardine] No campo dos processadores, isso se concretiza na comparação de diferentes processadores através de experimentos que avaliam sua performance com base em suas características de hardware. Um dos aspectos que podem ser observados na comparação de dois processadores é o desempenho de suas caches.

O presente trabalho foi realizado como parte da disciplina de Tópicos em Arquitetura de Computadores. Ele se propõe a comparar os processadores MIPS e PowerPC avaliando diferentes configurações de memórias cache em relação a sua arquitetura, desempenho e área. Mais especificamente, o trabalho dedica-se a analisar desempenho e área para variações de tamanho de cache e tamanho de blocos de cache, para assim definir qual é o melhor processador do ponto de vista da cache e qual configuração é mais indicada para cada um.

Este trabalho está organizado conforme segue: A Seção 2 descreve a metodologias adotada nos experimentos e as configurações básicas da máquina utilizada nos testes; Na Seção 3 são mostrados os experimentos, seus resultados e análise; As conclusões finais são apresentadas na Seção 4.

2. Metodologia

===== terminar ===== O primeiro passo do experimento foi analisar as áreas e potências de caches com diferentes capacidades e comprimentos de blocos. Esses experimentos foram executados com a ferramenta McPat utilizando como modelo o processador Niagara, neste variando apenas as características da cache. Os testes foram feitos para 4, 8, 16 e 32 palavras por bloco (equivalentes às larguras de bloco: 16 bytes, 32 bytes, 64 bytes e 128 bytes, respectivamente), para caches com 64, 128, 256 e 512 blocos. Quatro palavras por bloco é o tamanho mínimo que o simulador MPSoC-Bench (posteriormente usado para a avaliação de desempenho) aceita nas simulações. Os mesmos valores foram utilizados para a cache de instruções e a cache de dados.

Em seguida, foram realizados os testes para avaliação do desempenho das caches. Entre vários indicadores de desempenho de cache, um dos mais significativos é a taxa de acertos: a relação entre o número de acessos à cache cujo conteúdo foi encontrado e o número total de acessos [Antônio Borges], como mostrado na fórmula 1.

$$taxa = \text{acertos} / \text{acessos} \quad (1)$$

Para avaliar o desempenho dos processadores MIPS e PowerPC, foi realizada uma série de testes utilizando o simulador MPSoCBench para configurações de cache variando o tamanho da cache e o tamanho de seus blocos. Como foi explicado na subseção anterior, essa rodada de experimentos utilizou 4, 8 e 16 palavras por bloco e 64, 128, 256 e 512 blocos, o que equivale a caches com capacidade total de 1 a 32 kB. Esses testes avaliaram em caches de instruções e de dados apenas seus acertos de leitura.

Os experimentos foram feitos para as aplicações FFT, SHA, Stringsearch e SusanEdges, pertencentes ao benchmark MiBench, com apenas um processador utilizado na execução. A máquina, na qual os experimentos foram realizados, possui as seguintes configurações básicas:

- **8 GB de memória RAM DDR3**, 798.1MHz ;
- **1 TB de HDD**;
- Sistema Operacional: **Ubuntu 16.04 LST**;
- Arquitetura: **AMD64**;
- **Processador Intel Core i5 - 5200U** com tecnologia *Turbo Boost 2.0*, que acelera o desempenho do processador, fazendo com que os núcleos do processador trabalhem mais rapidamente do que a frequência operacional nominal quando estiverem operando abaixo dos limites especificados para energia, corrente e temperatura [Intel b], fazendo com que a frequência varie de 2.2 GHz até 2.7 GHz. Este processador possui cache de 3 MB, 2 cores e 4 *threads* [Intel a].

3. Resultados

3.1. Testes de área e potência de cache

Na primeira fase da experimentação, os testes com o McPat sobre áreas de cache geraram os mesmos resultados para caches de instruções e de dados, apresentados no gráfico a seguir:

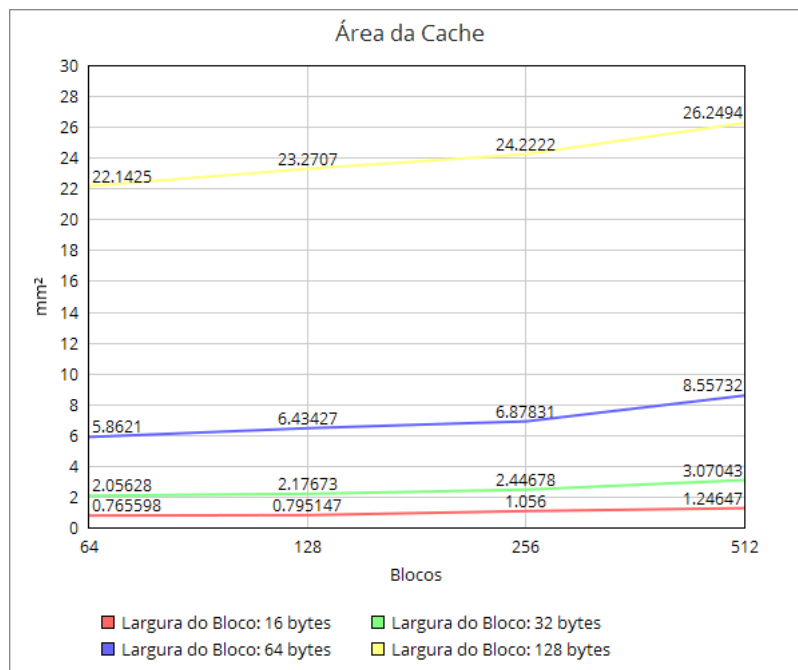


Figura 1. Áreas resultantes das caches testadas

Observado-se o gráfico 1, é evidente que o fator determinante na área da cache é a largura de seus blocos, numa relação diretamente proporcional. A quantidade de blocos também é uma influência direta, porém menos significativa.

Em seguida, os testes para a potência em caches de dados resultaram os seguintes valores, representados em *watts*:

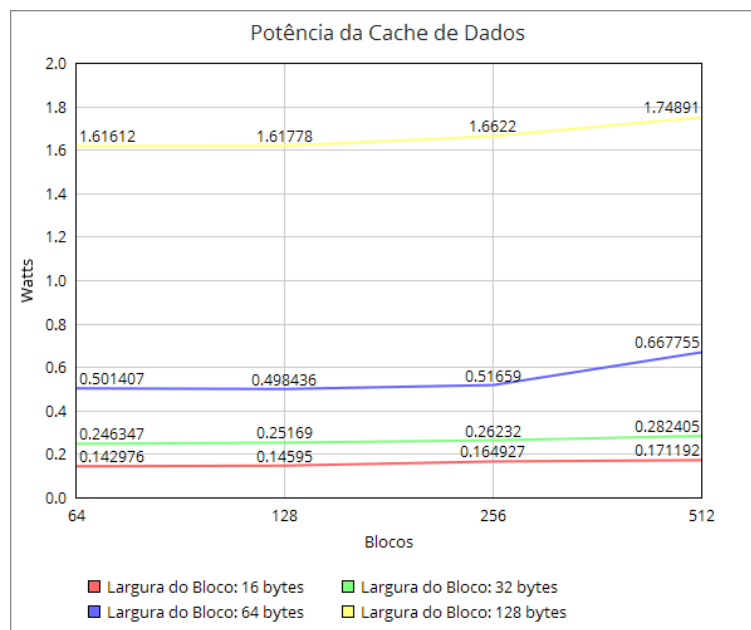


Figura 2. Potências resultantes das caches de dados testadas

Encerrando a primeira fase da experimentação, foram obtidos os seguintes resul-

tados de potência nas caches de instruções:

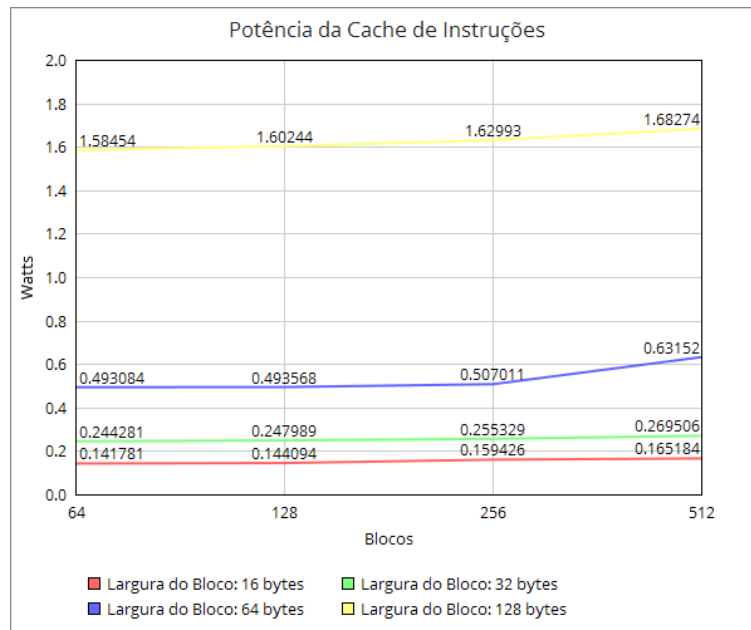


Figura 3. Potências resultantes das caches de instruções testadas

O mesmo comportamento de crescimento da área foi observado para a potência nos gráficos 2 e 3: quanto maior o tamanho do bloco, maior a potência gasta.

Os testes de área e potência tinham como objetivo determinar um “envelope” para basear os experimentos com o simulador MPSoCBench, um limite de capacidade para as caches determinado pelo tamanho que a mesma ocuparia no mundo real. Durante a observação dos gráficos, foi percebido que a largura dos blocos a partir de 128 bytes (equivalente a 32 palavras por bloco) gera áreas e potências absurdamente altas em comparação às larguras menores. Uma discrepância em menor proporção é notada para largura 64 bytes em 512 blocos. Caches com menos de $1mm^2$ de área só foram obtidas com 16 bytes de largura em menos de 256 blocos, o que equivale a apenas 4kB de memória cache. O grupo considerou, portanto, esse valor muito baixo para ser considerado o “envelope”. Assim, o limite foi determinado analisando as discrepâncias, e os valores escolhidos foram: área $0.7mm^2$ e potência 0.6W, obtidos com até 64 bytes de largura de bloco para 256 blocos e 32 bytes para 512 blocos.

É perceptível que a potência gasta nas caches de instruções é um pouco menor que na cache de dados. Essa diferença, porém, não ultrapassou o limite escolhido como “envelope”, portanto os tamanhos de caches de instruções e de dados foram iguais nos testes com o simulador MPSoCBench.

3.2. Testes de desempenho de cache

Os gráficos abaixo ilustram o desempenho da cache de dados para a aplicação FFT.

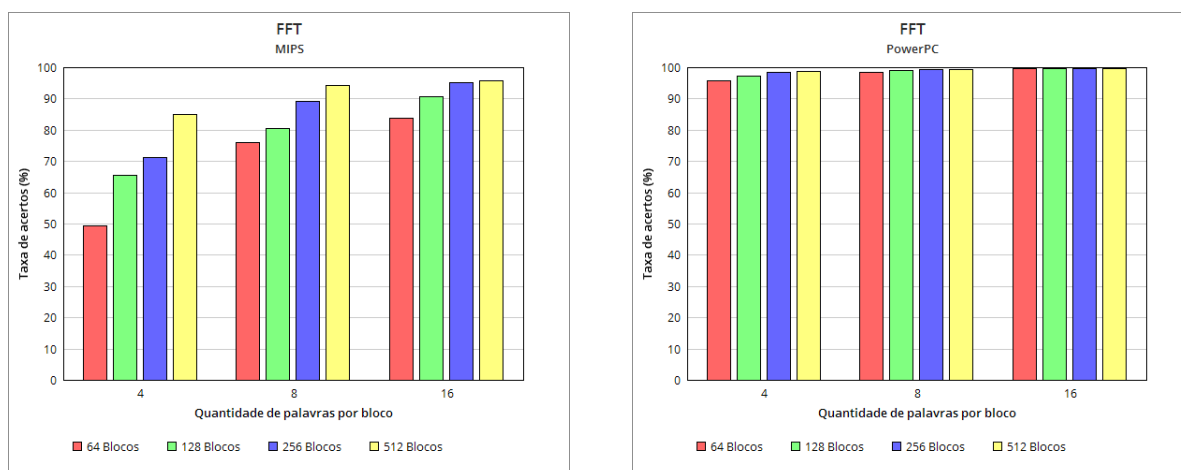


Figura 4. Taxa de acertos da cache de dados para a aplicação FFT nos processadores MIPS (à esquerda) e PowerPC (à direita)

No gráfico para o processador MIPS (à esquerda), fixando a largura dos blocos em 4 ou 8, o aumento da quantidade de blocos causa rápido crescimento da taxa de acerto. Porém, ao fixar para 16 palavras por bloco, esse crescimento se torna mais lento e menos perceptível, e a diferença entre os valores da taxa é ainda mais tênue para 32 palavras.

No gráfico do PowerPC, é notado o mesmo comportamento de forma mais clara. Quando há ainda baixa largura de blocos, as taxas de acertos já são próximas de 100%, e ao aumentar as larguras a proximidade é tão maior que a quantidade de blocos da cache praticamente não faz diferença.

A aplicação FFT é constituída basicamente de três passos de transposição de matriz realizada com comunicações all-to-all entre os processadores [?]. A execução dos testes, porém, foi feita para apenas um processador, o qual então realizou a transposição sozinho. Como a transposição de matriz em geral não realiza muitos acessos a um mesmo dado, é lógico o fato de o processador MIPS não ter conseguido boas taxas de acerto para caches menores. Porém, como os dados de uma matriz num único processador são armazenados consecutivamente na memória, o princípio de localidade causa aumento da taxa para caches com largura de bloco maiores.

No PowerPC o pouco tamanho da cache não prejudicou seu desempenho, o que indica que esse processador deve ter melhor política para a escolha de dados enviados à cache do que o MIPS.

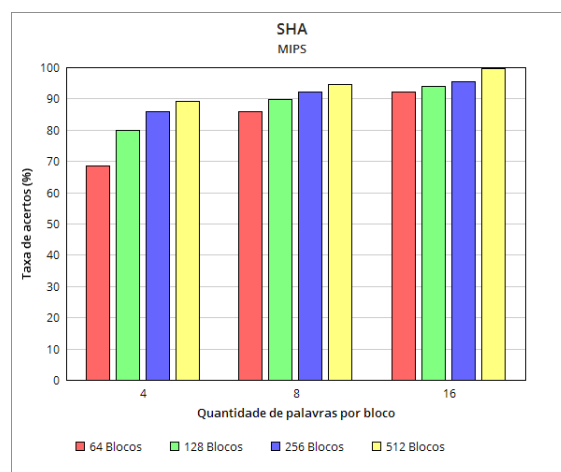
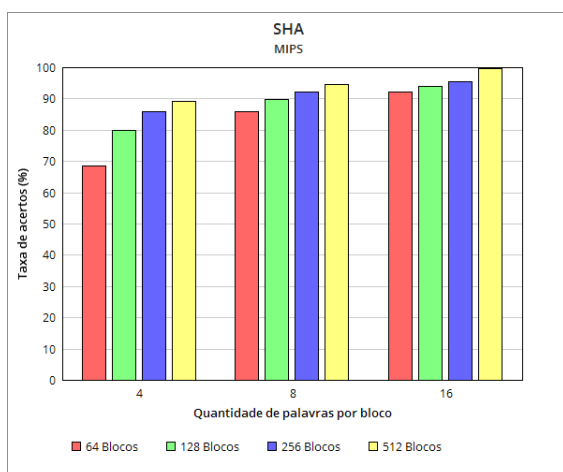


Figura 5. Taxa de acertos da cache de dados para a aplicação SHA nos processadores MIPS (à esquerda) e PowerPC (à direita)

Na aplicação SHA, pode ser notada a mesma atenuação do aumento da taxa para caches muito grandes. Apesar de uma leve melhora no desempenho do MIPS em relação à aplicação FFT, o PowerPC teve taxas de acerto acima de 90% já nas menores cache, enquanto MIPS só atinge essa marca após 8 palavras por blocos com 256 blocos ou mais.

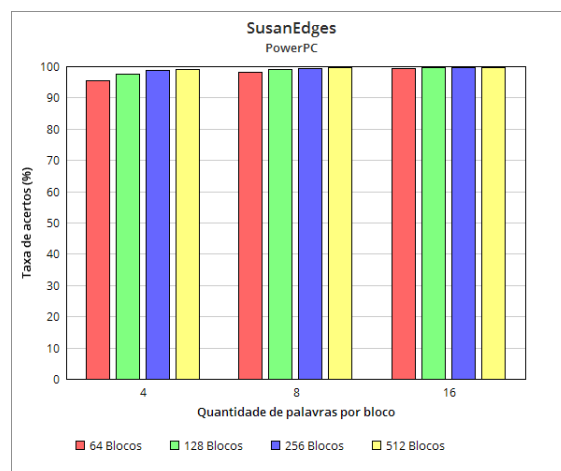
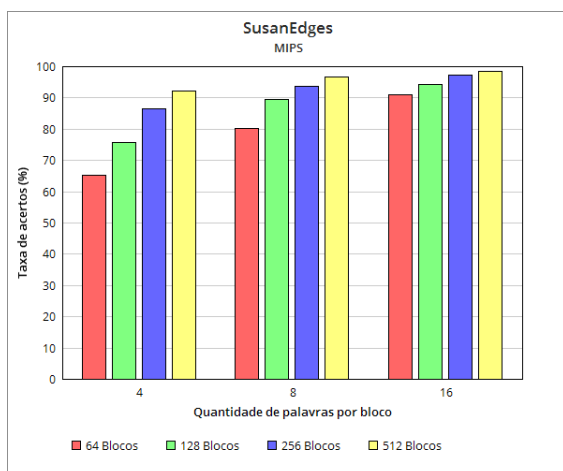


Figura 6. Taxa de acertos da cache de dados para a aplicação SusanEdges nos processadores MIPS (à esquerda) e PowerPC (à direita)

Os gráficos da cache de dados para a aplicação SusanEdges ficaram extremamente semelhantes aos da SHA. Da mesma forma, portanto, conclui-se que o desempenho do PowerPC é muito superior ao do MIPS, superando a taxa de 90% de acerto já para as menores caches.

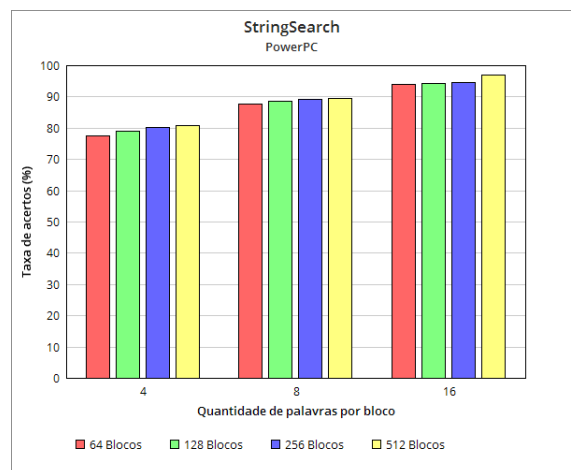
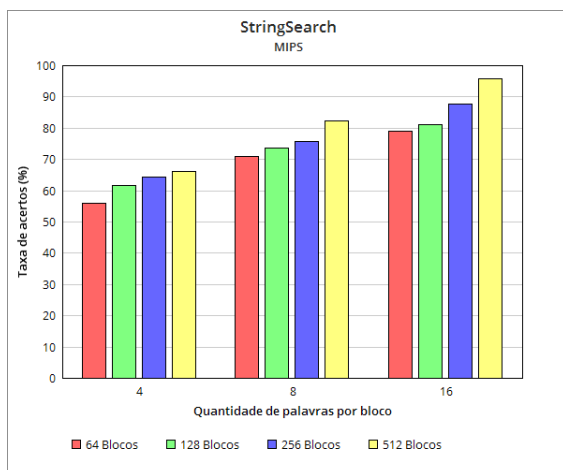


Figura 7. Taxa de acertos da cache de dados para a aplicação Stringsearch nos processadores MIPS (à esquerda) e PowerPC (à direita)

Na aplicação Stringsearch é notável uma maior dificuldade para aumentar o desempenho. Tanto PowerPC quanto MIPS só atingem 90% de acerto ao utilizarem caches com 16 palavras por bloco, e o primeiro, mais especificamente, com 512 blocos, o que ultrapassa o “envelope” escolhido de 8 palavras para 512 blocos. As caches com menos de $3mm^2$ não alcançam sequer 80% de acerto.

Em comparação às aplicações anteriores, o PowerPC sofre do mesmo mal, porém não de forma tão prejudicial, visto que lhe bastam 4 palavras em 256 blocos para que alcance os 80%. Seu desempenho só não é tão bom quanto para FFT e SHA, porém ainda é bem melhor que o do MIPS.

O gráfico seguinte mostra o desempenho obtido pelas caches de instruções para a aplicação FFT.

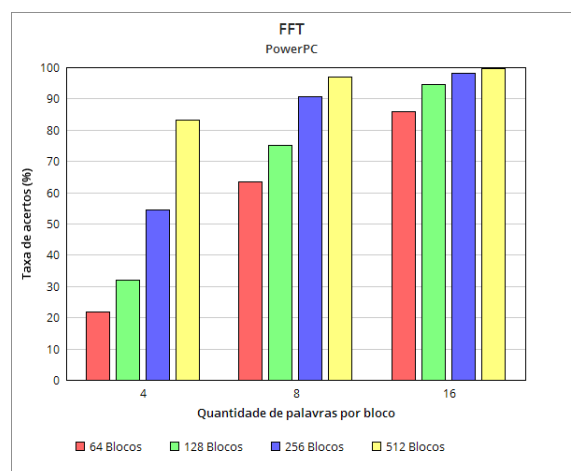
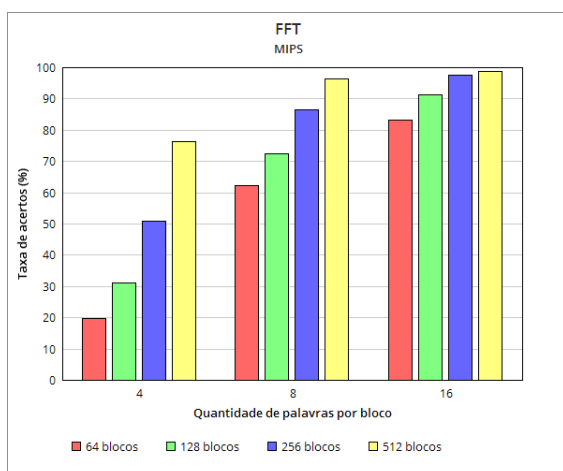


Figura 8. Taxa de acertos da cache de instruções para a aplicação FFT nos processadores MIPS (à esquerda) e PowerPC (à direita)

Para caches de instruções, tanto o processador MIPS quanto o PowerPC sofrem visível perda de desempenho. Na aplicação FFT, em ambos a taxa de acertos só ultrapassa 80% para caches com 256 blocos e 8 palavras por bloco. Ou seja, apenas em caches com 8kB ou mais, $2.4mm^2$ e 0.25W. Ao contrário das avaliações de caches de dados, aqui o desempenho dos dois processadores foi bem equilibrado, embora PowerPC ainda tenha tido taxas maiores por alguns décimos de porcentagem.

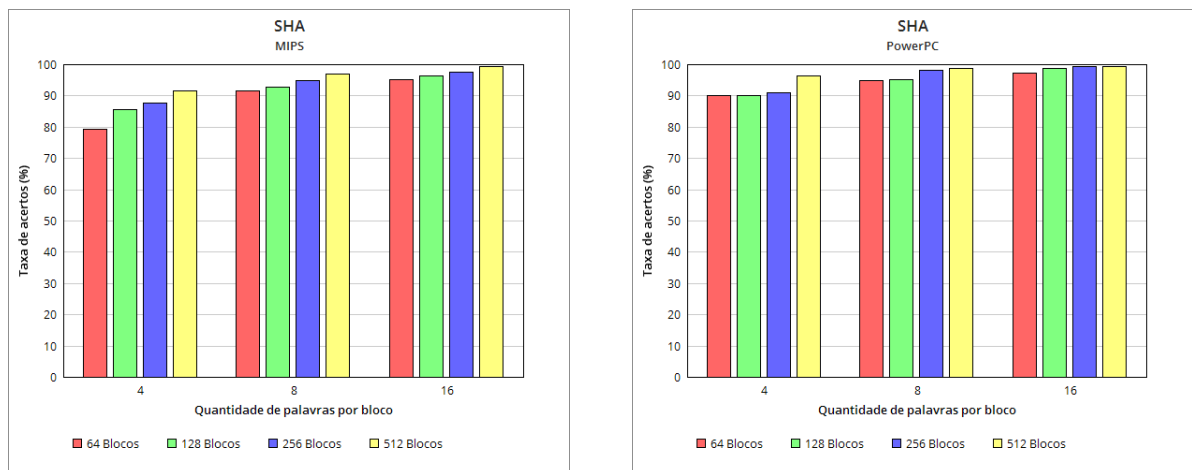


Figura 9. Taxa de acertos da cache de instruções para a aplicação SHA nos processadores MIPS (à esquerda) e PowerPC (à direita)

Também diferente dos resultados com caches de dados, MIPS teve taxas de acertos para instruções bem mais altas com SHA. O uso do PowerPC para SHA, porém, ainda se mantém mais vantajoso.

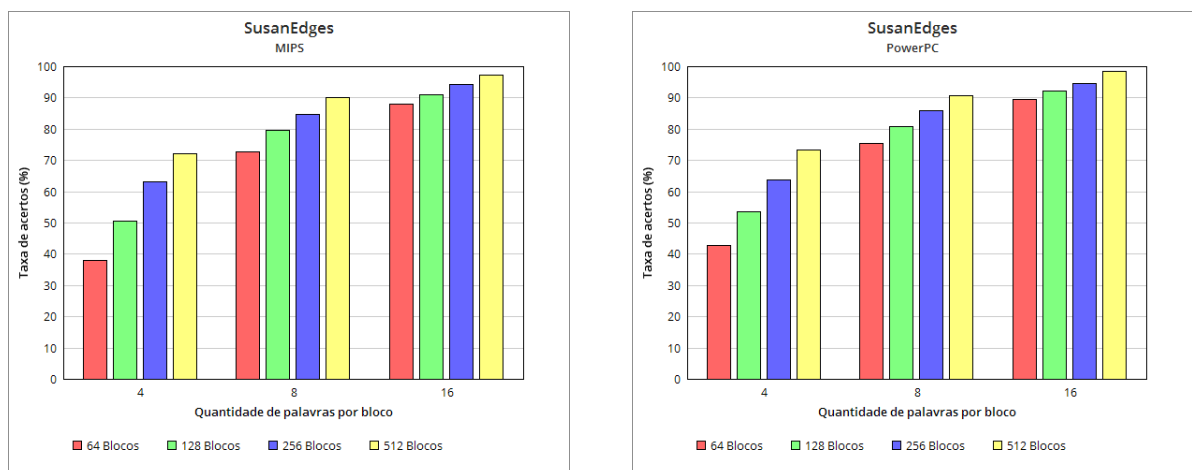


Figura 10. Taxa de acertos da cache de instruções para a aplicação SusanEdges nos processadores MIPS (à esquerda) e PowerPC (à direita)

Dessa vez a aplicação SusanEdges se mostrou mais semelhante à FFT, com a mesma queda de desempenho em comparação à cache de dados.

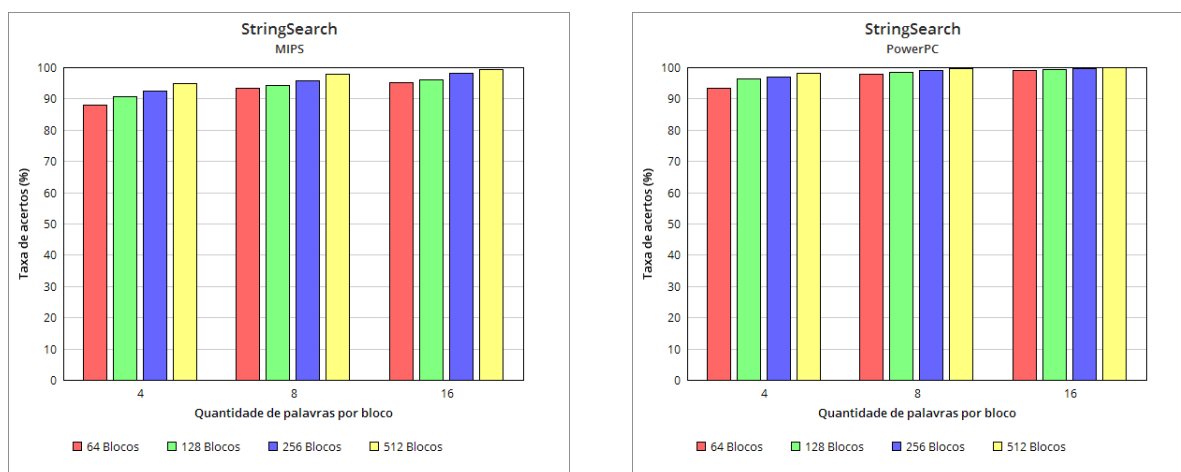


Figura 11. Taxa de acertos da cache de instruções para a aplicação StringSearch nos processadores MIPS (à esquerda) e PowerPC (à direita)

Um grande aumento de desempenho pode ser percebido para o processador MIPS com a aplicação Stringsearch, que agora atinge taxas ainda mais próximas às do PowerPC. Da observação dos gráficos podemos inferir que essa proximidade e o alto desempenho de ambos pode ser consequência de uma possível pouca variação nas instruções buscadas na cache pela aplicação.

Os resultados em geral demonstram, portanto, que as taxas de acerto na cache de instruções depende mais dos tamanhos das caches e das características da aplicação do que do processador. Portanto, tanto a escolha do MIPS quanto a do PowerPC geram desde resultados muito bons a muito ruins, enquanto, nas caches de dados, a superioridade do PowerPC é inquestionável.

Quanto maior a quantidade de palavras por bloco, e quanto maior o tamanho do bloco, a taxa de acerto de ambas caches aumenta. Esse efeito já era esperado, devido ao princípio da localidade, de acordo com o qual, se um item do programa é acessado num dado momento, os itens cujos endereços são próximos provavelmente serão acessados num futuro próximo [Garanhani]. Considerando o princípio, portanto, o aumento do tamanho da cache resulta em maior quantidade de acertos.

Analisando os dados, observa-se que, ao se trabalhar com MIPS é recomendável utilizar caches maiores para obter melhor desempenho. Para desempenho médio de 80%, por exemplo, esse processador exigiu, em geral, caches com 16 palavras por bloco, ou seja, caches de 4 a 32kB, sendo que este último tamanho exige 512 blocos, o que estapola o “envelope” estabelecido. Já no PowerPC a cache alcança em geral o mesmo desempenho com custo muito menor. A partir de 128 blocos com 4 palavras, a taxa de acerto atingiu valor maior que 80% para quase todas as aplicações testadas, isso equivale à capacidade mínima de 2kB.

4. Conclusão

A análise dos experimentos para as aplicações do benchmark MiBench demonstrou que, em cache de instruções, a escolha do processador é praticamente irrelevante, pois ambos

apresentaram taxas de desempenho muito próximas ao usarem as mesmas configurações de memória cache. Já nas caches de dados os desempenhos resultantes dentro dos limites de área e potência, estabelecidos com base nos testes com o simulador McPat, para o PowerPC foram muito melhores que os do MIPS, o qual só costuma apresentar melhora para caches bem maiores.

Para taxas de acerto no geral em torno de 80% no MIPS, é necessária uma configuração de cache de dados com no mínimo 16 palavras por bloco e 64 blocos, 4kB de capacidade. No PowerPC, a configuração para a mesma taxa possui 128 blocos de 4 palavras, equivalente à capacidade de 2kB. O processador PowerPC, portanto, atinge a mesma taxa de acerto que o processador MIPS com a cache de dados possuindo a metade do tamanho deste.

Referências

Antônio Borges, G. P. S. Organização de computadores. Disponível em: <http://equipe.nce.ufrj.br/gabriel/orgcomp2/CapJun>. 2016.

Bardine, R. Benchmarking: Definição, processos e tipos. Disponível em: <http://www.coladaweb.com/administracao/benchmarking> .Acesso em: 27 Jun. 2016.

Garanhani, L. D. D. Caches - parte 1. Disponível em: <https://ead.facom.ufms.br/pluginfile.php/25747/modresource/content/1/caches1.pdf> .Acesso em: 27 Jun. 2016.

HP, L. Mcpat. Disponível em: <http://www.hpl.hp.com/research/mcpat/> .Acesso em: 27 Jun. 2016.

Intel. Intel® core™ i5-5200u processor (3m cache, up to 2.70 ghz). Disponível em: <http://ark.intel.com/pt-br/products/85212/Intel-Core-i5-5200U-Processor-3M-Cache-up-to-270-GHz> . Acesso em: 08 Jul. 2016.

Intel. Tecnologia intel® turbo boost 2.0. Disponível em: <http://www.intel.com.br/content/www/br/pt/architecture-and-technology/turbo-boost/turbo-boost-technology.html> . Acesso em: 08 Jul. 2016.

Tanenbaum, A. S. and Machado Filho, N. (1995). *Sistemas operacionais modernos*, volume 3. Prentice-Hall.

Technologies, M. Mips32 4k™ - processor core family software user's manual. Disponível em: <http://www.it.uu.se/edu/course/homepage/datsystDV/ht04/Project/tools/machinedata/4KcProgMan.pdf> .Acesso em: 27 Jun. 2016.