

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
DEPARTAMENTO DE INFORMÁTICA E ESTATÍSTICA**

Chrystian de Sousa Guth

**GATE SIZING:  
DIMENSIONAMENTO DE PORTAS LÓGICAS E ESCOLHA DE  
TENSÃO DE LIMIAR**

Florianópolis - Santa Catarina

2012



Chrystian de Sousa Guth

**GATE SIZING: DIMENSIONAMENTO DE PORTAS LÓGICAS E  
ESCOLHA DE TENSÃO DE LIMIAR**

Proposta de TCC submetido ao Curso de  
Bacharelado em Ciências da Computação  
para a obtenção do Grau de Bacharel em  
Ciências da Computação.

Orientador: Vinicius Livramento

Coorientador: Prof. Dr. José Luís Almada  
Güntzel

Florianópolis - Santa Catarina

2012



## RESUMO

Dimensionamento de portas lógicas, ou Gate Sizing, é uma técnica para redução de potência muito utilizada no fluxo de projeto de circuitos digitais. Em resumo, sizing significa, para cada porta lógica de um circuito, escolher, em uma biblioteca de células, uma opção de implementação a fim de reduzir o consumo de potência. Esse trabalho trata da implementação de uma ferramenta capaz de realizar o procedimento de sizing, utilizando relaxação lagrangeana e programação dinâmica baseada no trabalho (OZDAL; BURNS; HU, 2012).

**Palavras-chave:** projeto auxiliado por computador, dimensionamento, CMOS, programação dinâmica, relaxação lagrangeana



## SUMÁRIO

<b>1 INTRODUÇÃO .....</b>	<b>7</b>
<b>2 OBJETIVOS .....</b>	<b>9</b>
<b>3 MÉTODO DE PESQUISA .....</b>	<b>11</b>
<b>4 CRONOGRAMA .....</b>	<b>13</b>
<b>5 CUSTOS.....</b>	<b>15</b>
<b>6 RECURSOS HUMANOS .....</b>	<b>17</b>
<b>7 COMUNICAÇÃO .....</b>	<b>19</b>
<b>8 RISCOS .....</b>	<b>21</b>
<b>Referências Bibliográficas .....</b>	<b>23</b>





## 1 INTRODUÇÃO

O uso de dispositivos móveis alimentados por bateria tem se tornado muito popular, pelo baixo custo e pela facilidade de uso. Quando se obtém um dispositivo dessa natureza, é esperado que o seu uso seja prolongado e a sua bateria duradoura. Projetistas de circuitos digitais devem levar isso em conta durante o projeto.

O número de componentes em circuitos digitais tem aumentado significativamente, tornando-se indispensável, em várias etapas no projeto desses, o uso de ferramentas para projeto auxiliado por computador (CAD) eficientes e escaláveis. Dentre as etapas no fluxo de projeto de circuitos digitais, podemos citar o dimensionamento de portas lógicas (gate sizing).

Gate sizing, é uma técnica utilizada para reduzir o consumo de potência em dispositivos eletrônicos, e é aplicada em diversas etapas no fluxo de projeto de sistemas digitais. Mesmo sendo uma técnica bastante estudada na literatura, as novas restrições e desafios nos sistemas mais modernos tornam esse processo difícil de ser aplicado com precisão e escalabilidade já que é conhecidamente um problema NP-Difícil (LI, 1993).

Existem várias abordagens que podem ser utilizadas para resolver o problema de gate sizing. Entre elas, programação linear (LP) (MOK, 2011), listas de sensibilidade (RAHMAN; SECHEN, 2012), simulated annealing (SA), relaxação lagrangeana (LR) (OZDAL; BURNS; HU, 2012), entre outras.

Dimensionamento de portas lógicas é um problema de otimização, onde se determina valores para as variáveis a fim de maximizar ou minimizar uma função objetivo que está sujeita a certas restrições de domínio. Relaxação lagrangeana é uma dentre as várias técnicas de otimização, onde cada restrição recebe um multiplicador de lagrange ( $\lambda$ ) e é incorporada à função objetivo simplificando o problema. Assim, durante o processo, violações de domínio são reduzidas sistematicamente, e enfim, resolvidas iterativamente.

A proposta deste Trabalho de Conclusão de Curso (TCC) é a implementação de uma ferramenta de Gate Sizing utilizando uma abordagem Relaxação Lagrangeana + Programação Dinâmica (LR+DP) baseada no trabalho (OZDAL; BURNS; HU, 2012). Será realizada uma pesquisa na literatura sobre LR, DP e Gate Sizing, e resultados (tempo de execução e redução de potência) serão comparados com ferramentas comerciais e trabalhos correlatos.



## 2 OBJETIVOS

Objetivo Geral: Desenvolver uma ferramenta de CAD capaz de realizar o processo chamado gate sizing. Será utilizada uma abordagem de Relaxação Lagrangeana e Programação Dinâmica.

Objetivos Específicos:

- Estudar o problema de dimensionamento de portas lógicas e possíveis técnicas utilizadas para a resolução desse problema
- Estudar o método da Relaxação Lagrangeana e outras técnicas de otimização
- Analisar possíveis estruturas de dados a fim de otimizar o processo e diminuir o overhead
- Implementar uma ferramenta utilizando a linguagem de programação C++
- Realizar os testes a fim de validar o programa
- Realizar experimentos em descrições reais de circuitos digitais e documentar os resultados
- Comparar os experimentos com outros trabalhos da literatura e com ferramentas comerciais que realizam gate sizing

Até Julho de 2013 será desenvolvido um relatório parcial que contará com a fundamentação teórica, apresentação do problema e um resumo da bibliografia e trabalhos correlatos. E o relatório final, que será entregue em Outubro de 2013, contará com um detalhamento maior no problema, sua solução e resultados das comparações. Esses dois relatórios, conterão o andamento do TCC e serão escritos seguindo as normas da Associação Brasileira de Normas Técnicas (ABNT). Assume-se também que apenas ferramentas de uso livre serão utilizadas para confecção e documentação da ferramenta. As ferramentas não-livres terão uso baseado em licença universitária.



### 3 MÉTODO DE PESQUISA

Através do convênio entre a Universidade Federal de Santa Catarina (UFSC) e o sistema IEEEExplore Digital Library do Instituto de Engenheiros Eletricistas e Eletrônicos (IEEE), será realizada a pesquisa bibliográfica via web por trabalhos que tratam de ferramentas de CAD, Gate Sizing, otimização e Relaxação Lagrangeana. A pesquisa será realizada junto ao Laboratório de Computação Embarcada (ECL), situado no Departamento de Informática e Estatística (INE), Centro Tecnológico (CTC), UFSC, sendo fomentado pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq).

A ferramenta será desenvolvida utilizando a linguagem de programação C++, junto ao compilador g++ 4.7 na IDE Eclipse. Para gerar os resultados comparativos será utilizada a ferramenta Design Compiler da Synopsys através de uma licença universitária.

O trabalho começará com uma etapa onde será feita a pesquisa na literatura em trabalhos que tratam de otimização e gate sizing. A partir dos estudos será formulado o problema e implementado em uma linguagem de programação de uso geral. Após a validação da ferramenta, os resultados de sua execução serão documentados e anexados ao relatório de andamento do TCC.









## 5 CUSTOS

Item	Valor Unitário	Quantidade	Total
<i>Recursos humanos</i>			
Bolsa CNPq ITI-A	R\$ 360,00	12 meses	R\$ 4320,00
Orientador	R\$ 75,00	2h/semana por 46 semanas	R\$ 6900,00
Bembro da banca 1	R\$ 100,00	2h semana por 3 semanas	R\$ 600,00
Bembro da banca 2	R\$ 100,00	2h semana por 3 semanas	R\$ 600,00
<i>Recursos não-humanos</i>			
Folhas A4 (500 folhas)	R\$ 12,00	1	R\$ 12,00
Toner impressora	R\$ 200,00	1	R\$ 200,00
Total			R\$ 12.632,00



## 6 RECURSOS HUMANOS

Nome	Função
Chrystian de Sousa Guth	Autor
Vinicius Livramento	Orientador
Prof. Dr. José Luís Almada Güntzel	Co-orientador



## 7 COMUNICAÇÃO

O que deve ser comunicado	Por quem	Para quem	Melhor forma	Frequência
Proposta do TCC	Autor	Coordenador	Relatório	Uma vez (Dezembro/2012)
Relatório parcial do TCC	Autor	Coordenador, orientador, membros da banca	Relatório	Uma vez (Julho/2012)
Relatório final do TCC	Autor	Coordenador, orientador, membros da banca	Relatório	Uma vez (Outubro/2012)
Andamento	Autor	Orientador	Reunião	Semanalmente
Apresentação	Autor	Membros da banca	Apresentação de slides	Uma vez (Outubro/2012)
Relatório corrigido	Autor	Coordenador, orientador, membros da banca	Relatório	Uma vez (Dezembro/2012)



8 RISCOS

Risco	Probabilidade	Impacto	Prioridade	Estratégia de resposta	Ações
Perda de dados	Baixa	Alto	Média	Recuperação dos dados	Backup e controle de versões
Problema de Saúde	Média	Médio	Média	Renegociação do cronograma	Planejar possíveis mudanças no cronograma





## REFERÊNCIAS BIBLIOGRÁFICAS

- LI, W. N. Strongly np-hard discrete gate sizing problems. In: *IEEE International Conference on Computer Design*. [S.l.: s.n.], 1993. p. 468–471.
- MOK, S. Post-Layout Sizing for Leakage Power Optimization: A Comparative Study. *Report UCLA*, 2011.
- OZDAL, M. M.; BURNS, S.; HU, J. Algorithms for Gate Sizing and Device Parameter Selection for High-Performance Designs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 31, n. 10, p. 1558–1571, 2012.
- RAHMAN, M.; SECHEN, C. Post-synthesis leakage power minimization. In: *DATE*. [S.l.: s.n.], 2012.