

Trabalho prático sobre implementação de pipeline

DIM0129 - ORGANIZAÇÃO DE COMPUTADORES.

1- Descrição do Trabalho:

Implementar um modelo de organização (composta por Parte de Controle (PC) e Parte Operativa (PO)) para uma arquitetura de conjunto de instruções (ISA, *Instruction-Set Architecture*) compatível com a filosofia RISC, *Reduced Instruction-Set Computer*.

A organização do processador proposta deve executar em "*Pipeline*", o seguinte conjunto de instruções:

AND → operação booleana AND
OR → operação booleana OR
XOR → operação booleana XOR
NOT → operação booleana NOT
CMP → comparação
ADD → soma
SUB → subtração
LD → leitura em memória
ST → armazenamento em memória
J → salto incondicional
JN → salto condicional; salta se (N)egativo
JZ → salto condicional; salta se (Z)ero

O *pipeline* pode ser implementado com 4 ou 5 estágios.

2- Decisões de projeto:

- 2.1- o tamanho da palavra do processador;
- 2.2- o formato da palavra de instrução;
- 2.3- os modos de endereçamento de operandos;
- 2.4- o tamanho do banco de registradores;
- 2.5- o tamanho das memórias de instruções e de dados;
- 2.6- o número e tipos de barramentos (ou canais dedicados) da parte operativa; e
- 2.7- a organização do pipeline.

3- O trabalho consiste de:

- 3.1- **Implementação** do modelo da organização do processador em linguagem para descrição de hardware (VHDL ou SystemC);
 - 3.1.1 - Implementar individualmente cada componente da PO e testar;
 - 3.1.2 - Implementar a PC e testar; e
 - 3.1.3 - Integrar a PO com a PC e testar.
- 3.2- **Resultados** de simulações da execução de instruções de pelo menos 3 algoritmos na arquitetura. Os resultados podem ser apresentados em diagramas de forma de onda e/ou textual. Esses resultados devem ser colocados no relatório (ver item 3.3 abaixo) e no vídeo de apresentação (ver item 3.4 abaixo);

3.3- **Relatório** explicando e exemplificando a implementação da organização do processador e justificando as decisões de projeto acima elencadas (seção 2). O relatório deve conter pelo menos:

3.3.1- os diagramas de bloco da organização do processador (PO+PC);
3.3.2- análises de desempenho (ciclos de relógio necessários à execução das instruções) em função dos comportamentos do *pipeline*.
Entende-se por comportamentos do *pipeline*, os tratamentos implementados para as *dependências* de dados e de controle.

3.4- **Vídeo** de apresentação do trabalho - com duração máxima de 15 minutos - exemplificando o funcionamento do modelo de processador implementado, através de diagramas de blocos e simulações.

4- Entrega até o dia 14/05/22 via tarefa SIGAA. Envie somente UM trabalho por grupo e nomeie o arquivo enviado com os nomes dos componentes do grupo.

5- Nas aulas dos dias 19/05 e 21/05 cada grupo irá me apresentar o trabalho no laboratório, demonstrando resultados de simulações. Perto dessas datas eu irei anunciar quais grupos apresentarão no dia 19/05 e quais no dia 21/05.

6- O trabalho pode ser feito em grupos de até 3 alunos. Me envie por email os componentes de cada grupo até o dia 30/04.