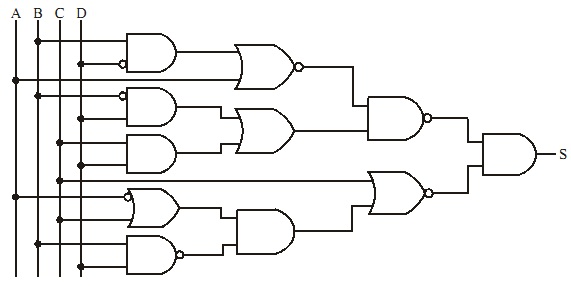
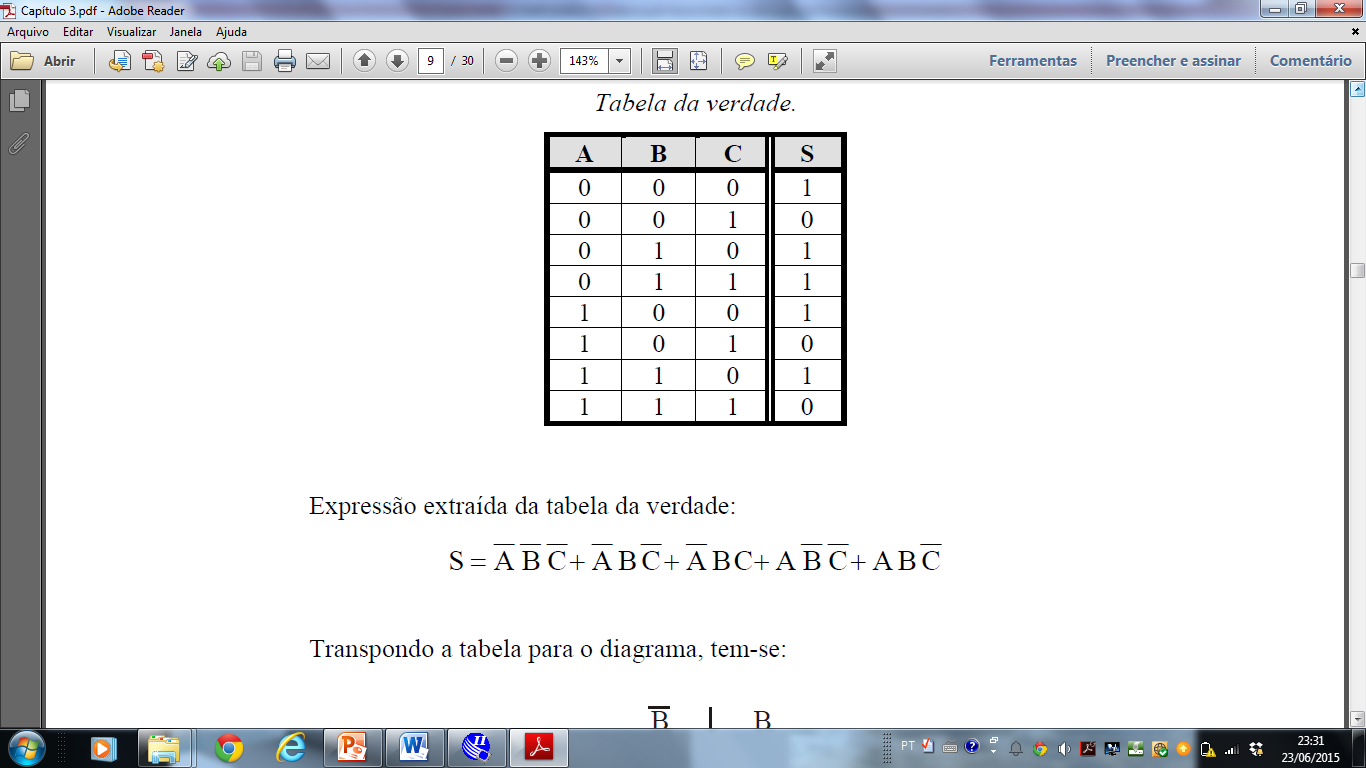
**CIRCUITO 01:**



**TABELA DA VERDADE 01:**



**CIRCUITO 02:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  |  |  | | --- | --- | --- | | **A1** | **A0** | **S** | | 0 | 0 | D0 | | 0 | 1 | D1 | | 1 | 0 | D2 | | 1 | 1 | D3 | |

**CIRCUITO 03:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **A1** | **A0** | **S0** | **S1** | **S2** | **S3** | | 0 | 0 | E | 1 | 1 | 1 | | 0 | 1 | 1 | E | 1 | 1 | | 1 | 0 | 1 | 1 | E | 1 | | 1 | 1 | 1 | 1 | 1 | E | |

**CIRCUITO 04 (TREINAMENTO 01):**



**A TABELA DA VERDADE DO MUX 4x1 ENCONTRA-SE NO EXEMPLO CIRCUITO 2**

**A TABELA DA VERDADE DO DEMUX 1x4 ENCONTRA-SE NO EXEMPLO CIRCUITO 3**

**VARIÁVEIS:**

**D0, D1, D2, D3:** IN BIT

**A, B:** IN BIT\_VECTOR (1 DOWNTO 0)

**S:** OUT BIT

**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO:** 80ms

**D0:** onda quadrada com período de 500us, offset de 0 e duty cycle de 50%

**D1:** onda quadrada com período de 1ms, offset de 0 e duty cycle de 50%

**D2:** onda quadrada com período de 2ms, offset de 0 e duty cycle de 50%

**D3:** onda quadrada com período de 3ms, offset de 0 e duty cycle de 10%

**A1:** onda quadrada com período de 80ms, offset de 0 e duty cycle de 50%

**A0:** onda quadrada com período de 40ms, offset de 0 e duty cycle de 50%

**B1:** onda quadrada com período de 20ms, offset de 0 e duty cycle de 50%

**B0:** onda quadrada com período de 10ms, offset de 0 e duty cycle de 50%

**CIRCUITO 05:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  |  |  | | --- | --- | --- | | **SETA** | **RESETA** | **QF** | | 0 | 0 | **QA** | | 0 | 1 | **0** | | 1 | 0 | **1** | | 1 | 1 | **--- (1)** | |

**CIRCUITO 06:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **PRN** | **CLRN** | **CLK** | **J** | **K** | **QF** | | 0 | 1 | X | X | X | **1** | | 1 | 0 | X | X | X | **0** | | 0 | 0 | X | X | X | **--- (1)** | | 1 | 1 | ↓ | 0 | 0 | **QA** | | 1 | 1 | ↓ | 0 | 1 | **0** | | 1 | 1 | ↓ | 1 | 0 | **1** | | 1 | 1 | ↓ | 1 | 1 | **NOT QA** | |

**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO:** 80ms

**CLRN:** onda quadrada com período de 80ms, offset de 0 e duty cycle de 90%

**PRN:** onda quadrada com período de 40ms, offset de 0 e duty cycle de 15% **(INVERTIDA)**

**CLK:** onda quadrada com período de 2ms, offset de 0,5ms e duty cycle de 50%

**J:** onda quadrada com período de 10ms, offset de 0 e duty cycle de 50%

**K:** onda quadrada com período de 5ms, offset de 0 e duty cycle de 50%

**CIRCUITO 07:**



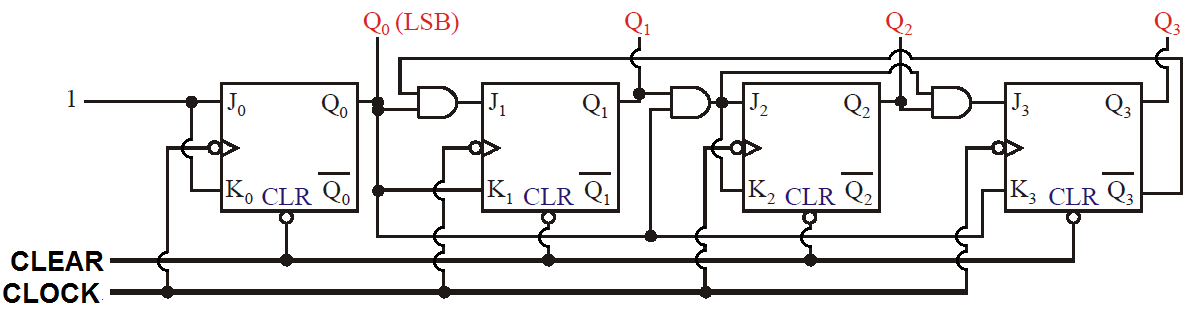
**CIRCUITO 08:**



**CIRCUITO 09:**



**CIRCUITO 10:** Contador de década síncrono



**CIRCUITO 11:** Projeto Final 1



**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO:** 100ms

**PWM:** onda quadrada com período de 2ms, offset de 0 e duty cycle de 30%

**ENT1:** onda quadrada com período de 20ms, offset de 0 e duty cycle de 60%

**ENT2:** onda quadrada com período de 10ms, offset de 0 e duty cycle de 70%

**VET(1):** onda quadrada com período de 30ms, offset de 0 e duty cycle de 50%

**VET(0):** onda quadrada com período de 15ms, offset de 0 e duty cycle de 50%

**CIRCUITO 12:** Projeto final 2



**PROCEDIMENTOS PARA A EXECUÇÃO DO PROJETO:**

1. Criar uma pasta na área de trabalho. A pasta deve possuir o sobrenome do estudante.
2. A entidade principal dever ser denominada de **CIRCUITO.**
3. A FPGA pertence a família **CYCLONEII.**
4. **A** FPGA utilizada é a **EP2C35F672C6.**

**AS VARIÁVEIS DE ENTRADA DA ENTIDADE PRINCIPAL SÃO:**

**- D0, D1, D2, D3, D4, D5, D6, D7 → devem ser declaradas como VETOR.**

**- INICIA, CLOCK → devem ser declaradas como BIT.**

**AS VARIÁVEIS DE SAÍDA DA ENTIDADE PRINCIPAL SÃO:**

**- S0, S1 → devem ser declaradas como BIT.**

**DADOS PARA SIMULAÇÃO:**

**TEMPO DE SIMULAÇÃO:** 200ms

**INICIA:** onda quadrada com período de 200ms, offset de 0 e duty cycle de 99%

**CLOCK:** onda quadrada com período de 2ms, offset de 0 e duty cycle de 50%

**D0:** onda quadrada com período de 1ms, offset de 0 e duty cycle de 50%

**D1: 1**

**D2:** onda quadrada com período de 2ms, offset de 0 e duty cycle de 5%

**D3:** onda quadrada com período de 4ms, offset de 0 e duty cycle de 15%

**D4:** onda quadrada com período de 2ms, offset de 0 e duty cycle de 78%

**D5:** onda quadrada com período de 6ms, offset de 0 e duty cycle de 50%

**D6: 0**

**D7:** onda quadrada com período de 4ms, offset de 0 e duty cycle de 75%