

1) La comisión múltiple dinámica consiste en que el procesador determine el flujo de instrucciones a ejecutar. La idea general de especulación consiste en intentar ~~predecir~~ predecir que es lo que va a suceder y por ende ejecutar de una determinada manera las instrucciones. En el caso de la comisión múltiple dinámica el procesador intenta apartir del contexto ~~especificar~~ elegir el mejor camino a ejecutar. Esto durante un tiempo para a que el flujo se mantenga como una especulación hasta que el procesador determine que el flujo es correcto y hace un commit.

2) Una VLIW es un paquete de instrucciones que entre si no tienen conflictos, ~~de estas se seleccionan para el scheduling~~ que posteriormente ~~podan~~ su relación con el scheduling o planificación es que esta VLIW es ~~producida~~ producida justamente por un paquete que el compilador se asegura que no tiene ~~instrucciones~~ instrucciones con conflictos entre si.

3) La cache L_1 es la primera cache a ser accedida en búsqueda de un dato o el de una instrucción. Al dividir esta en Datos e Instrucciones me aseguro de explotar la localidad en memoria de las instrucciones que no necesariamente tienen los datos. ~~Si no~~ riesgo de tener un

REPUBLICA ARGENTINA - MERCOSUR
REGISTRO NACIONAL DE LAS PERSONAS
MINISTERIO DEL INTERIOR

Apellido / Surname
STRAMBINI

Nombre / Name
FRANCISCO JUAN

Sexo / Sex
Masculino

Nacionalidad / Nationality
ARGENTINA

Documento / Date of birth
1989

Fecha de emisión / Date of issue
2021

Fecha de vencimiento / Date of expiry
2036

Documento / Document
34.490.499

Identificación / ID. Ident.
00647705321

7108

EXEMPLAR C

FIRMA AUTENTICADA / SIGNATURE

49
a) Falso, La ejecución fuera de orden se refiere al que el flujo de instrucciones ~~don~~ en procesador de emisión dinámica no necesariamente se ejecutan en el orden que fueron codificadas dejando al procesador la definición de cuando ejecutar cada una de las mismas.

b) Falso, No tendría sentido hacer un `pushq %rax` en el comienzo de una función ~~don~~ para guardar el valor actual de `rax` dado que efectivamente este es el valor de retorno. Si podría pasar que se quisiera guardar el valor de `rax` en el ~~stack~~ stack por lo que a veces tendría sentido hacer `pushq %rax`.

c) Falso, Un proceso tendrá una región de la memoria base física que será resuelta por la memoria virtual la memoria virtual ~~se~~ surge de una articulación entre el hardware y el sistema operativo. o sea no es la ~~la~~ única que interviene.

d) Falso, Los tablos multinivel se llaman así porque tienen dos niveles. En general el primer nivel se aloja en memoria (DRAM) y el segundo nivel en disco. Esto se busca resolver el hecho de que si tuviéramos una sola tabla en ~~disco~~ memoria no tendríamos ordenes de magnitud cercanos a medio terabyte.

e) Falso, el formato IEEE tiene cero negativo y cero positivo ~~normalmente~~ el cero negativo es el bit de signo en 1 con el resto ceros y el cero positivo es todos ceros.

f) Verdadero, puede determinar los permisos que el proceso actual tiene dentro de la dirección virtual que recibe.

g) Falso, el page fault se genera cuando hay un miss de la memoria virtual en la page table que se encuentra en la memoria principal. La TLB es una cache de la page table que se encuentra en la MMU.

h) falso, el page fault es un miss sobre la memoria principal y activa la búsqueda en disco para traer información a la memoria principal.

i) Verdadero,

$$\text{Si } T = 1 \text{ Gips} \Rightarrow \overset{\text{clock}}{f} = 10000 \text{ MHz} + R \quad R \rightarrow 0.$$

$$\text{Si dividido en 5} \Rightarrow \text{clock} = 200 \text{ MHz} + R$$

$$T = \frac{10000}{200} \text{ Gips.} = 5 \text{ Gips.}$$

k) No es posible determinar si es verdadero o falso porque no conocemos el ~~cada~~ overhead generado por los registros del pipeline.

j) ~~falso, Esta no es solo una~~

i) Es verdadero que para un algoritmo dado la relación de Hit/Miss va a depender de diseño del procesador.

También es verdad que se puede mejorar mucho esta relación mejorando el código con criterios de localidad espacial y temporal.

m) falso, En los procesadores de emisión múltiple por ejemplo se pueden ejecutar más ~~inst~~ que una instrucción por ciclo por ende los ciclos por instrucciones pueden ser menores que 1.

f) Dado que necesitaría al menos 5 bits para representar la fracción $1,01101$ ($5 = 101$ y $0.625 = 1/101$) en donde estaría suponiendo que el primer 1 estaría representado tacitamente. [falso]

o) Verdadero, los números normalizados se encuentran más lejos que los números denormalizados.

p) Verdadero, esto lo único que implicaría es tener más ceros a la izquierda de los bits significativos por lo tanto no alteraría la representación del mismo.

L) Falso, Depende del nivel de la memoria caché que se está diseñando es conveniente en el nivel L_1 .