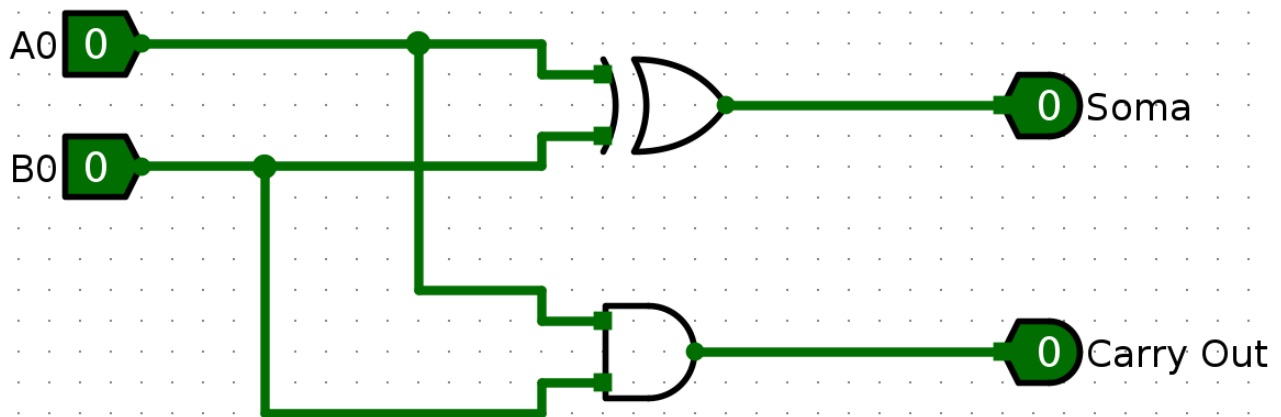


Exercício Prático 1
Prof. Romanelli

Lucas Carneiro Nassau Malta
857340

1) ½ Somador no Logisim:



2) Tabela verdade do ½ Somador:

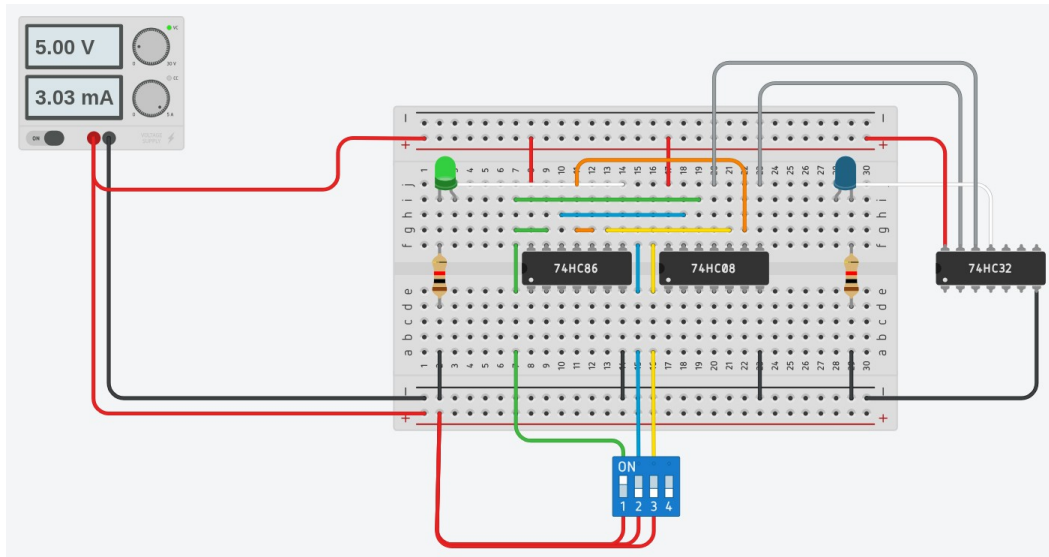
A0	B0	Soma	Carry Out
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3) Um ½ Somador utiliza uma porta lógica AND e outra porta XOR. O componente que possui portas AND é o circuito integrado 74HC08, com 4 portas independentes. Por outro lado, o componente que possui portas XOR é o circuito integrado 74HC86, que também apresenta 4 portas independentes.

4) Os dois circuitos integrados citados na questão anterior possuem o pino 14 como VCC e o pino 7 como GND.

Pergunta 1) Se um dos terminais de entrada de uma porta lógica não estiver conectado a nenhum nível lógico, a porta de saída terá sempre nível lógico baixo. Dessa forma, independentemente do estado da porta conectada, a porta de saída estará sempre desligada.

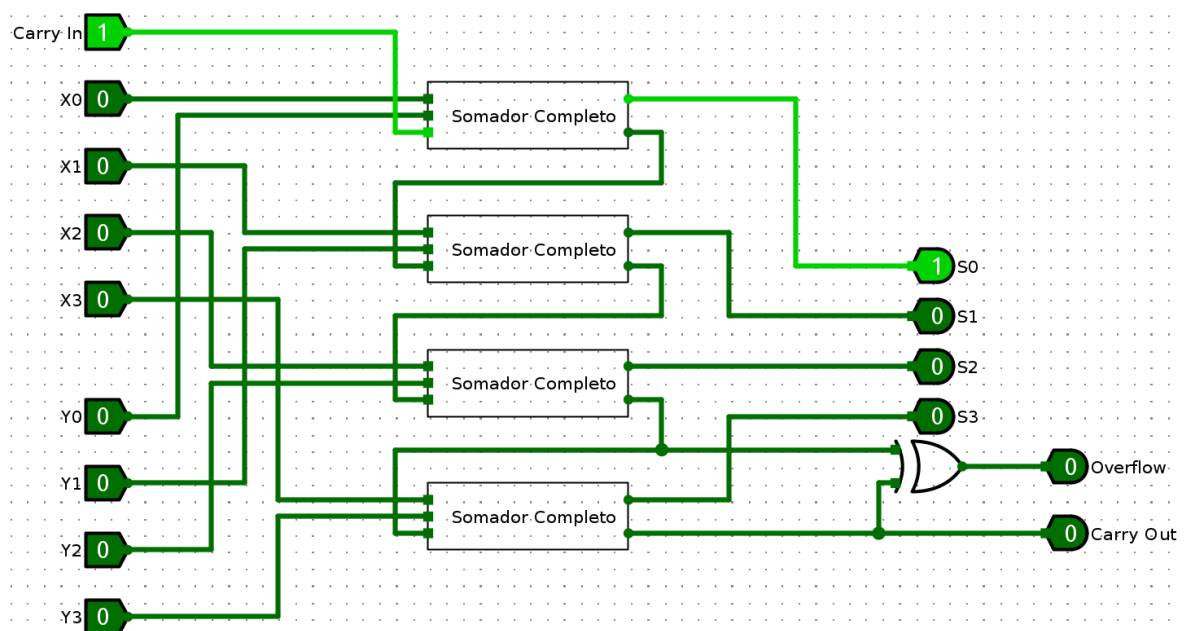
8) Somador Completo de 1 bit no Tinkercad:



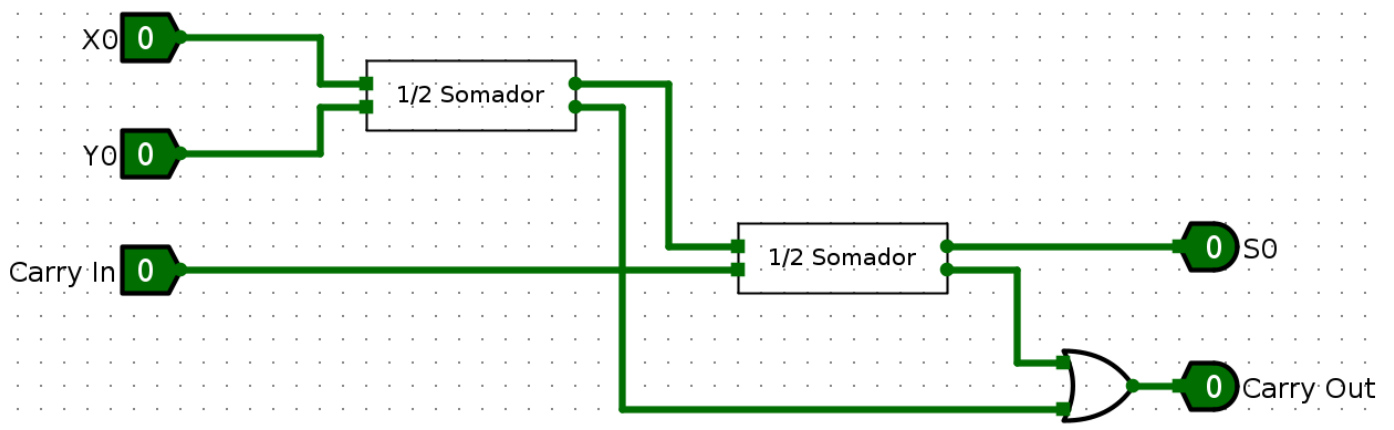
9) Tabela verdade do Somador Completo de 1 bit:

X	Y	Carry In	S	Carry Out
0	0	0	0	0
0	0	1	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

10) Um somador de 4 bits é construído a partir da junção de 4 somadores completos de 1 bit. A partir do segundo somador completo, a saída *Carry Out* do circuito anterior conecta-se à sua entrada *Carry In*. Segue o somador de 4 bits no Logisim:



Segue o circuito interno do Somador Completo presente no somador de 4 bits:



O circuito interno do $\frac{1}{2}$ Somador que compõe o Somador Completo está apresentado na primeira questão.

Pergunta 2) O somador de 4 bits constituído por subcircuitos de somadores completos de 1 bit possui um problema de propagação, visto que a soma de cada um dos seus bits, a partir do bit menos significativo, depende obrigatoriamente do resultado da soma do bit anterior. Isso acontece, pois o somador necessita, além dos dígitos de cada um dos números a serem somados, a saída *Carry Out* do dígito anterior, o que torna essa estratégia ineficiente, tendo em vista um atraso médio de 10 nanossegundos para cada porta lógica.

Pergunta 3) Para a computação de uma soma e do "vai um" em um somador completo de 4 bits, há uma demora de 90 nanossegundos, visto que o primeiro somador atrasa 30 nanossegundos e os outros três atrasam 20 nanossegundos cada.

Pergunta 4) Para um somador de 32 bits, seria necessário o encadeamento de 8 somadores completos de 4 bits.

Pergunta 5) Considerando que a computação de uma soma em um somador completo de 4 bits demora, em média, 90 nanossegundos, um somador de 32 bits - constituído por 8 somadores de 4 bits - realiza uma soma a cada 720 ns. Dessa forma, o tempo necessário para executar cada soma é de $7,2 \times 10^{-7}$ s e a frequência, sendo o inverso do período, é de aproximadamente 1,4 MHz.

Pergunta 6) Para tornar essa soma mais veloz, uma alternativa seria refazer a estrutura básica do somador completo de 1 bit, de modo a diminuir a quantidade de portas lógicas que podem estar aumentando desnecessariamente o tempo de atraso de cada somador. Entretanto, essa mudança não teria um impacto tão significativo quanto a estratégia de prever a existência ou não de um *Carry Out* do dígito anterior antes de propriamente realizar a sua soma, como em um somador com carry-lookahead.

Pergunta Final) Circuito interno da calculadora de 4 bits no Logisim:

