

INSTITUTO FEDERAL DE SANTA CATARINA

Lucas Coelho Raupp
Yago Castro Rosa

AP3: Emulador da transmissão do barramento PCM do CODEC Le58QL022

São José,
31/05/2023

Parte 1 - Relatório com o estudo da interface PCM do CODEC.

- Descrição dos seguintes sinais: DXA, DRA, TSCA, FS, PCLK.

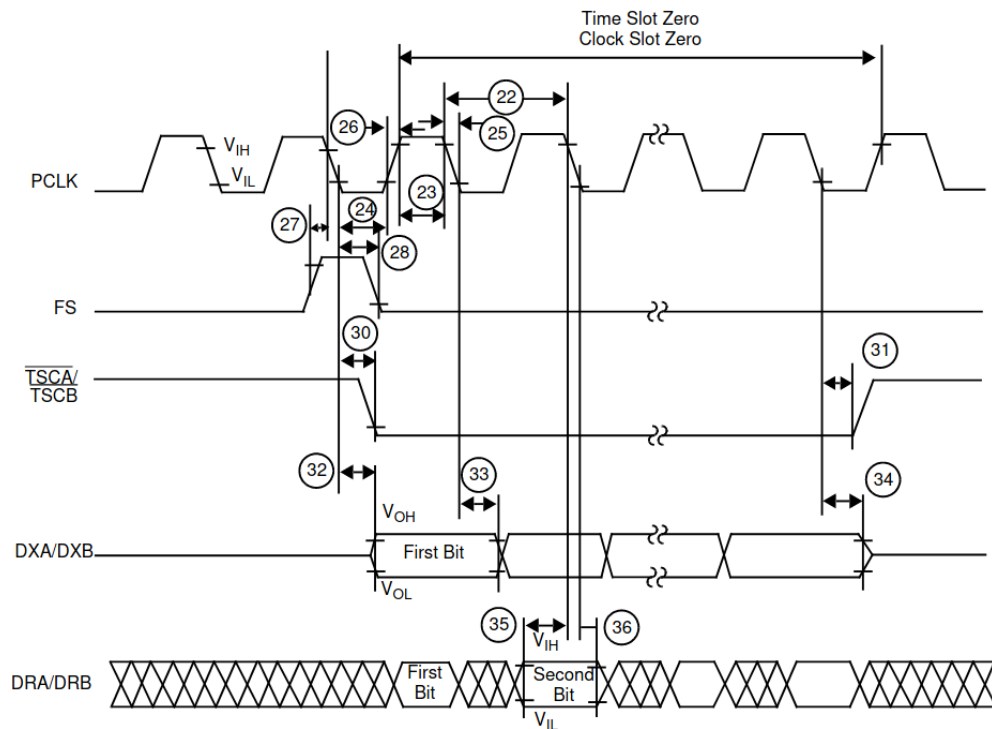
| Nome da pinagem | Tipo | Descrição |
|-----------------|---------|---|
| DRA | Entrada | Barramento de recepção do PCM. Permite receber de até 4 canais, porém é possível estender esse valor até 128 canais se usarmos a frequência máxima de 8192 MHz e outros 32 CODECs interconectados. Devido ao FS trabalhar com 8 KHz, recebe um quadro a cada 125 μ s. A recepção sempre ocorre com o bit mais significativo sendo o primeiro. |
| DXA | Saída | Barramento de transmissão do PCM. Assim como o DRA, ele também transmite 4 canais, prioriza o bit mais significativo e possui um intervalo de 125 μ s entre cada transmissão. Trabalha em alta impedância entre time slots, então o seu valor inicial será 1 no código. |
| TSCA | Saída | Indica que começou uma transmissão no DXA por meio de um ativo baixo: abaixa o pino no início da transmissão (primeiro <i>time slot</i>) e levanta ele quando tiver terminado a transmissão (último <i>time slot</i>). |
| FS | Entrada | Pulso de 8 KHz que serve para sincronizar a transmissão de todos os quadros. Ele indica o início do <i>time slot</i> 0 e <i>clock slot</i> 0, ou seja, o primeiro bit do primeiro canal. |
| PCLK | Entrada | É o clock do PCM. Por utilizarmos a arquitetura <i>single</i> PCM, a sua frequência mínima é de 256 kHz e a máxima é 8192 MHz. O valor deve ser um múltiplo inteiro de FS. |

- Descrição dos modos de funcionamento do barramento PCM (XE = 0 ou XE = 1) com os diagramas de tempo.

O valor de XE define se a transmissão ocorrerá na borda de subida ou na borda de descida do PCLK. XE igual a zero acarretará em uma transmissão na borda de descida, já um XE igual a 1 fará com que a transmissão ocorra na borda de subida. Na prática, uma transmissão que ocorre a partir da borda de subida do PCLK será atrasada em relação a uma que inicie em uma borda de descida. Essa diferenciação afeta apenas o início do quadro de transmissão, já que o restante da

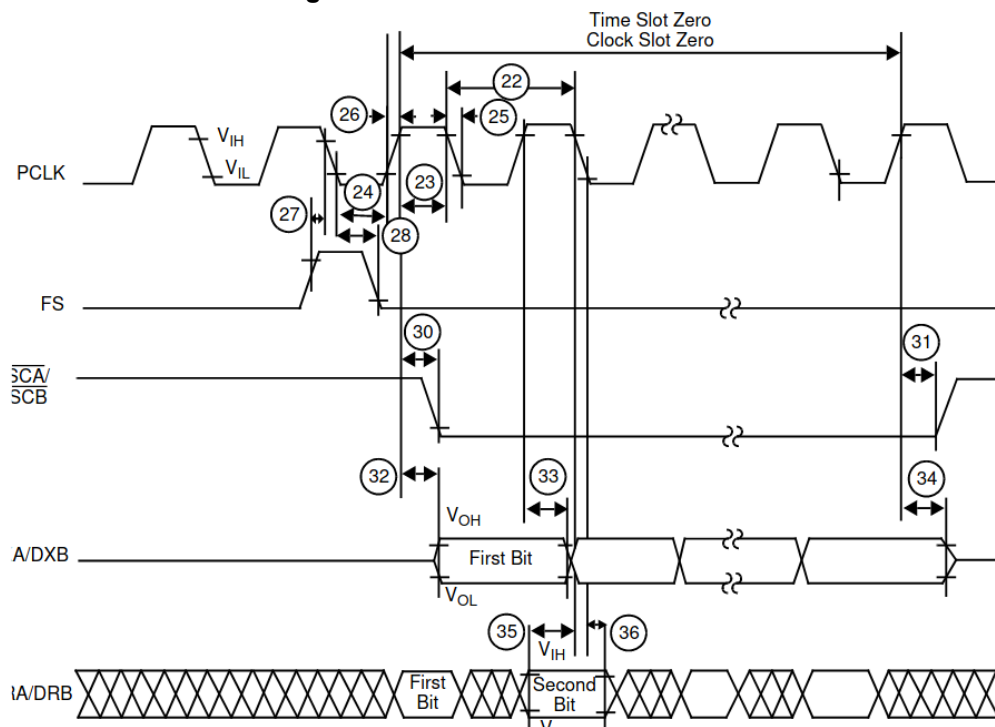
transmissão estará sincronizado com a borda escolhida. Segue abaixo os diagramas de tempo para cada uma das condições citadas.

Figura 1 - Transmissão PCM utilizando XE = 0.



Fonte: Manual do CODEC Le58QL022.

Figura 2 - Transmissão PCM utilizando XE = 1.



Fonte: Manual do CODEC Le58QL022.

- Descrição de como a frequência do PCLK impacta no número de canais.

Quanto maior for a frequência do PCLK, mais dados poderão ser transmitidos em um determinado período de tempo e, conseqüentemente, mais canais poderão ser tratados dentro deste mesmo período. Sendo assim, com um PCLK variando de 256 KHz a 8192 MHz, a menor frequência proporcionará 2 canais, enquanto a frequência máxima permitirá a utilização de 128 canais.

Obs: A frequência mínima é 256 KHz por estamos utilizando o CODEC Le58QL022 que é *single channel*.

- Definição da entidade e dos GENERICSs para o emulador a transmissão do barramento PCM do CODEC.

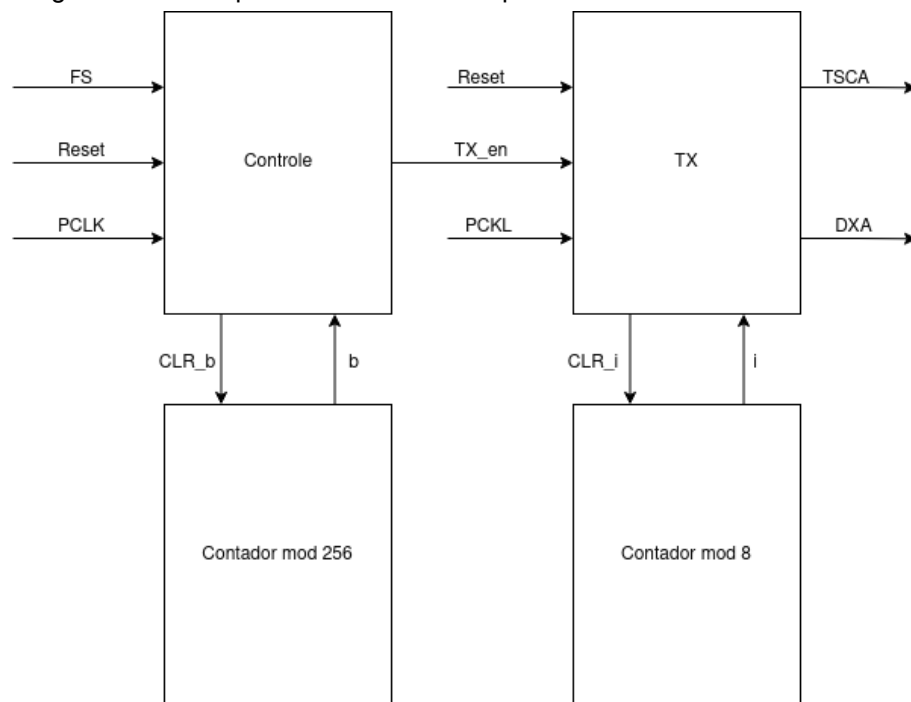
Entidades: codec e contador.

GENERICSs: XE e valor.

Parte 2 - Modelagem da máquina de estados de transmissão.

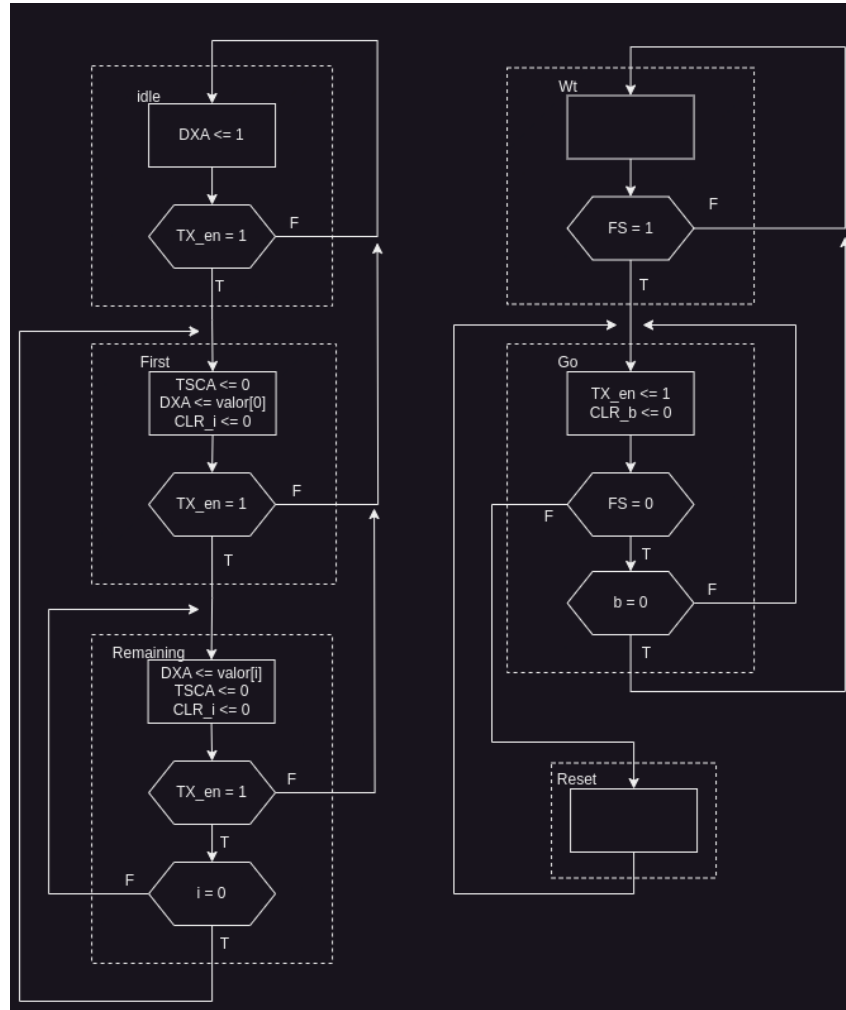
Para este projeto, criamos duas máquinas de estados diferentes: uma para controlar o início e o término da transmissão e outra para realizar a transmissão dos bits em si. Além disso, criamos um contador para controlar a transmissão dos 8 bits por canal e outro contador para verificar o término da transmissão após o envio de 256 bits. Abaixo encontra-se tanto o diagrama geral do projeto quanto as duas máquinas de estados finitas.

Figura 3 - Diagrama dos componentes necessários para a transmissão do barramento PCM.



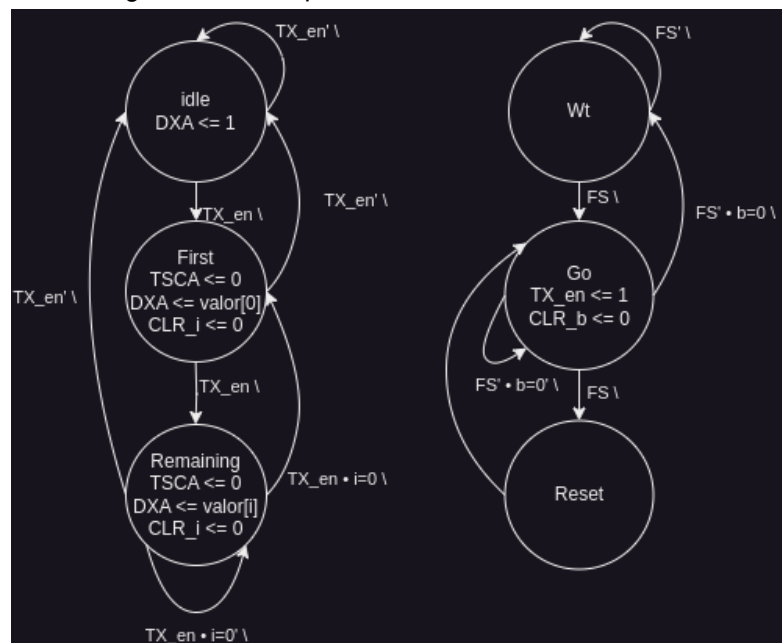
Fonte: Autoria própria.

Figura 4 - Diagrama ASM das máquinas de estados finitas do barramento PCM.



Fonte: Autoria própria.

Figura 5 - Diagrama das máquinas de estados finitas do barramento PCM.



Fonte: Autoria própria.

Implementação da máquina de estados e resultados obtidos

Uma vez tendo elaborado as máquinas de estados, o processo de conversão para código VHDL foi claro e eficiente, já que as variáveis e os estados já haviam sido previamente definidos. Em síntese, dividimos o transmissor do CODEC em duas MEFs diferentes: a primeira máquina é responsável por realizar a transmissão dos dados, enquanto a segunda informa à primeira quando deve haver o início, término ou reinício da transmissão, servindo como um mecanismo de controle.

No código, separamos as MEFs e o contador em quatro arquivos VHDL diferentes. O “codec.vhd” instancia os outros arquivos do projeto como componentes, servindo como um agente principal que mapeia as portas e interconecta as máquinas. Os arquivos “tx.vhd” e “controle.vhd” representam as duas máquinas criadas para o projeto, enquanto o “contador.vhd” é responsável por fornecer os contadores de 8 e 256 bits. Na transmissão, é realizada a contagem dos 8 bits (bit 7 a 0) antes de realizar o reset do contador e sinalizar o fim da transmissão no canal, já no controle são verificados se os 256 bits (bit 255 a 0) já foram transmitidos antes de desativar a transmissão do CODEC, sinalizando o fim da transmissão em todos os 32 canais.

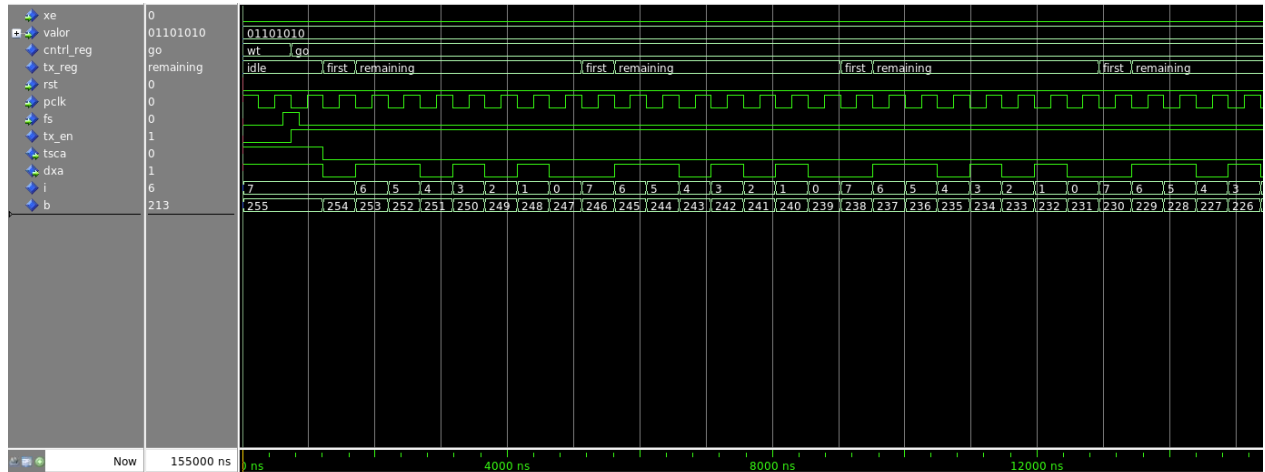
Para finalizar, realizamos a simulação do projeto tanto com XE igual a 0 (arquivo “tb_xe_0.do”) quanto com XE igual a 1 (arquivo “tb_xe_1.do”). Na figura 6, é possível notar que o projeto gerou 26 elementos lógicos e 14 registradores. A figura 7 demonstra que um XE igual a 0 acarreta em uma transmissão na borda de descida, já a figura 9 demonstra que o valor oposto faz com que a transmissão ocorra na borda de subida. Tanto a figura 8 quanto a 10 demonstram que, em ambos os casos, após o envio dos 256 bits, a transmissão é encerrada. Neste último caso, também foi testado o reenvio do quadro quando o controle recebe um novo pulso de FS, fazendo com que ambos os contadores sejam reiniciados na próxima borda de clock e, conseqüentemente, a transmissão também. É possível identificar em qual estado as máquinas controladora e transmissora estão analisando os sinais “cntrl_reg” e “tx_reg”, respectivamente.

Figura 6 - Número de registradores e elementos lógicos do “codec.vhd”.

| | |
|------------------------------------|---|
| Flow Status | Successful - Fri Jun 2 20:59:52 2023 |
| Quartus Prime Version | 20.1.1 Build 720 11/11/2020 SJ Standard Edition |
| Revision Name | codec |
| Top-level Entity Name | codec |
| Family | Cyclone IV E |
| Device | EP4CE115F29C7 |
| Timing Models | Final |
| Total logic elements | 26 |
| Total registers | 14 |
| Total pins | 5 |
| Total virtual pins | 0 |
| Total memory bits | 0 |
| Embedded Multiplier 9-bit elements | 0 |
| Total PLLs | 0 |

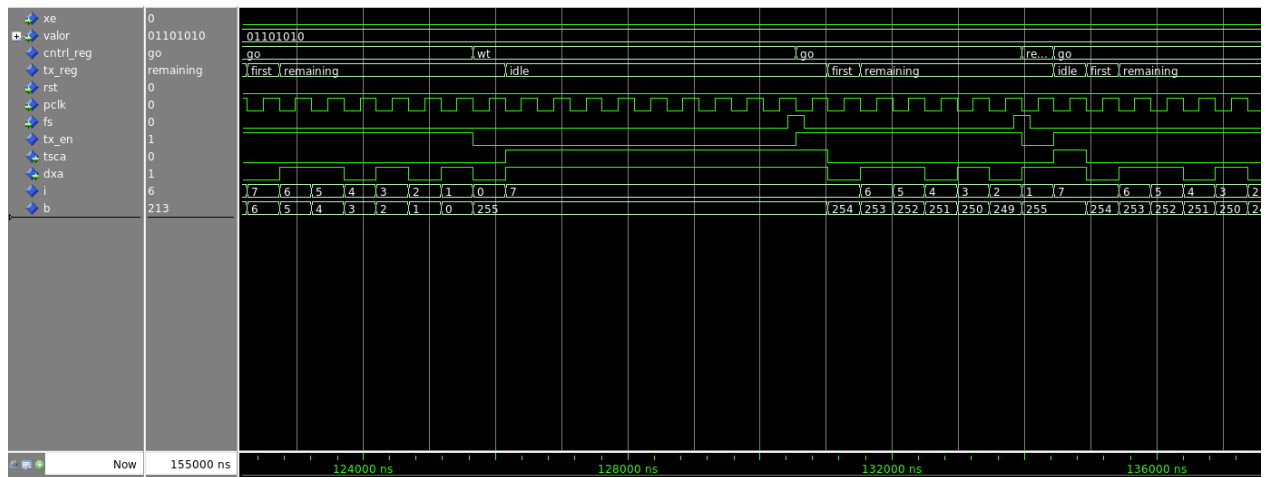
Fonte: Autoria própria.

Figura 7 - Início da transmissão utilizando XE = 0.



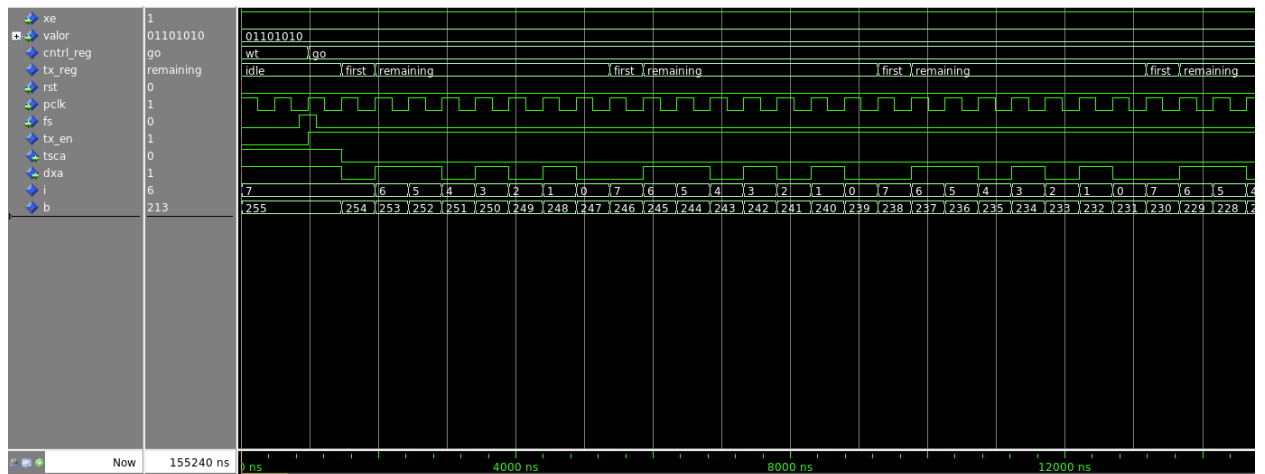
Fonte: Autoria própria.

Figura 8 - Término da transmissão e retransmissão utilizando XE = 0.



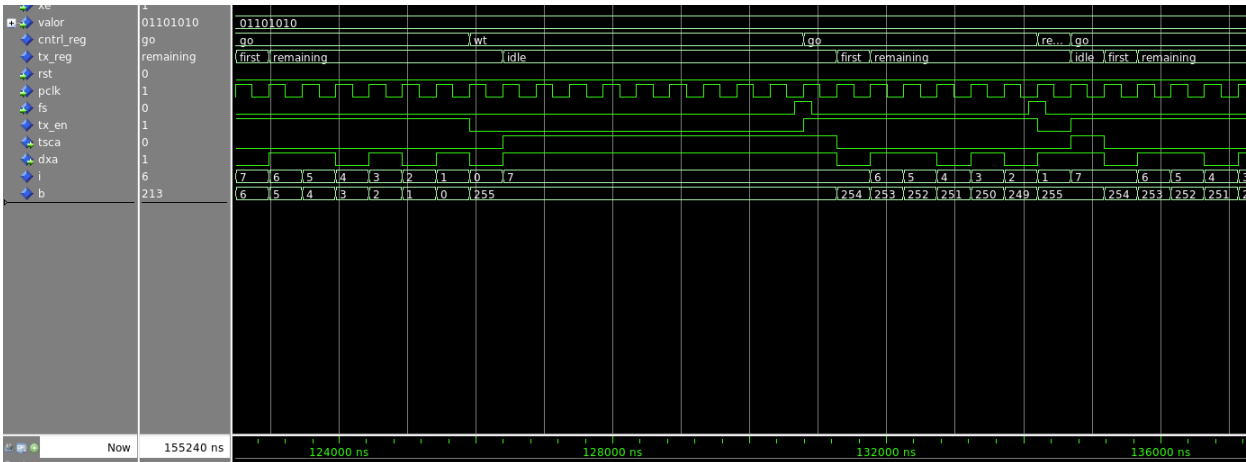
Fonte: Autoria própria.

Figura 9 - Início da transmissão utilizando XE = 1.



Fonte: Autoria própria.

Figura 10 - Término da transmissão e retransmissão utilizando XE = 1.



Fonte: Autoria própria.

Observação: para realizar os testes utilizando a transmissão na borda de subida ou de descida, é importante alterar o valor do GENERIC “XE” no código VHDL.