

C208 – Arquitetura de Computadores – 2023/2
Professor: Yvo M C. Masselli

Questão 1: Com relação aos MUX que compõe o circuito apresentado na arquitetura de referência, um deles é habilitado (com controle em nível lógico alto) apenas para uma única instrução. Qual é este MUX e qual é a instrução correspondente?

- a) O MUX cujo controle é ALU_SCR. Neste caso, o ALU_SRC é ligado apenas na execução da instrução "ADDI".
- b) O MUX cujo controle é MEM_TO_REG. Neste caso, o MEM_TO_REG é ligado apenas na execução da instrução "Store".
- c) O MUX cujo controle é MEM_TO_REG. Neste caso, o MEM_TO_REG é ligado apenas na execução da instrução "Load".
- d) O MUX cujo controle é REG_DEST. Neste caso, o REG_DEST é ligado apenas na execução da instrução "ADDI".
- e) Nenhuma das alternativas anteriores é verdadeira.

Questão 2: Na arquitetura apresentada, o campo FUNCT não está sendo utilizado. Isto não interferiu na execução das operações executadas pois:

- a) Este campo só é utilizado em operações do tipo J (jump).
- b) O ALU_OP a todo tempo foi informado manualmente. O campo FUNCT é utilizado para, junto com o OP CODE, definir o valor do ALU_OP.
- c) A ULA não comporta as operações que envolvem o campo FUNCT.
- d) Na arquitetura MIPS, em geral, este campo não é utilizado.
- e) Nenhuma das alternativas anteriores é verdadeira.

Questão 3 (10 pontos): Em uma operação do tipo LW ou SW, o endereço de memória é composto por um endereço base e um offset. Com base nisto são feitas as seguintes afirmações:

- I. Isto ocorre porque cada instrução ocupa quatro bytes na memória de programa.
- II. O offset está diretamente ligado ao contador de programa (PC).
- III. O endereço resultante é sempre a soma do endereço base com o offset.

São verdadeiras as seguintes afirmações:

- a) Somente I.
- b) Somente II e III.
- c) Somente I e III.
- d) Somente III.
- e) Todas.

Questão 4: Qual o papel do extensor de bits no circuito apresentado?

- a) Adequar o número de bits à entrada da ULA em uma operação do tipo ADD, por exemplo.
- b) Garantir que os 16 bits do imediato em uma instrução tipo I possam ser utilizados como entrada da ULA.
- c) Garantir que os 16 bits mais significativos da instrução tipo R possam ser utilizados como entrada da ULA.
- d) Adequar o número de bits à entrada da ULA em uma operação do tipo ADD, por exemplo.
- e) Nenhuma das alternativas anteriores é verdadeira.

Questão 5: Considere a execução de uma instrução do tipo "**LW St5, 12(St2)**". Quais bits de controle devem ser habilitados para que esta instrução seria executada corretamente? Explique.

Questão 6: Em quais tipos de instrução o controle ALU_SRC deve ser habilitado (colocado em nível lógico alto)? Explique.

Questão 7: Considere que o estado atual dos registradores seja o seguinte:

\$t1	0x10010002
\$t2	0x10010004
\$t3	0x10010008
\$t4	0x1001000B

Qual o valor na saída da ULA quando executada a instrução "**SW St1, 4(\$t3)**"? Explique.

Questão 8: A memória de dados presente no circuito é de 4MB. O endereço de memória a ser acessado em operações Load e Store é fornecido pela ULA. São usados 20 bits (0-19) de bits de saída da ULA. Caso seja desejado dobrar a quantidade de memória de dados, qual alteração deve ser feita no circuito em questão? Justifique.