

Projeto Final

1 Tema

Desenvolvimento do Jogo Genius (Simon) em FPGA

2 Contexto

O Pai do Video Game foi também o inventor do Jogo Simon



Conhecido mundialmente pelo nome “*Simon Says*”, o jogo eletrônico *Simon* foi inspirado pelo *Follow Me*, desenvolvido para a plataforma Atari. Diante da dificuldade em termos de jogabilidade apresentada pelo *Follow Me*, graças ao uso dos controles do console, seus criadores decidiram por desenvolver uma versão manual baseando-se no mesmo conceito.

Na figura acima, observa-se quatro grandes lentes, cada qual associada a uma cor e um sinal sonoro. Durante uma partida, o aparelho acende luzes situadas abaixo de tais lentes em uma dada sequência – essa sequência deveria ser então reproduzida pelo jogador, teclando as lentes em sua parte central. Caso o jogador acerte a sequência, o aparelho a repete novamente, acrescentando mais uma luz (o tamanho da sequência de luzes varia entre 1 e 32, conforme o grau de dificuldade); caso falhe, o jogador perde a partida. Há outros modos de jogo, os quais se baseiam no mesmo princípio de funcionamento. A primeira versão do Simon foi lançada em 1978, mas as vendas continuam até hoje, fazendo a alegria de crianças, e adultos nostálgicos.

3 Descrição do Problema

Sua equipe deve desenvolver um protótipo do jogo Genius, incorporando algumas modificações ao projeto original, dentre as quais, a exibição das lentes por meio de uma interface gráfica em um monitor VGA.

Em relação às funcionalidades, o protótipo deveria atender aos requisitos apresentados a seguir.

Requisitos Funcionais

- Apresentar 3 níveis de dificuldade:
 - **Fácil** (sequência de 8 luzes).
 - **Médio** (16 luzes).
 - **Difícil** (32 luzes).
- Permitir 2 níveis de velocidade:
 - **Lento** (2 seg. entre o acionamento de uma luz e outra).
 - **Rápido** (1 seg. entre o acionamento de uma luz e outra).
- Possibilitar 2 modos de jogo:
 - **Me Siga:** jogo no qual o aparelho gera a sequência.
 - **Desafio:** jogo no qual o usuário gera a sequência (apos o aparelho reproduzir a sequência entrada pelo usuário, o mesmo deverá reproduzi-la, acrescentando uma nova luz) Este modo é apropriado para 2 jogadores.
- Existência de um placar de pontuacao: essa pontuação deverá levar em consideração os níveis de dificuldade e de velocidade.
- Limitação de recursos de armazenamento: não podera haver armazenamento prévio de sequências em memória.

Em relação à interface gráfica exibida na tela, as seguintes especificações deverão ser respeitadas:

- Utilização de um monitor de vídeo com interface VGA padrão.
- Adoção de um arquivo bitmap com a imagem do produto original, com pequenas alterações.
- Adoção de elementos que permitam a representação das cores das luzes centrais das respectivas lentes coloridas sobrepostas ao bitmap. A área central de cada lente colorida deverá brilhar quando do acionamento da mesma, representando uma lâmpada interna;

Requisitos Não-funcionais

- Uso da placa FPGA DE2-115;
- 4 LEDs representarão as lentes coloridas;
- 4 push buttons representarão, cada qual, o pressionar de uma lente pelo usuário;
- 2 *push buttons* serao usados para fazer as seleções (dificuldade, velocidade e modo de jogo) e iniciar a partida;
- 4 displays de 7 segmentos de anodo comum serão usados para representar a pontuação e auxiliar nas seleções (dificuldade, velocidade e modo de jogo);
- Um monitor VGA deve representar a interface gráfica do jogo;
- Eventuais *debouncers* e conversores deverão ser implementados no FPGA;

4 Produto

O produto oriundo da solução deste problema deverá ser composto a partir dos artefatos a seguir, e dividido em entregáveis com prazos definidos no cronograma do projeto e convenientemente indicado após sua descrição.

Atividade 1

Apresentem o Diagrama de Estados da FSM correspondente ao problema exposto, desconsiderando os elementos de controle da interface com o monitor de vídeo.

Entrega: 14 de dezembro de 2018.

Atividade 2

Facam a implementação Verilog do Diagrama de Estados da FSM desenvolvida na Atividade 1, mapeando as portas de E/S para interfaces presentes na placa de desenvolvimento DE2-115.

Entrega: 01 de fevereiro de 2019

Atividade 3

Facam um *testbench* para validar o RTL produzido na Atividade 2, usando o software ModelSim. Não implementem um *testbench* linear, contendo apenas uma sequência de reproduções de sinais. Pede-se que o *testbench* não se limite a exibir apenas *waveforms* e, sim, adotem rotinas que comprovem o correto funcionamento do RTL, para qualquer configuração de jogo. Facam uso de mensagens descritivas, exibidas no console.

Entrega: 15 de fevereiro de 2019

Atividade 4

Nessa etapa final, seu grupo deverá desenvolver a parte lógica da interface gráfica do jogo e integrá-la ao sistema validado na Atividade 3. Adicionalmente, cada equipes deverá apresentar um relatório técnico, utilizando o formato de artigo IEEE, de no máximo 10 páginas, contendo uma apresentação sucinta do problema (não copie o texto do problema!), o projeto dos componentes (descrição geral, partes constituintes e sua correlação, estudos realizados e detalhes relevantes para a compreensão do sistema), simulações, conclusões (problemas encontrados, abrangência da implementação, possíveis melhorias e aprendizado adquirido), participação individual e referências bibliográficas (todas as fontes de pesquisa utilizadas devem estar citadas no relatório, sendo completamente desnecessárias sua reprodução).

Entrega: 01 de março de 2019.

5 Produto Final

A entrega do produto final deverá ser realizada em duas partes. A primeira refere-se à entrega do relatório técnico, enquanto a segunda corresponde à uma apresentação oral, seguida da demonstração de funcionamento do protótipo em FPGA.

No prazo indicado no cronograma, além do texto do relatório, em formato PDF, devem ser entregues os artefatos a seguir:

1. Especificação dos módulos em Verilog-HDL;
2. Testbenches usados para validação/verificação do sistema;
3. Demais elementos utilizados para o desenvolvimento do protótipo funcional do circuito em FPGA na plataforma de desenvolvimento DE2-115;

6 Orientações

Geral

O atendimento ao que está sendo solicitado somente será possível com a organização dos grupos, visitas ao laboratório e trabalho de pesquisa fora do horário de aula. As sessões de laboratório deverão ser usadas para análise, explanações sobre o que foi estudado e para tomadas de decisão. É importante destacar que não serão admitidas cópias de materiais existentes. É importante que as equipes troquem informações, mas, em hipótese alguma, compartilhem seus códigos-fonte.

Apresentação

Na apresentação e na demonstração, serão sorteados os alunos que deverão apresentar o trabalho e responder aos eventuais questionamentos. Assim, é importante que os membros de cada equipe procurem saber sobre todos os tópicos abordados, mesmo que ocorra uma divisão de atividades.

Uma atenção especial é esperada quanto à elaboração da apresentação, de modo que a mesma seja coesa e não vire uma “colcha de retalhos” (emenda de textos sob diferentes perspectivas).

Formato da Avaliação

A nota final será a composição de 3 (três) notas parciais construída de forma gradativa, ao longo das entregas parciais:

Relatório Técnico nota atribuída a cada grupo referente à correção do relatório técnico;
Peso: 20%.

Protótipo em FPGA nota referente à apresentação e demonstração de funcionamento do circuito na plataforma FPGA DE2-115.
Peso: 40%

Desempenho Individual nota de participação nas apresentações, de acordo com o interesse e entendimento demonstrados pelo estudante, assim como sua assiduidade, pontualidade e contribuição durante as sessões de laboratório e no desenvolvimento das atividades.
Peso: 40%.

7 Cronograma do Projeto

Semana	Data	Descrição
1	07/12/2018 (sex)	Sessão de Laboratório
2	14/12/2018 (sex)	Entrega da Atividade 1 (<i>online</i>)
3	21/12/2018 (sex)	Avaliação Teórica
4	01/02/2019 (sex)	Entrega da Atividade 2
5	08/02/2019 (sex)	Sessão de Laboratório
6	15/02/2019 (sex)	Entrega da Atividade 3
7	22/02/2019 (sex)	Sessão de Laboratório
8	01/03/2019 (sex)	Entrega do Produto Final