

Módulo SPI Master

Circuitos Lógicos Programables

Carrera de Especialización en Sistemas Embebidos

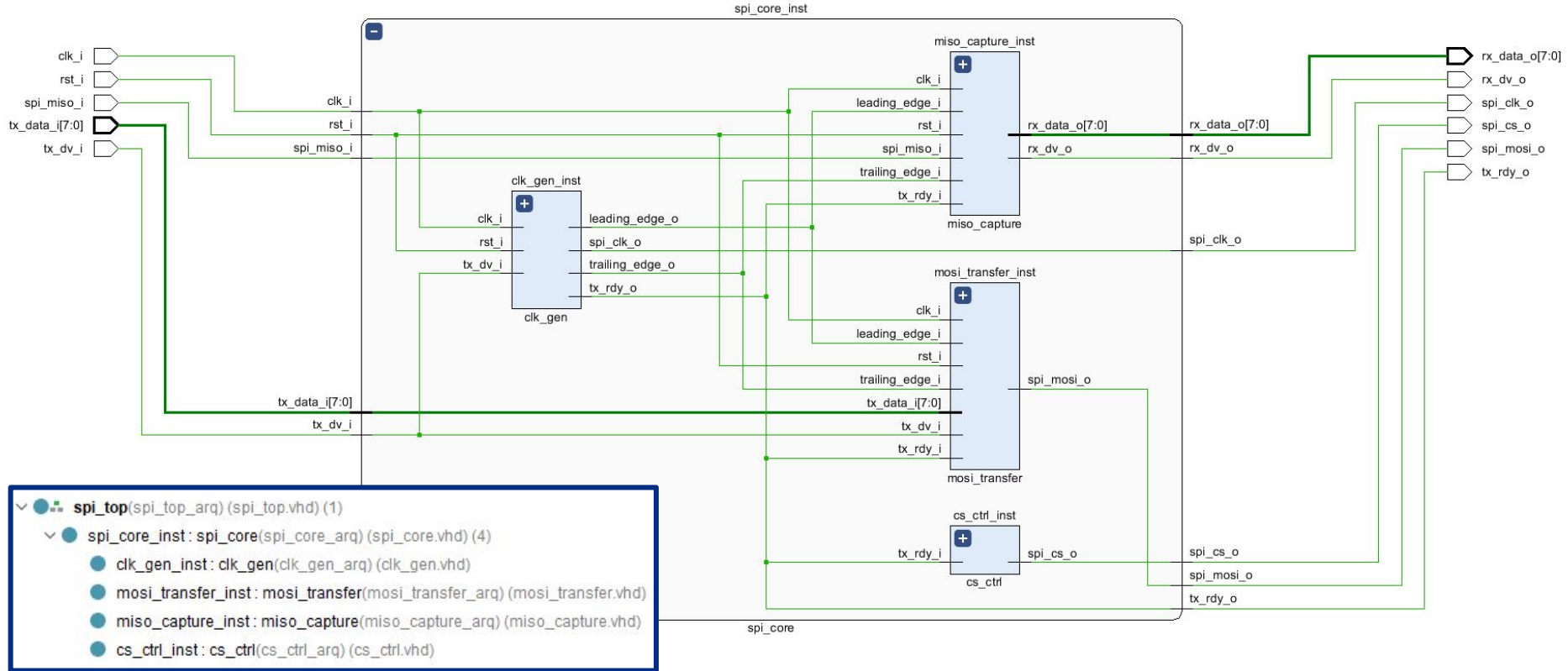
Alumno : Ing. Lucas Sebastián Kirschner

Descripción del módulo

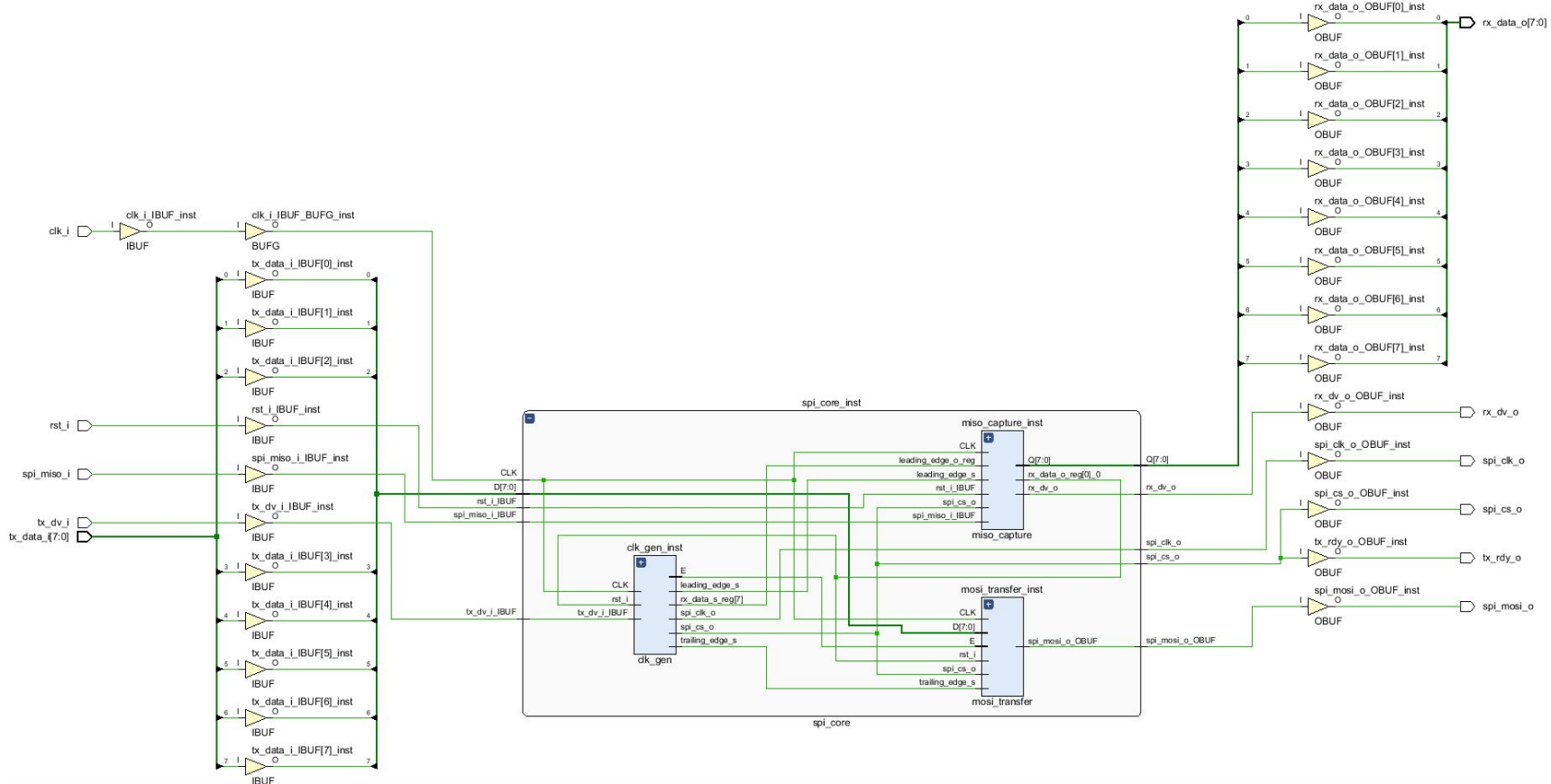
Módulo SPI Master con control automático de Chip Select (CS), soporte para los cuatro modos estándar de operación (CPOL/CPHA), ancho de palabra configurable (8 o 16 bits), selección del orden de bits (MSB/LSB first) y ajuste de frecuencia mediante parámetros de reloj de entrada y tasa de datos deseada

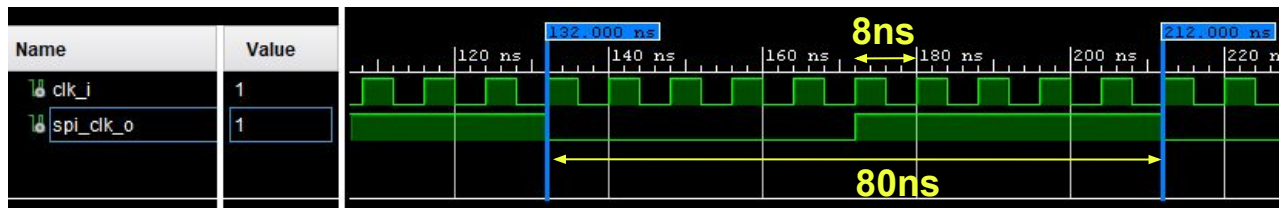
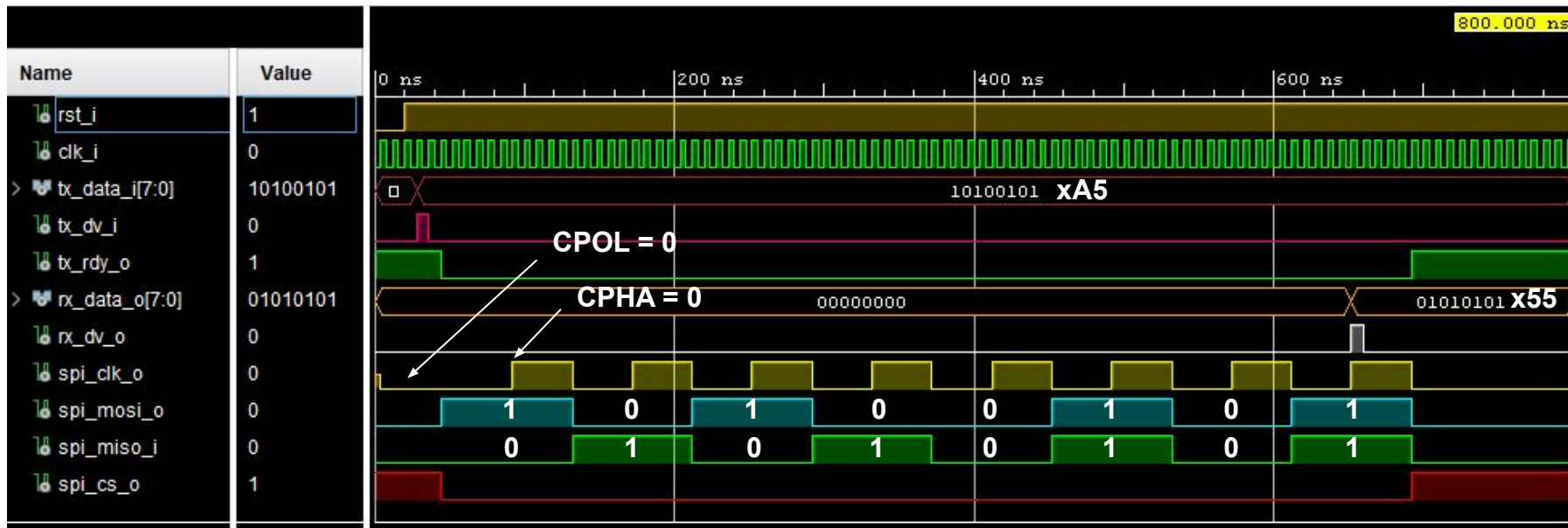


Diagrama lógico del sistema



Esquema del sistema sintetizado

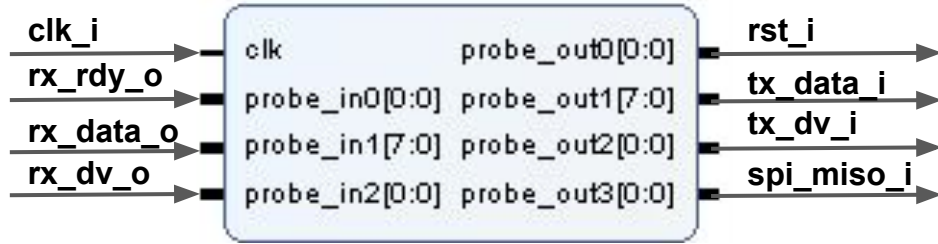




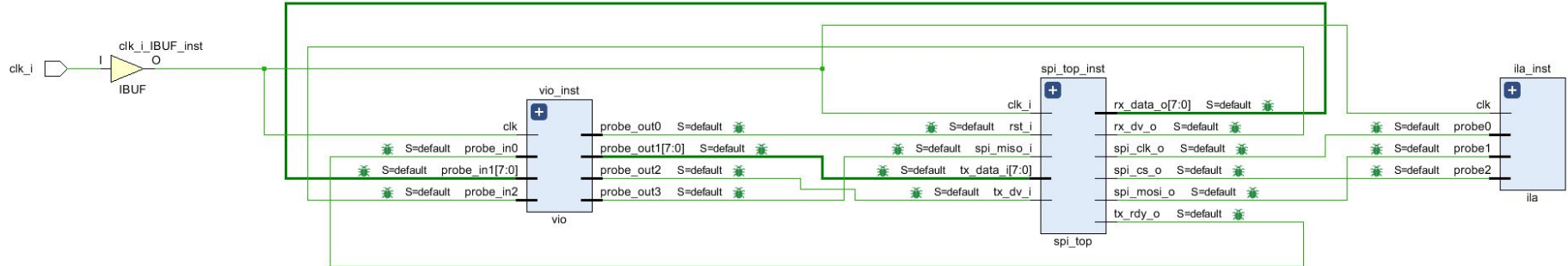
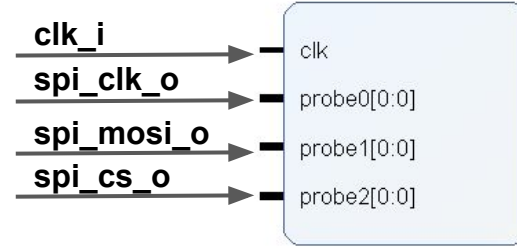
```
generic(
    DATA_SIZE    : positive  := DATASIZE_8BIT;
    MODE          : natural   := MODE_0;
    FIRST_BIT     : natural   := FIRSTBIT_MSB;
    CLOCK_RATE_HZ : positive  := 125e6;
    SCK_TARGET_HZ : positive  := 125e5
);
```

Implementación (VIO/ILA)

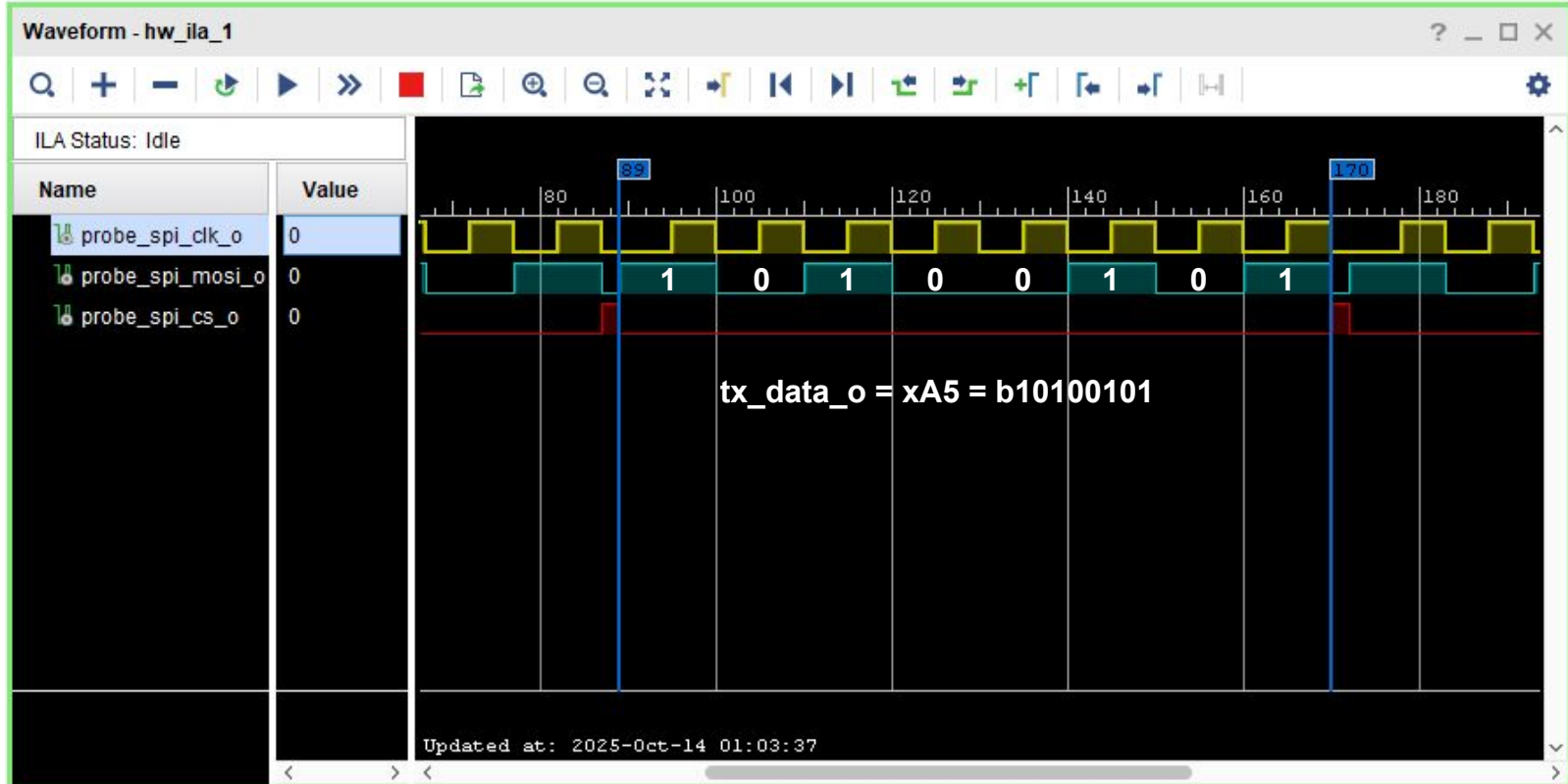
VIO (Virtual Input/Output)



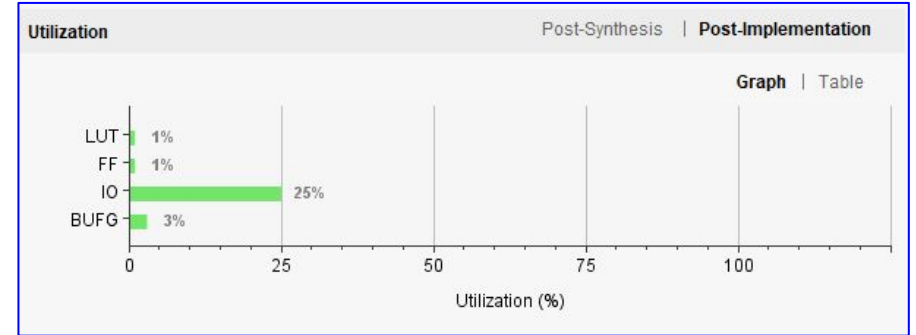
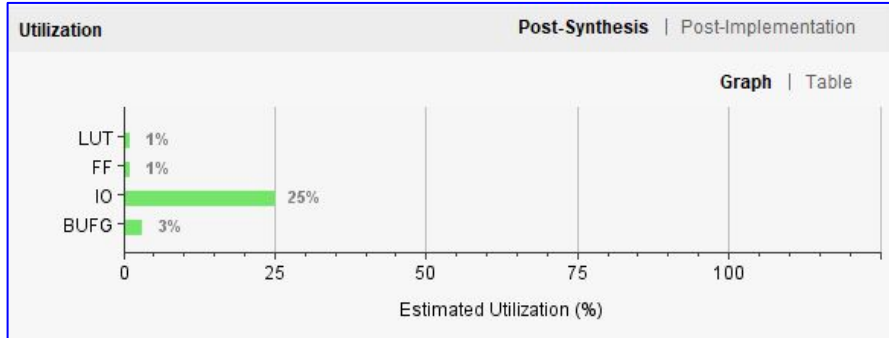
ILA (Integrated Logic Analyzer)



Implementación (VIO/ILA)



Uso de recursos



Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Estimation	Available	Utilization %
LUT	32	17600	0.18
FF	47	35200	0.13
IO	25	100	25.00
BUFG	1	32	3.13

Utilization Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization	Available	Utilization %
LUT	32	17600	0.18
FF	47	35200	0.13
IO	25	100	25.00
BUFG	1	32	3.13

Fin de la presentación

Muchas gracias