

UTN.BA

UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL BUENOS AIRES

Criterios para el Diseño de Circuitos Impresos:

Gateway LoRaWAN Evaluation Board para aplicación
en nanosatélites.

Liaño, Lucas

Agosto, 2022.

Proyecto realizado en:



Departamento de Ing. Electrónica,
Universidad Tecnológica Nacional.
Buenos Aires, Argentina.

Índice

1. Introducción	3
2. Descripción del proyecto	4
2.1. Estado del arte	4
2.2. Alcance	4
2.3. Diagrama en bloques	5
2.4. Componentes fundamentales	6
2.4.1. LoRa Concentrator: SX1302	6
2.4.2. Radio A y B: SX1250	6
2.4.3. Radio C: SX1262	7
2.4.4. RF Front-End integrado: SKY66423-11	7
3. Especificaciones del desarrollo	8
3.1. Consideraciones Generales	8
3.1.1. Costos y presupuesto asignado	8
3.1.2. Confiabilidad	8
3.1.3. Disponibilidad de componentes	8
3.2. Consideraciones Eléctricas	9
3.2.1. Señales de alta frecuencia	9
3.2.2. Redundancia	9
3.2.3. Sensado del sistema	10
3.3. Consideraciones Mecánicas	10
3.3.1. Factores de forma y PCI/104	10
3.3.2. Selección de componentes	13
3.3.3. Análisis térmico	13
3.4. Diagrama esquemático del circuito	14
3.5. Bill of Materials (BOM)	16
4. Elección del fabricante	19
4.1. Capacidades de manufactura	19
4.2. Proceso de Ensamblaje	20
4.3. Elección y costo de fabricación	20
5. Criterios de diseño	22
5.1. Consideraciones Generales	22
5.1.1. Ubicación de componentes	22
5.1.2. Ancho de trazas	23
5.1.3. Método de conexionado	25
5.1.4. Tamaño de vías	25
5.1.5. Organización del stackup	25
5.1.6. Serigrafía	26
5.2. Consideraciones Mecánicas	28
5.2.1. Dimensiones del PCB	28

5.2.2. Consideraciones térmicas	28
5.3. Consideraciones para señales de alta frecuencia	30
5.3.1. Ubicación de componentes	30
5.3.2. Geometría de las trazas	31
5.3.3. Adaptación 50Ω en CPWG	32
5.3.4. Par diferencial en RFI	36
5.3.5. Caminos de retorno y via stitching	37
6. Circuito Impreso	40
6.1. Pieza única	40
6.2. Panelizado	44
7. Conclusiones	45
8. Anexos	47

1. Introducción

El presente trabajo se presenta como entrega final del proyecto vinculado a la materia electiva *Introducción al Diseño de Circuitos Impresos*. En este escrito se dará a conocer la problemática abordada, la cual es propuesta en el marco de un proyecto de investigación que busca el desarrollo de un submódulo de aplicación aeroespacial, junto con los criterios de diseño utilizados para el desarrollo del circuito impreso solicitado por la cátedra.

El trabajo se subdividirá en distintas secciones, donde se abordará desde la descripción de la problemática hasta los criterios específicos utilizados.

2. Descripción del proyecto

2.1. Estado del arte

En la actualidad nos encontramos ante un crecimiento de las soluciones IoT (de la sigla inglesa correspondiente a ‘internet de las cosas’) con tendencia a continuar en el tiempo [1]. Entre estas tecnologías se encuentra LoRaWan, tecnología que si bien ofrece una amplia cobertura depende de la existencia de una infraestructura de gateways que posibilite la recepción de mensajes de los end-devices (sensores, actuadores, etc.), razón que encarece la utilización de estos dispositivos en sitios sin cobertura debido a que aumenta considerablemente la inversión inicial.

Una posible solución a esta problemática es un gateway satelital que permita cubrir periódicamente ciertas partes del globo. Esta propuesta no solo permitiría dar cobertura a grandes sistemas distribuidos, como los que se pueden encontrar en aplicaciones de agricultura de precisión dentro de la Argentina, sino que también podrían brindar servicio para pequeños sistemas aislados, como sensores ubicados en la Antártida, en cumbres de alta montaña o en plataformas petroleras marinas [2]. Si bien el desarrollo y la puesta en órbita de dicho satélite serían costosos, dado el ahorro en infraestructura y el posterior uso que tendría, la inversión inicial se cubriría con creces [3].

Aunque en la actualidad hay muchos proyectos de implementaciones LoRaWAN en satélites, la gran mayoría apunta a desarrollar sensores que envían sus datos vía LoRa a una estación terrena, mas no buscan incluir un gateway dentro del mismo [4][5][6].

Esto se debe a ciertas deficiencias impuestas por la misma norma del protocolo, que terminan limitando la ganancia de transmisión de los transceiver LoRa que se encuentren en tierra, donde las normativas existentes no permiten una potencia mayor a 30dBm. Esto provoca que el mercado no ofrezca soluciones integradas con potencias de transmisión mayores a las especificadas [7]. Particularmente, la repercusión que produce es que las soluciones LoRa actuales no sean aptas para su uso como transceivers en el espacio debido a que no logran otorgar una ganancia mínima necesaria para poder superar las distintas pérdidas que la aplicación conlleva.

Esto implica que para diseñar un gateway LoRa satelital haya que trabajar con soluciones no integradas, con la consecuente complicación que esto implica a nivel de diseño del circuito impreso al trabajar en RF. Por ende, en el proyecto a realizar, se propone trabajar en el desarrollo, diseño e implementación del software y hardware necesario para poder implementarlo a nivel espacial así como también el posterior proceso de verificación eléctrica y térmica de la misma [8][9]. Para tal fin se propone un subsistema con la arquitectura propuesta en la figura 1.

El mismo difiere de las implementaciones habituales LoRa en el agregado de un front-end de RF que le permite al módulo mejorar el presupuesto del radioenlace, agregando ganancia de transmisión y mejorando la figura de ruido en la recepción.

2.2. Alcance

Debido a que el desarrollo del trabajo final de la materia se debió realizar en un plazo menor a un mes, se propuso limitar el alcance del desarrollo. En este documento se deta-

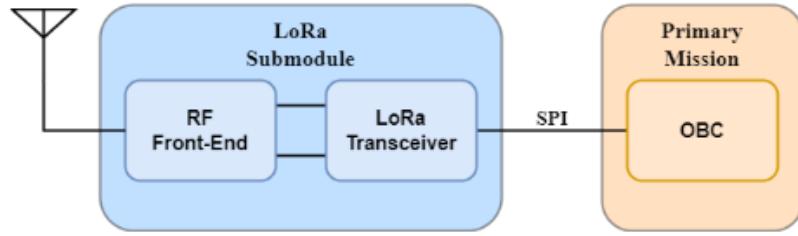


Figura 1: Representación del subsistema.

llarán los criterios de diseño utilizados para realizar una placa de evaluación del proyecto previamente descripto, sin indagar demasiado en las consideraciones de diseño del sistema.

2.3. Diagrama en bloques

A continuación, en la figura 2, se presenta el diagrama en bloques del sistema a desarrollar. Cabe destacar que el sistema en su totalidad estará redundado, salvo por la conexión con la antena, la cual debería ser por medio de un duplexor de RF, el cual no será utilizado dado que no se ha definido en el proyecto.

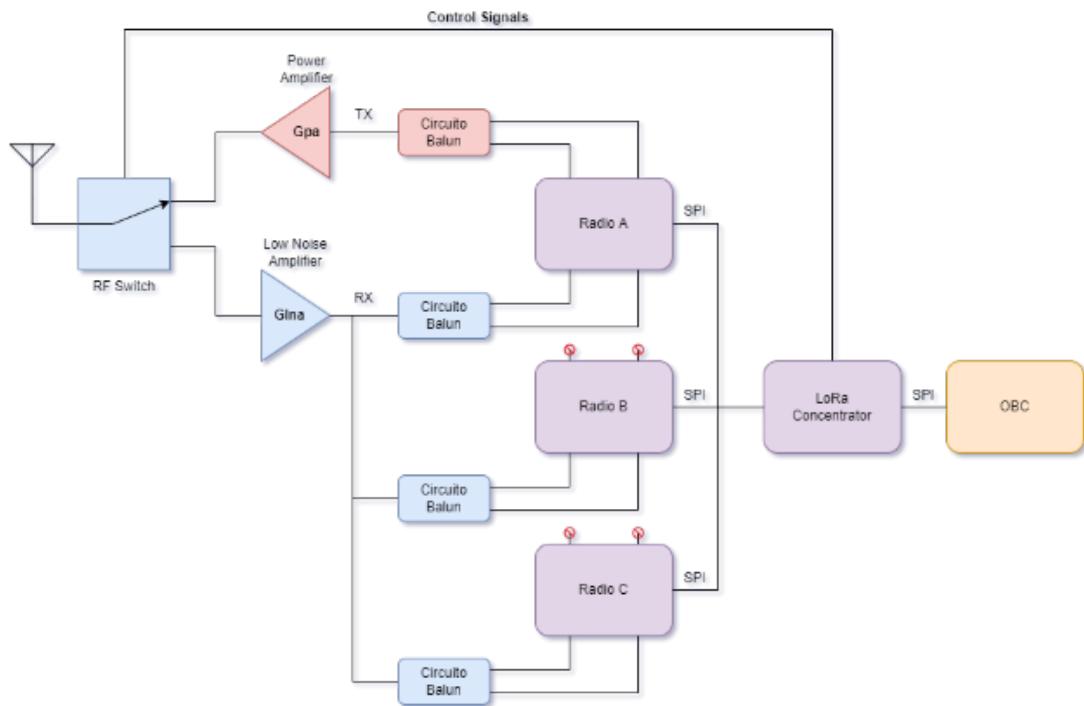


Figura 2: Diagrama en bloques del sistema principal.

En este diagrama es posible apreciar que se utiliza un tres radios distintas, donde todas se encuentran en conectadas en los pines de recepción, mediante un circuito balun, mientras que únicamente está en modo transmisión la radio A. Por otra parte, podemos observar que

se utiliza un front-end de RF, el cual está compuesto por un amplificador de potencia G_{PA} , un amplificador de bajo ruido G_{LNA} y un switch de RF.

Este submódulo no cuenta con un microcontrolador propio, por lo que deberá comunicarse con la computadora a bordo (OBC) mediante el protocolo SPI.

2.4. Componentes fundamentales

A partir del diagrama en bloques, podemos apreciar que los componentes fundamentales para el sistema serán el LoRa Concentrator (periférico que se ocupa de realizar las transacciones correspondientes con las radios), las radios propiamente dichas y el front-end. A continuación se detallan cada uno de los integrados utilizados, junto con algunas características particulares y un enlace a su hoja de datos, las cuales serán anexadas al final del documento.

2.4.1. LoRa Concentrator: SX1302

El SX1302 es un integrado desarrollado por la empresa Semtech Inc. el cual opera exclusivamente con lógica digital. Su propósito general es de actuar como un *LoRa Concentrator*, nombre otorgado por sus desarrolladores para referirse a un IP Core capaz de operar mediante SPI hasta dos transceivers SX1250.

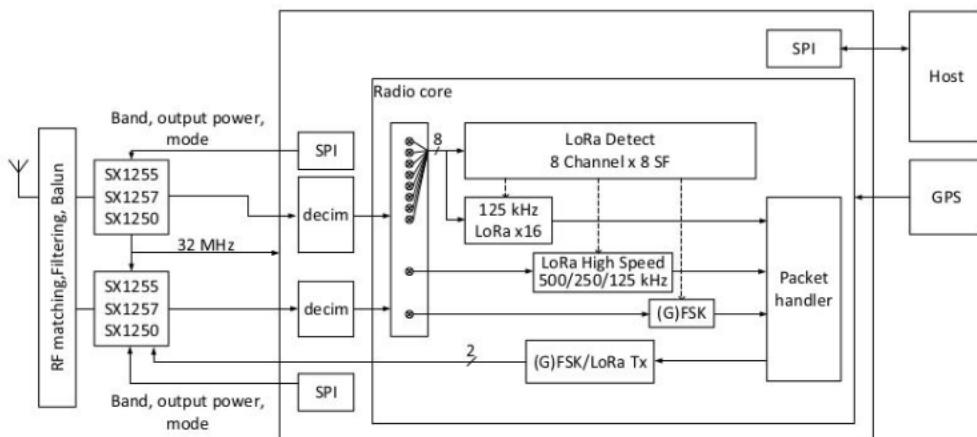


Figura 3: Diagrama en bloques de un LoRa Concentrator.

En la figura 3 podemos observar el diagrama en bloques del SX1302. Este dispositivo no opera directamente con las señales de RF, pero se ocupa de administrar los recursos disponibles de las radios. A su vez tiene integrado un periférico de GPIOs, lo cual podría ser de utilidad en un futuro. El datasheet puede ser encontrado en el siguiente [enlace](#).

2.4.2. Radio A y B: SX1250

Por otro lado, el SX1250 es el modulador/demodulador LoRa, también llamado radio. Estos dispositivos tienen un amplio rango de operación en el dominio frecuencial, por lo que

el concentrador deberá configurarlos para su operación en la frecuencia solicitada, en este caso el rango será $[915, 928] MHz$.

Este dispositivo tiene varias características interesantes desde el punto de vista de RF, como por ejemplo que ya está adaptado con una impedancia de 50Ω , o que cuenta con fuentes LDO y DC-DC integradas, pero dado que este análisis escapa al proyecto no se hará mucho hincapié. El datasheet puede ser encontrado en el siguiente [enlace](#).

2.4.3. Radio C: SX1262

Como radio alternativa se utilizará un SX1262. Este integrado es muy similar al SX1250, con la diferencia de que cuenta con otros features distintos. Dado que el concentrador solo es capaz de manejar radios tipo SX1250, este integrado deberá ser administrado directamente por la OBC, por lo que se utilizará la conexión SPI del host.

Agregar una radio externa, no manejada por el concentrador, nos permite utilizar dicha radio en recepción como un analizador de espectro. Existen proyectos ya desarrollados por la propia empresa Semtech donde se explica dicho uso y sus beneficios.

El datasheet puede ser encontrado en el siguiente [enlace](#).

2.4.4. RF Front-End integrado: SKY66423-11

Conforme se ha expresado previamente, bajo la necesidad de agregar potencia al radio-enlace para poder cumplir con el presupuesto de potencia propuesto, es necesario agregar un front-end de RF. En este caso nos hemos topado con el SKY66423-11, cuyo datasheet puede ser encontrado en el siguiente [enlace](#).

Este integrado cuenta con todos los componentes involucrados en un front-end tradicional, con la excepción de los filtros de RF. Entre las características más destacadas de este integrado podemos mencionar su potencia máxima de transmisión, la cual está rondando los $27dBm$, junto con una ganancia de recepción de $18dB$. Otra de sus virtudes es que, tanto en la recepción como en la transmisión, los pines ya se encuentran adaptados a 50Ω , lo que evita tener que agregar circuitos de *impedance matching*.

En la figura 4 se agrega una representación del diagrama en bloques del integrado.

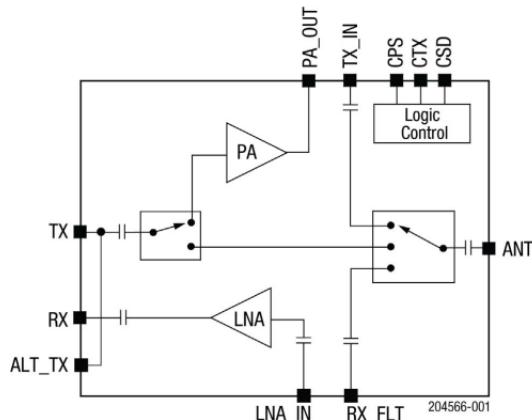


Figura 4: Diagrama en bloques del front-end integrado.

3. Especificaciones del desarrollo

3.1. Consideraciones Generales

En primera instancia cabe aclarar que este diseño se realiza bajo el marco del proyecto final de una materia de grado, y el mismo ha sido realizado en su integridad en un plazo menor a un mes. Es por ello que se limitará el alcance del proyecto en múltiples ocasiones, dando lugar a mejoras en un trabajo futuro.

3.1.1. Costos y presupuesto asignado

Debido a que este proyecto será llevado adelante el mismo tiene un presupuesto *limitado* asignado. Esto nos impulsa a reducir a toda costa el costo de fabricación y ensamblaje del circuito impreso. Aunque, si bien se buscará reducir los costos, cabe mencionar que el costo de mano de obra de ingeniería no está siendo tomada en cuenta. Es por tal motivo que en algunas circunstancias se buscará simplificar el problema de diseño, a pesar de representar un mayor costo en producción. También cabe destacar que, dado que este es un producto que no será fabricado en cantidad, o al menos no al momento de escribir el presente informe, se tomarán algunas licencias en los criterios que a ello refieren.

3.1.2. Confiabilidad

El espacio es un ambiente adverso tanto para las personas como para la electrónica. Por otra parte, el mayor costo en las misiones espaciales actuales es el costo de lanzamiento de las mismas, a pesar de haberse reducido drásticamente con la llegada de empresas que reutilizan sus cohetes.

Esto motiva el diseño de hardware orientado a la confiabilidad, por lo que en este desarrollo se tendrá como especificación general buscar la confiabilidad del desarrollo tanto como sea posible, y en la medida que el presupuesto lo permita. No debe perderse de vista que el costo de un desarrollo de este estilo suele incrementar exponencialmente con el tamaño del mismo.

3.1.3. Disponibilidad de componentes

Si bien es preciso diseñar para la manufactura, lo cual involucra tener en cuenta la crisis a nivel mundial en lo referido al mercado de componentes electrónicos, en este trabajo no lo tendremos en cuenta ya que el tiempo para su desarrollo no es suficiente.

En un apartado más adelante se hará una reflexión en lo referido a la selección de los componentes, pero en líneas generales resulta una gran parte del trabajo el proceso de selección de la electrónica, y dado que el objetivo de este trabajo no es diseñar un producto real, sino explicar los criterios de diseño del mismo, se utilizarán componentes que puedan no estar disponibles.

3.2. Consideraciones Eléctricas

3.2.1. Señales de alta frecuencia

LoRa es un protocolo de comunicaciones que utiliza un tipo de modulación derivado del *Chirp Spread Spectrum*. Esta modulación puede operar a distintas frecuencias, por lo que cada país ha determinado la banda dedicada a este protocolo. En la Argentina se ha adoptado el uso del plan AU915-928, desarrollado por la *LoRaWAN Alliance* [7]. Dicho plan establece que se utilizará una señal de barrido (chirp) en el rango $[915, 928] \text{MHz}$.

Esto implica que la frecuencia de operación de los moduladores estará en un rango cercano a $f = 1\text{GHz}$. Este tipo de señales no puede ser tomado a la ligera en el diseño del circuito impreso debido a que, para poder cumplir de la mejor manera con el presupuesto de potencia requerido (del cual no hablaremos mucho al respecto, pero que no es ilimitado) es preciso diseñar las pistas como líneas de transmisión para evitar tener pérdidas por reflexiones, lo cual incluso podría dañar a los transmisores.

Por otra parte, como el dispositivo generará emisiones electromagnéticas, las mismas deberán tener un contenido espectral acorde al plan mencionado anteriormente. Esto implica que en el diseño se tengan que mitigar todas las fuentes de ruido de la mejor manera posible.

Estas serán especificaciones primordiales que alterarán los criterios de diseño utilizados de forma radical. Se abordará este tema con mayor detalle en las siguientes secciones.

3.2.2. Redundancia

Conforme se ha mencionado previamente, al momento de diseñar se buscará incrementar la confiabilidad. Dentro de las técnicas tradicionalmente utilizadas en la industria aeroespacial con la finalidad de mejorar el diagrama de confiabilidad podemos encontrar la utilización de sistemas redundantes. Dichos sistemas estarán compuestos al menos dos veces por su bloque principal, pero deberá contar con algunas señales de control que permitan seleccionar el modo de operación y/o selección del hardware en funcionamiento.

Al momento de analizar un sistema redundante será conveniente analizar puntos únicos de falla, los cuales darán indicio de que tan confiable es el sistema. En el caso del proyecto existe una limitación que pone en jaque al modelo redundante: la utilización de una única antena.

Como la antena será única, el sistema no estará correctamente redundante, o al menos no sin agregar lógica complementaria. Es por ello que se *limitará el alcance* de este, y si bien se redundará la lógica general, *se despreciará este inconveniente*, conectando la salida de ambos sistemas al conector. Esto provocará que el sistema NO funcione correctamente en la vida real, ya que se desadaptará la salida del mismo por un valor igual a la mitad de la impedancia.

A pesar de ello, conocemos que es posible diseñar el mismo sistema agregando un duplexer de RF, el cual no se ha incorporado por desconocer los criterios de selección de dicho componente.

3.2.3. Sensado del sistema

En una aplicación real es preciso incorporar integrados que puedan medir el correcto comportamiento del sistema. Como este trabajo busca desarrollar un primer prototipo de la placa de evaluación, no se incorporarán dichos componentes. Sin embargo, se tendrá en consideración la necesidad de agregarlos en un futuro, por lo que se deberá dejar espacio suficiente para su incorporación.

3.3. Consideraciones Mecánicas

3.3.1. Factores de forma y PCI/104

Como primer consideración mecánica a tener en cuenta es el tamaño disponible en los cubesat. Para ello nos referimos al documento oficial *Cubesat Design Specification* [10]. Este documento da a conocer requerimientos que solicita NASA [12], junto con las empresas asociadas como *lanzadores*, para poder poner en órbita un nanosatélite. Entre estas especificaciones se detallan algunas restricciones en lo referido al tamaño del satélite, lo que en definitiva termina limitando el tamaño del PCB.

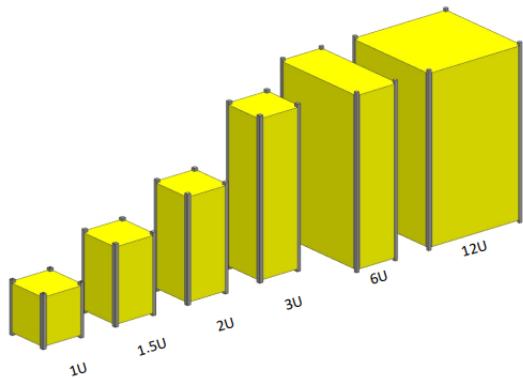


Figura 5: Comparativa de distintos factores de forma disponibles para misiones cubesat.

En la figura 5 podemos observar los distintos factores de forma disponibles para una misión de este tipo, todos definidos a partir del bloque unitario denominado *1U*. En la figura 6 es posible observar la definición de dicho bloque unitario. Dicho unidad podrá tener una masa de hasta $m = 2kg$. El resto de los factores de forma se definen a partir de agrupar estos bloques unitarios de distinta forma.

Una práctica común entre los diseñadores de nanosatélites es apilar los distintos PCB en lo que se denomina un *stack*. Por este motivo resulta muy utilizada la especificación **PCI-104**, o sus versiones más actualizadas como PCIe-104 [11]. Por tal motivo, distintas empresas están comercializando hardware de distinta índole compatible con las distintas versiones del estándar.

En la figura 7 podemos observar una computadora de a bordo (OBC) fabricada por la compañía ISIS. Por otro lado, en la figura 8 está representado lo que en la jerga se conoce como PC-104 stack.

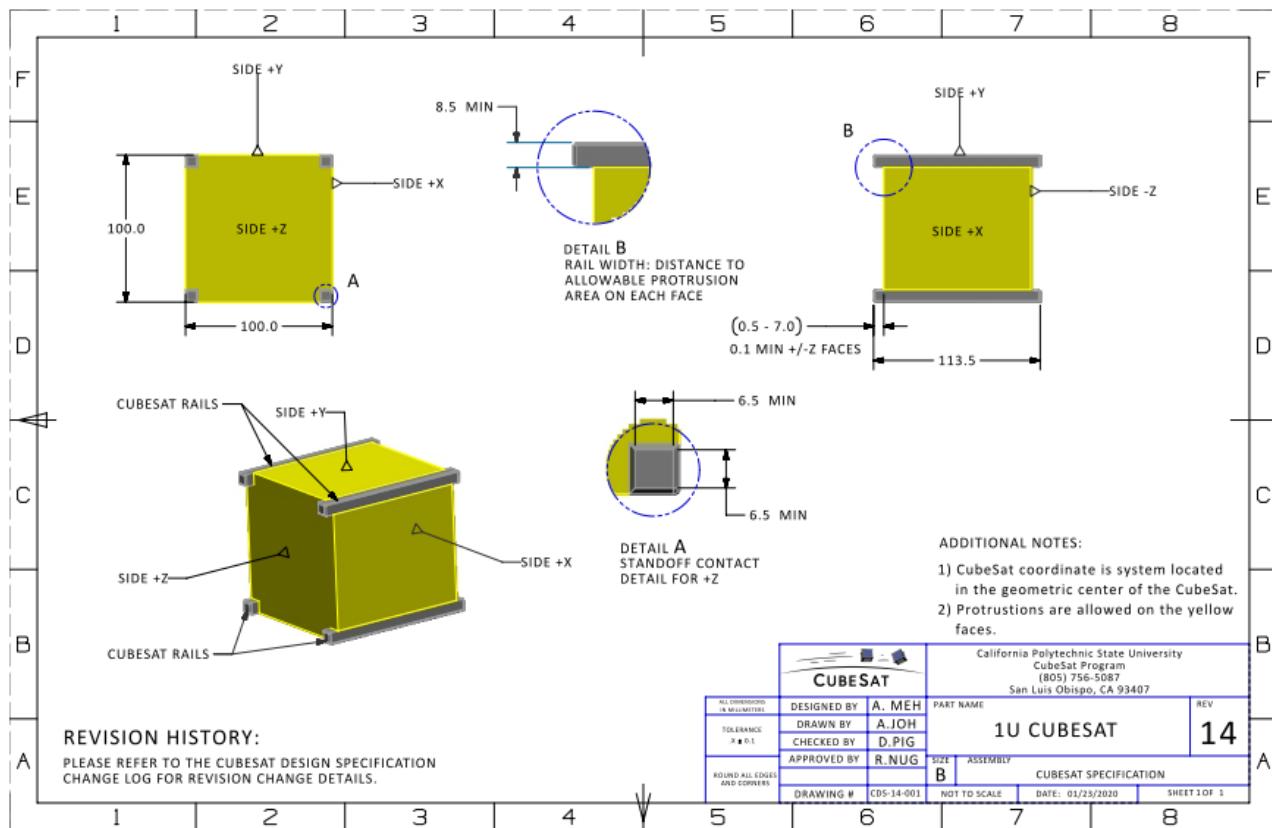


Figura 6: Definición del factor de forma 1U.

Con la finalidad de adaptarnos al rubro, aplicando las prácticas comunes, se propone diseñar el circuito impreso siguiendo el factor de forma establecido por el estándar PCI-104. Sin embargo, debido a que aún se desconoce cual será la OBC, y por ende cual es pinout utilizado para nuestro diseño, no se incluirá el conector adecuado. En su lugar se utilizarán conectores sencillos de conseguir en el mercado local.



Figura 7: ISIS-OBC.

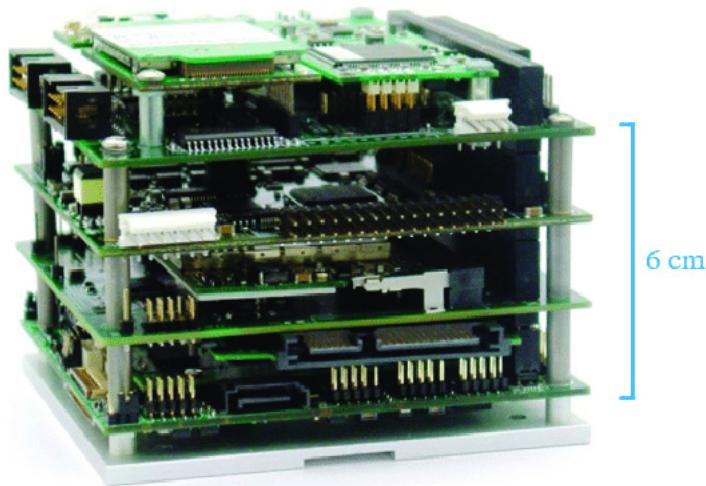


Figura 8: Representación del PC-104 Stack.

3.3.2. Selección de componentes

De igual manera que sucede con el factor de forma, existen otras restricciones impuestas por el *Cubesat Design Specification*. Ya que los nanosatélites son enviados a órbita mediante un cohete, los mismos deben sobrevivir a las vibraciones a las que son expuestos en el momento del despegue.

Dichas vibraciones pueden ocasionar problemas en los circuitos impresos, que van desde desconexión de cables hasta el desoldado de componentes. Es por ello que, al igual que en el rubro automotor, se deben seleccionar componentes que han sido evaluados conforme a una norma que aplique pruebas de entorno (también conocidas como *environmental tests*) en lo referido a vibraciones.

Por su parte, el rango térmico de operación de los componentes es algo a tener en consideración. Las normas automotrices tienen en consideración estos efectos, pero las normas de grado militar/aeroespacial son más contundentes en su análisis.

Al seleccionar componentes que fueron evaluados en estas condiciones atípicas, se agrega confiabilidad en el diseño. Esto implica que existe una mayor probabilidad de éxito de la misión, dado que disminuye la probabilidad de error debido a las vibraciones, por ciclado térmico y/o exposición a altas/bajas temperaturas. En contra partida, estos componentes resultan más costosos y difíciles de conseguir, lo dificulta el proceso de diseño del circuito impreso.

En este trabajo, si bien se conoce que se debe tener en consideración dicho criterio, se despreciará dicho criterio con la finalidad de agilizar el proceso de diseño. Alternativamente, en el trabajo de Geib [11], podemos observar un apartado que detalla bastante el proceso de selección de componentes con ésta finalidad.

3.3.3. Análisis térmico

Otro de los puntos críticos en el diseño de un circuito impreso de aplicación espacial es el análisis térmico del mismo. En el común de los diseños de circuitos impresos se toma un modelo térmico que considera al PCB en contacto con el aire, por lo que el método de disipación predominante en el sistema es la convección.

En el espacio la densidad del aire es muy baja, por lo que el calor no puede ser disipado mediante convección. Esto altera fuertemente el modelo térmico que debe ser utilizado, el cual va a contar con la conducción y radiación como método principal de disipación de calor.

Otro aspecto a tener en cuenta en lo referido a diseño térmico es la diferencia de temperaturas alcanzada entre las distintas caras del satélite. Dependiendo de la ubicación del PCB, si se encuentra cercano al lado del satélite que apunta hacia el sol, el mismo estará expuesto a una temperatura muy alta. En contraposición, si el PCB se encuentra orientado hacia el lado opuesto al sol, el mismo tendrá una temperatura de operación por debajo de 0°C.

Como se mencionó en el inciso anterior, la selección de componentes con un rango térmico de operación mayor es un criterio importante en el diseño, pero no el único. Para mejorar las condiciones térmicas de operación del circuito existen otras estrategias, como la utilización de planos de cobre de mayor espesor conectados a pads de disipación, la utilización de dieléctricos con mayor conductividad térmica o la implementación de circuitos de mantenimiento de

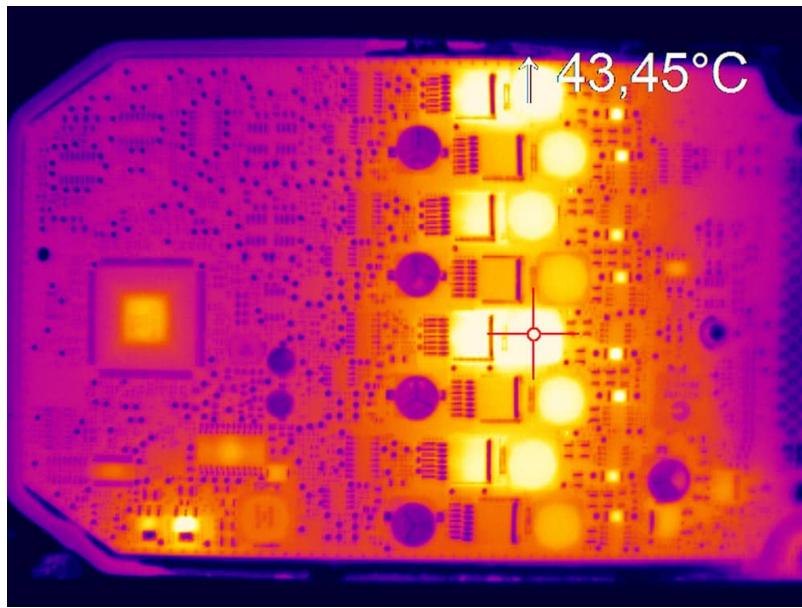


Figura 9: Método de verificación de una correcta conducción térmica mediante el uso de cámaras termográficas.

la temperatura, si se trabaja por debajo del rango admisible [13].

En concreto, para este proyecto se implementarán parcialmente algunos de estos criterios. Se proyecta realizar pruebas sobre el circuito una vez fabricado, de manera tal de reducir el costo que significaría adquirir una licencia de un software de simulación térmica. Para ello se propone realizar una evaluación térmica mediante el uso de cámaras termográficas, como se ilustra en la figura 9.

3.4. Diagrama esquemático del circuito

En la sección de anexos (8), al final del documento, se adjuntan las hojas correspondientes al diagrama esquemático del proyecto.

Cómo podremos observar allí (o en la figura 10), el sistema esta compuesto por dos bloques denominados *Principal* y *Redundado*, utilizando la estrategia de diseño llamada *Multi-Channel, Hierarchical Design*. Esta estrategia permite al diseñador replicar de forma simple el conexionado físico de aquellos circuitos repetidos, dejando la posibilidad de variar aquellos conexionados que no son compartidos.

En contra partida, para poder llevar adelante una buena implementación de este tipo de estrategia de diseño es necesario respetar rigurosamente la nomenclatura (*naming shceme*) utilizada al momento de anotar los designadores de cada componente en el circuito, o en el sub-sheet. Esto es así dado que Altium podrá reconocer que nets son equivalentes en ambos circuitos a partir de poder definir completamente cada elemento del circuito, el cual estará asociado a un nombre que sigue un determinado patrón, el cual puede ser personalizado por el usuario.

Esta estrategia es utilizada para replicar el routeo de la parte redundada, pero al mismo tiempo se utiliza para replicar la ubicación de los componentes asociados a cada radio.

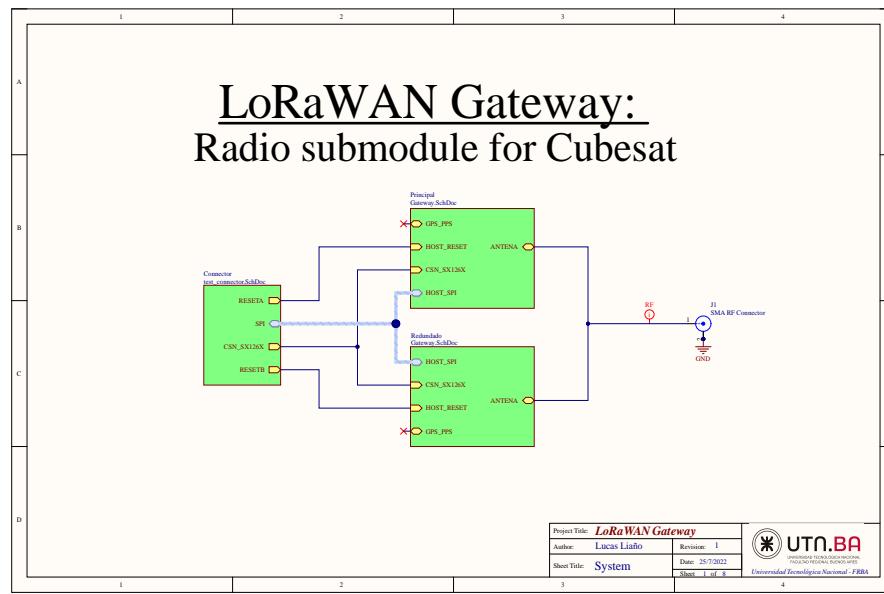


Figura 10: Primera página del diagrama esquemático.

Otra desventaja de esta estrategia es la imposibilidad de utilizar *Power nets* globales. Cuando se toma la decisión de redundar un sistema, es coherente con dicha decisión redundar por igual el circuito de potencia. Debido a que la mayor parte de los circuitos comerciales no utilizan redundado, Altium no cuenta con herramientas específicas para su diseño. Por este motivo se tuvo que recurrir a utilizar nets locales para rutear las señales de alimentación en cada uno de los gateways. Esto se puede observar en la página 7 del esquemático, o en su defecto en la figura 11.

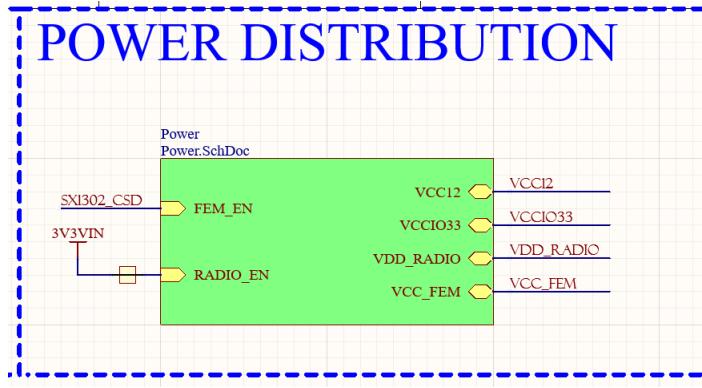


Figura 11: Distribución de trazas de alimentación en sistemas redundados utilizando diseño multi-canal.

Para mas detalles referidos al sistema se recomienda referirse al diagrama completo al final del documento.

3.5. Bill of Materials (BOM)

A continuación se presentá una tabla con la lista de materiales. Para una mejor interpretación de la información se sugiere referirse a la misma lista que ha sido cargada en [Octoparts BOM](#). En la lista de Octoparts se podrá observar que no todos los componentes están disponibles, lo cual no fue tomado como requisito para este proyecto.

El costo aproximado de los componentes es de al menos 250 USD, sin tener en cuenta el uso de componentes de aplicación automotriz o aeroespacial.

Designator	MPN	Comment	Qty.
C1A, C1B, C2A, C2B, C4A, C4B, C5A, C5B, C6A, C6B, C7A, C7B, C9A, C9B, C11A, C11B, C13A, C13B, C26A, C26B, C26C, C26D, C32A, C32B, C50A, C50B, C53A, C53B, C59A, C59B, C60A, C60B	C1206C104K4HACAUTO	100nF 16V X8R	32
C3A, C3B, C8A, C8B, C10A, C10B, C12A, C12B, C23A, C23B, C23C, C23D, C29A, C29B	CGA4J3X8R1C105K125AB	1uF 16V X8R	14
C14A, C14B	GCM188R91H102KA37D	100nF 50V X8R	2
C15A, C15B	GCM188R91H472KA37D	47nF 50V X8R	2
C16A, C16B	0603J0500470GAT	47pF 50V C0G	2
C17A, C17B	06035A390FAT2A	39pF 50V C0G	2
C18A, C18B, C38A, C38B	GRM0335C1H100FA01D	10pF 50V C0G	4
C19A, C19B	GRM0335C1H2R7WA01D	2.7pF 50V C0G	2
C20A, C20B	ML03512R1BAT2A	2.1pF 50V C0G	2
C21A, C21B, C21C, C21D, C27A, C27B	C0603X100J8HACAUTO	10pF 10V X8R	6
C22A, C22B, C22C, C22D, C24A, C24B, C24C, C24D	GJM0335C1H3R6WB01	3.6pF 50V C0G	8
C25A, C25B, C25C, C25D, C31A, C31B	VJ0603H472JXXAC	470nF 25V X8R	6
C28A, C28B, C39A, C39B	GJM0335C1H2R4WB01	2.4pF 50V C0G	4
C30A, C30B, C44A, C44B	GJM0335C1H1R8WB01	1.8pF 50V C0G	4
C33A, C33B, C49A, C49B, C55A, C55B, C57A, C57B	CGA5L3X8R1C475M160AB	4.7uF 16V X8R	8
C34A, C34B	C0603C103J3HAC7867	10nF 25V X8R	2
C35A, C35B	C0603C102J1HACAUTO	1nF 100V X8R	2
C36A, C36B	GJM1555C1H330GB01	33pF 50V C0G	2
C37A, C37B	GRM1555C2A121GE01	120pF 100V C0G	2



3 ESPECIFICACIONES DEL DESARROLLO

C40A, C40B, C41A, C41B, C43A, C43B, C45A, C45B, C46A, C46B, C47A, C47B	0603J0500560KCT	56pF 50V C0G	12
C42A, C42B	GJM0335C1H2R1BB01	2.1pF 50V C0G	2
C48A, C48B	C2012X7R1A106K125AC	10uF 10V X7R	2
C51A, C51B, C52A, C52B, C54A, C54B, C56A, C56B	C0603C105K8RAC7867	1uF 10V X7R	8
C58A, C58B	CGA6P3X8R1C106M250AB	10uF 16V X8R	2
CN1	2011-1X08G00SB	Generic 1x8 Connector	1
CN2	PJ-002B	Barrel Power Connector	1
D1A, D1B	BAT54XV2T1G	BAT54XV2T1G	2
D2A, D2B, D3A, D3B, D4A, D4B	APHHS1005SURCK	APHHS1005SURCK	6
D5A, D5B	LXES15AAA1-153	LXES15AAA1-153	2
F1A, F1B, F2A, F2B, F3A, F3B, F4A, F4B, F5A, F5B	BLM15PG100SN1D	BLM15PG100SN1D	10
J1	1053374-1	SMA RF Connector	1
L1A, L1B	LQW15AN47NJ00D	LQW15AN47NJ00D	2
L2A, L2B	LQW15AN2N5C00D	LQW15AN2N5C00D	2
L3A, L3B	LQW15AN4N7C00	LQW15AN4N7C00	2
L4A, L4B, L4C, L4D	LQW15AN12NH00D	12nH 500mA	4
L5A, L5B, L5C, L5D, L7A, L7B	MLZ2012M150WT000	15uH 250mA	6
L6A, L6B	LQW15AN15NH00D	LQW15AN15NH00D	2
L8A, L8B	LQW15AN6N8G80D	6.8nH 1.45A	2
L9A, L9B	LQG15WZ2N7C02D	2.7nH 900mA	2
L10A, L10B	LQW15AN7N5J00D	7.5nH 570mA	2
L11A, L11B	LQP15MN1N2B02	1.2nH 390mA	2
L12A, L12B	LQW15AN4N7C00	4.7nH 750mA	2
L13A, L13B	LQG15HN3N3S02	3.3nH 800mA	2
L14A, L14B	LQM2HPN2R2MJ0L	2.2uH 1A	2
R1A, R1B, R12A, R12B	RMCF0201JT100R	100R 5 % 1/20W	4
R2A, R2B	Vishay	10R 5 % 1/20W	2
R3A, R3B, R7A, R7B	M55342K11B47K0MT1V	47k 5 % 1/20W	4
R4A, R4B, R5A, R5B, R6A, R6B	ERJ-H3GJ681V	680R 5 % 1/8W	6
R10A, R10B, R10C, R10D, R11A, R11B	ERJ-1GNJ221C	220R 5 % 1/20W	6
R13A, R13B, R14A, R14B, R15A, R15B	RMCF0201JT1K00	1k 5 % 1/20W	6
U1A, U1B	SX1302IMLRT	LoRa Concentrator	2
U2A, U2B	NT2016SA 32MHz END4263A	32MHz Clipped Sinewave	2

U3A, U3B, U3C, U3D	SX1250IMLRT	LoRa Transceiver	4
U4A, U4B	SX1261IMLRT	LoRa Transceiver	2
U5A, U5B, U7A, U7B, U8A, U8B	B39921B4344P810	SAW Filter RF360	6
U6A, U6B	SKY66423-11	RF Front-End	2
U9A, U9B	NCP114AMX330TBG	LDO 3.3V	2
U10A, U10B	NCP103AMX300TCG	LDO 3V3	2
U11A, U11B	TPS62242DRV	Switching Regulator 1.2V	2
U12A, U12B	NCP176BMX330TCG	LDO 3.3V	2

4. Elección del fabricante

En esta sección se discutirá el proceso de selección del fabricante. En primer lugar, es preciso conocer las capacidades de manufactura del fabricante ya que el diseño deberá estar orientado a su manufactura. Esto implica que se utilizarán reglas de diseño que sean viables de fabricar, a un costo razonable.

4.1. Capacidades de manufactura

Haciendo un repaso de lo discutido hasta el momento, dentro de los componentes principales nos encontramos con el SX1302. En la figura 12 podemos ver el footprint recomendado para dicho componente, el cual es *fine pitch* por tener una separación entre pads menor a 0,65mm. A su vez, el ancho de cada pad es de 0,23mm (aprox. 9mils). Tomando que el tamaño de las pistas para estos pads deberán ser de un ancho menor al 80 % de su tamaño, vamos a adoptar un tamaño mínimo de trazas de 6mils. Por otro lado, la separación mínima entre tracks deberá ser el espacio disponible entre los pads, el cual es de 0,12mm(aprox. 4,5mils), por lo que adopta una separación mínima de 4mils. Finalmente, se espera utilizar al menos 4 capas para este desarrollo, de manera de simplificar el routeo de la parte de RF (más detalles al respecto en las secciones siguientes) y se espera utilizar vías que permitan hacer un buen fanout de este integrado, por lo que se adopta un tamaño para vías de 0,2mm/0,4mm.

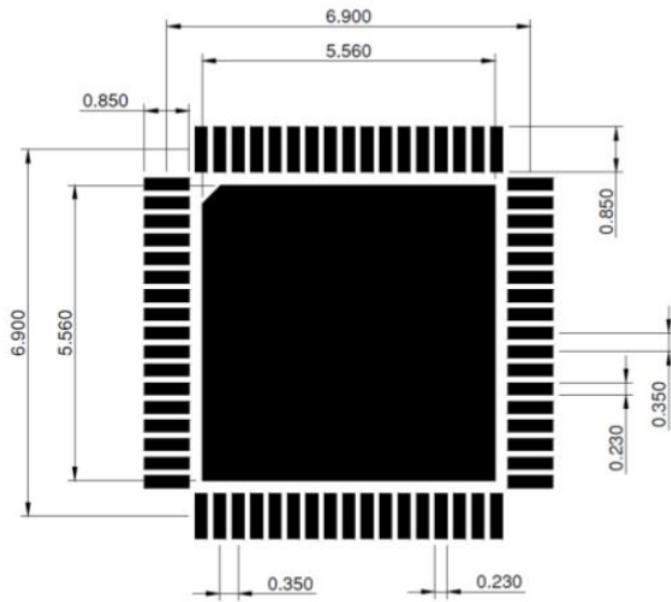


Figura 12: Footprint recomendado del SX1302.

Estos datos son primordiales ya que nos dan a conocer cual es la precisión que deberá manejar el fabricante seleccionado. En la tabla presentada a continuación se resumen las especificaciones mencionadas.



Especificación	Valor
Ancho mínimo de traza	6mils
Distancia mínima entre trazas	4mils
Cantidad de capas	4
Tamaño mínimo de vía	0.2mm/0.4mm
Acabado superficial	ENIG
Vías enterradas	NO
Dieléctrico	FR-4

Cuadro 2: Requerimientos para la manufactura del circuito impreso.

Cómo se puede observar, se han agregado especificaciones respecto al dieléctrico a utilizar. Esto será discutido con mayor detalle más adelante

4.2. Proceso de Ensamblaje

A su vez, se espera poder tanto fabricar como ensamblar el PCB. Es por ello que a continuación se detallan el proceso de ensamblaje esperado.

Para disminuir costos de ensamblado, todos los componentes estarán ubicados en el top layer. Esto simplificará el proceso ya que al disponer mayoritariamente de componentes SMD se podrá realizar un soldado por horno de fusión, previo utilizar un stencil por corte láser (debido al fine pitch) y la ubicación de los componentes mediante una máquina del tipo Pick&Place. Finalmente, aquellos componentes de agujero pasante (tira de pines, conector SMA y barrel jack) serán soldados manualmente por ser pocos componentes de baja complejidad.

4.3. Elección y costo de fabricación

Luego de consultar fabricantes locales, se ha llegado a la conclusión de que la alternativa más económica (la cual se ajusta a nuestro presupuesto) debe ser importada desde China. Lamentablemente los requerimientos en término de tamaños mínimos de vías, separación entre pistas y la cantidad de capas son demasiado exigentes para la industria local, o acorde al presupuesto disponible.

Es por ello que se ha elegido trabajar con PCBWay. En el siguiente [enlace](#) podrán encontrar más información acerca de las capacidades de manufactura de PCBWay, pero en la figuras 13 y 14 presentamos los costos de fabricación y envío reales del PCB (junto con su ensamblado) y sin tener en consideración los componentes, lo cual fue presentado en el apartado correspondiente a la lista de materiales.

El costo final de la manufactura es de 243,56 USD, contemplando tanto el PCB como el ensamblado y el envío desde China.

Material: FR-4 Aluminum

FR4-TG: TG 130-140 TG 150-160

Thickness: 0.2 0.3 0.4 0.6 0.8 1.0 1.2 1.6 2.0 2.4 * Unit: mm 

Min Track/Spacing: 4/4mil 5/5mil 6/6mil 8/8mil ↑ 

Min Hole Size: 0.2mm 0.25mm 0.3mm ↑ 0.8mm ↑ 1.0mm ↑ No Drill 

Solder Mask: Green Red Yellow Blue White Black
 Purple Matte black Matte green None

Silkscreen: White Black None

Edge connector: Yes No

Surface Finish: HASL with lead HASL lead free Immersion gold(ENIG) OSP None(Plain copper)

Thickness of Immersion Gold: 1U 2U" 3U"

Via Process: Tenting vias Vias not covered

*For Gerber files, this choice is useless. It will be made according to files as default.

Finished Copper: Bare board(0 oz Cu) 1 oz Cu 2 oz Cu 3 oz Cu 

*Requirement of Min Track/Spacing: ≥ 3/3mil for sample orders, or ≥ 3.5/3.5mil for bulk orders.

Figura 13: Requisitos establecidos para la fabricación del circuito impreso en PCBWay.

PCB Specification Selection

PCB file (optional): gerbers.rar (494 kb) **100% SUCCESS**

Detected 4 layers board of 95.9 x 90.2mm(3.78 x 3.55 inches).

You have uploaded the file successfully and please check the parameters below. We'll continue to check all the individual layers to make sure that they're correct.

Because of the imperfect algorithm of our Gerber-to-Image tool, it may cause inaccurate display of PCB images, which does not mean there is a problem with the files. Whether your files are OK for production will be subject to our final review results.e.g.cut-outs lost;Image shown is a representation only.

[<< Back to Upload File](#)

Board type: Single pieces Panel by Customer Panel by PCBWay

Different Design in Panel: 1 2 3 4 5 6 e.g.

* Size (single): 95.9 X 90.2 mm inch↔mm

* Quantity (single): 5 pcs



Per Piece	Qty	Total
<input checked="" type="radio"/> 6.0/pcs	5	\$ 30
<input type="radio"/> 17.0/pcs	20	\$ 339.28
<input type="radio"/> 7.3/pcs	50	\$ 365.4
<input type="radio"/> 2.9/pcs	200	\$ 571.56

Final price is subject to our review.

Shipping Cost: US \$ 71.21

ARGENTINA

DHL 3-5 business days, wt.: 0.65 kg

Payment before 2022/07/26 18:00 (GMT+8 Only PCB)

Shipment Date: 2022/7/31 AM Delivery Date: 2022/8/4

PCB Cost: US \$ 172.35
Assembly Service Cost: US \$ 30.00
Shipping: US \$ 71.21
Order discount: US \$ -30.00
Total: US \$ 243.56

Figura 14: Costo de fabricación real del circuito impreso en PCBWay.

5. Criterios de diseño

En la presente sección se darán a conocer distintos criterios utilizados para la implementación del layout.

5.1. Consideraciones Generales

5.1.1. Ubicación de componentes

El primer criterio utilizado, y el que resulta mas llamativo a la vista, es el de ubicación de los distintos componentes.

En primera instancia se busco separar la placa en dos sectores bien distinguidos, uno para el modulo principal y el otro para el redundado. Conforme se explico previamente, se decidió ubicar los componentes únicamente en la capa superior, de manera tal de disminuir los costos de ensamblaje.

Luego se ubicaron los conectores, los cuales estarían ubicados a mitad del PCB, y dado que se ha utilizado una tira de pines y un barrel jack como conector de alimentación, se ha previsto dejar espacio suficiente para poder reemplazar ambos conectores por el correspondiente conector de PCIe-104.

Se comenzó por ubicar los componentes del modulo principal, el cual sería replicado en el modulo redundado mediante la técnica de *multi-channel design*. Los componentes principales se ubicaron de manera tal de que sea sencillo seguir el circuito a partir de observar el diagrama en bloques del mismo. A su vez, se contempló que todas las señales de RF (conexiones entre las radios y el conector de la antena) se encuentren físicamente separados del resto de las conexiones. Esto simplificó la implementación del conexionado, lo cual será explicado con mayor detalle en las secciones siguientes.

Finalmente, a partir de ubicar los componentes principales, se definió una grilla con dimensiones $X = 4,25mm; Y = 1,75mm$. Esta grilla se utilizó preferentemente para la ubicación de todos aquellos componentes, cuyas señales sean de índole digital y cuya frecuencia de operación no requiera de un tratado especial. Dentro de esta categoría entran todos los pasivos asociados a los integrados o a señales de control, las fuentes de alimentación LDO y parte de los capacitores de entrada en la fuente del front-end.

Por el contrario, se replicó la ubicación utilizada en las radios por los diseñadores del proyecto de referencia, tomado del sitio oficial de Semtech. Para la fuente switching se replicaron las recomendaciones dadas por el fabricante en su datasheet, lo cual se puede observar en la figura 15.

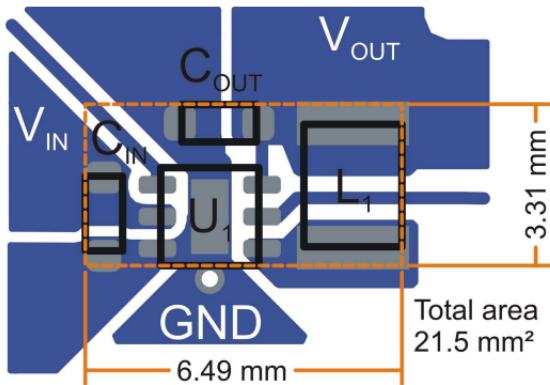


Figura 15: Layout recomendado por el fabricante para el conexionado de la fuente TPS62242DRV.

5.1.2. Ancho de trazas

Para la selección del ancho de trazas se deben tomar en cuenta, como mínimo, los siguientes criterios:

- Corriente de operación.
- Temperatura máxima admisible.
- Espacio disponible.
- Problemas en la manufactura.

Afortunadamente, en nuestro diseño las señales de alimentación son las únicas que deben admitir corrientes superiores a los $250mA$. Esto se debe a que el consumo máximo lo podemos encontrar en la etapa de salida, donde el front-end se ocupa de darle potencia a las señales recibidas y a las señales a transmitir. Dicho integrado admite una corriente de alimentación máxima de $280mA$ en modo transmisión.

En líneas generales se asumió el siguiente criterio, se utilizarían pistas de $10mils$ para el conexionado de todas aquellas señales digitales que lo permitiesen. Este ancho es más que suficiente para poder manejar las corrientes propuestas, tanto en capas internas como externas según la norma IPC-2221. A su vez, trabajar con pistas un poco más gruesas de lo necesario permite disminuir la impedancia de las mismas, así como también evita problemas de manufactura al momento de utilizar vías. Siempre es recomendado utilizar aliviadores en las conexiones a agujeros pasantes, vías o incluso en la conexión entre pistas. Es por este motivo que se han implementado *teardrops* en dichas conexiones, en particular en las conexiones de los conectores los cuales serán soldado a mano por un operario, lo que aumenta el riesgo de rotura. En la imagen de la figura 16 se presentan los teardrops. Cabe mencionar que no se utilizaron teardrops en el conector SMA para evitar desadaptaciones.

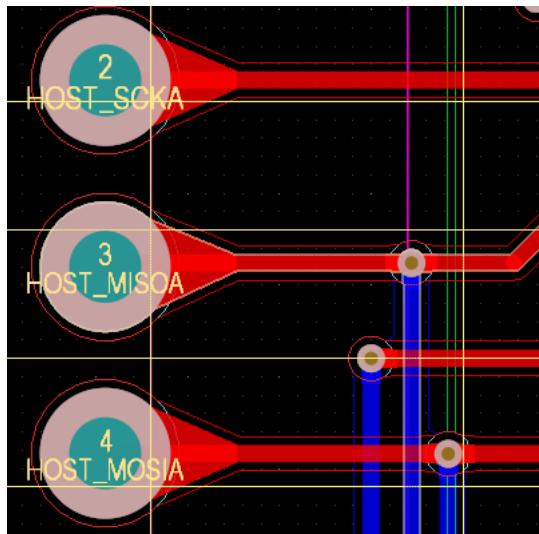


Figura 16: Utilización de *teardrops* en las conexiones de agujeros pasantes soldados a mano.

Por otra parte, en aquellas conexiones del SX1302, cuyo tamaño de pad requiere del uso de pistas con ancho *6mils*, también se utilizaron aliviadores. Al igual que en las vías y en las conexiones en T. Esto se puede observar en la figura 17.

Finalmente cabe destacar que la norma IPC-2221 no aplica en ambientes donde no existe convección, como lo es un satélite en órbita baja. Por otro lado, conforme se ha mencionado previamente, el análisis térmico será revisado y se hará una reversión del circuito impreso en el futuro.

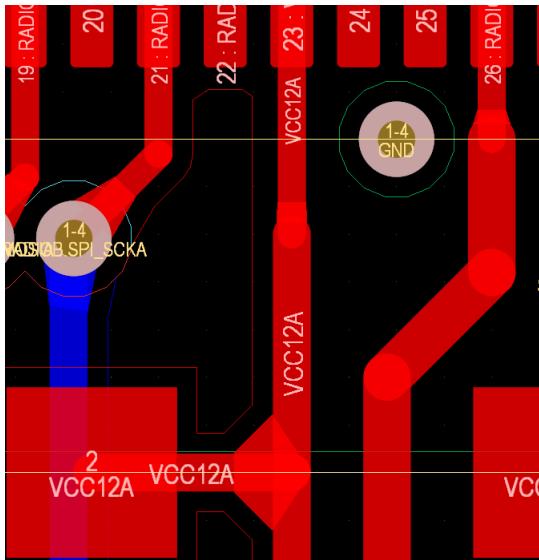


Figura 17: Utilización de *teardrops* en conexiones entre pistas de distinto ancho y conexiones en T.

5.1.3. Método de conexionado

Con el objetivo de simplificar la implementación del layout se planteó una estrategia conocida como *multi-layer Manhattan routing*. Esta estrategia propone utilizar una disposición preferencial para las pistas en las distintas capas. De esta manera la capa superior utilizaría preferencialmente pistas trazadas a lo ancho del circuito impreso, es decir horizontalmente, mientras que las pistas trazadas en la capa inferior tomarían orientación vertical si fuera posible. En la figura 18 se muestra como se ha implementado dicha técnica.

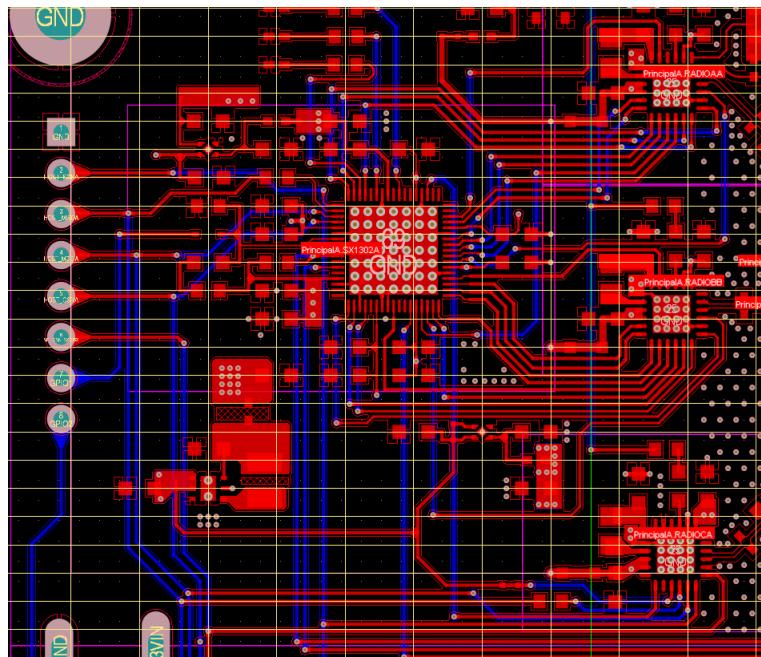


Figura 18: Implementación de la estrategia *multi-layer Manhattan routing*

En contra partida, este criterio simplemente busca simplificar la implementación del layout, disminuyendo las horas dedicadas a dicho proceso. Por tanto también podrá observarse que no será respetado en algunas ocasiones porque simplemente agregaría complejidad innecesaria al circuito.

5.1.4. Tamaño de vías

El tamaño de vía utilizado será el mismo para todo el circuito. Siempre se utilizarán vías 0,2/0,4mm por permitir un buen fanout en las zonas de alta densidad de conexiones. Por otra parte, las vías serán utilizadas en gran cantidad en aquellas zonas donde se busque disminuir la resistencia, o lo que es lo mismo las caídas de tensión parásitas.

5.1.5. Organización del stackup

Para este proyecto se decidió utilizar el stackup estándar para 4 layers en FR-4 que proveé PCBWay, el fabricante selecto para este diseño. El mismo puede ser observado en la

figura 19, donde se podrá apreciar que se cuentan con cuatro capas de cobre, separadas por distintos dieléctricos.

Thickness	Copper thick (outer/inner)	Layer No.	StackUp	Laminated chart Thickness
1.6mm±10%	1/1oz	L1		Copper 18 um--plating to 35um
		L2		PP 0.11 mm dielectric constant 4.29
		L3		Core 1.2mm with 1/1 oz Cu
		L4		PP 0.11 mm dielectric constant 4.29
				Copper 18 um--plating to 35um

Figura 19: Stackup estándar de PCBWay para cuatro capas FR-4.

Una vez establecidas las capacidades físicas, procedimos con la distribución lógica de las señales. Esto implica decidir que señales van a ubicarse en qué capas. Aquí cabe mencionar que para las señales con impedancias controlada, como puede ser un interfaz USB, o la señal recibida por una antena en RF, es necesario contemplar tanto la separación entre capas de cobre como también la constante dieléctrica del material que separa dichas capas.

En aquellas capas donde la separación sea menor, no será necesario utilizar trazas tan grandes como en aquellas capas donde la separación sea mayor. Esto será discutido en detalle en la sección acerca de consideraciones para señales de alta frecuencia, pero en general resulta conveniente ubicar las señales de RF en aquellas capas externas donde la separación con la otra capa de cobre está a una distancia menor.

Teniendo en cuenta esto se terminó por establecer que se utilizaría la capa superior para las señales de RF, las cuales tienen impedancias controladas, mientras que la capa inferior para el resto de las señales digitales. La segunda capa intermedia se utilizará como plano de tierra distribuido a lo largo de todo el PCB, mientras que la tercera capa será utilizada tanto como plano de tierra como para distribuir los distintos planos de alimentación.

5.1.6. Serigrafía

Para la mayor parte de los diseños resulta muy recomendable agregar una capa de serigrafía, con pintura de un color que haga contraste con la máscara de soldadura, para resaltar algunas zonas importantes del impresor. Por lo general se suelen dejar escritos algunos indicadores que refieran a las señales ubicadas en los distintos conectores, así como también marcas para poder identificar los distintos componentes en el diseño.

Sin embargo, en aplicaciones donde se busca incrementar lo máximo posible la densidad de componentes resulta contraproducente agregar serigrafía para la indicación de los componentes.

Para este diseño se tomo como parámetro agregar serigrafía únicamente para indicar aquellas cosas que hagan al uso del circuito impreso, como las referencias en los distintos conectores, pero se han removido los designadores para poder aumentar la densidad de componentes, dejando espacio para agregar nuevos circuitos de sensado en versiones posteriores.

Por otro lado, se ha agregado serigrafía para identificar la versión del PCB así como también la autoría del mismo.

Finalmente, con el objetivo de poder cumplir con la misma función de los designadores, se ha agregado en la cara anterior del PCB un código QR que referencia a un website con una BOM interactiva, la cual permite resaltar los componentes seleccionados, en caso de que sea necesario realizar alguna reparación en la placa. En la figura 20 se representa un ejemplo de BOM interactiva correspondiente al proyecto *OrangeCrab* a modo de ejemplo. Se puede acceder al mismo ejemplo mediante el siguiente [enlace](#).

Orange Crab
Good Stuff Department

Rev: r0.2
2019-12-08

Sourced	Placed	References	Mfg	PN	Value	Footprint	Quantity
1	■ ■	C6, C7, C8, C11, C15, C16, C17, C18, C29	Murata Electronics North America	GRM155R00J106ME15D	10uF	C_0402_1005Metric	9
2	■ ■	C12, C13, C46, C47, C77	Murata Electronics North America	GRM155R61A475MEEAD	4.7uF	C_0402_1005Metric	5
3	■ ■	C23, C24	Murata Electronics North America	GRM188R60J226MEA0D	22uF	C_0603_1608Metric	2
4	■ ■	C4, C9, C20, C26, C29, C30, C31, C32, C33, C34, C41, C43, C54, C55, C56, C57, C61, C64, C65, C68, C69, C70, C71, C75	Samsung Electro-Mechanics	CL03A104KQ3NNNC	10nF	C_0201_0603Metric	26
5	■ ■	C10	Samsung Electro-Mechanics	CL03A224HQ3NNNC	0.22uF	C_0201_0603Metric	1
6	■ ■	C1, C2, C5, C14, C19, C25, C27, C38, C40, C42, C44, C45, C46, C47, C51, C52, C56, C58, C60, C62, C63, C66, C67, C74, C76	Samsung Electro-Mechanics	CL03B103KP3NNNC	10nF	C_0201_0603Metric	25
7	■ ■	C21, C22, C34, C35, C36, C37	Taiyo Yuden	3MK105C6105KV-F	1uF	C_0402_1005Metric	6
8	■ ■	C3	Taiyo Yuden	LHK107BB3106MA1T	10uF	C_0603_1608Metric	1
9	■ ■	R1, R5, R13, R14, R17, R18, R25	Yageo	RC0201FR-07100KL	100k	R_0201_0603Metric	7
10	■ ■	R7, R25, R28, R32, R33	Yageo	RC0201FR-0710KL	18k	R_0201_0603Metric	5
11	■ ■	R16	Yageo	RC0201FR-07147KL	147k	R_0201_0603Metric	1
12	■ ■	R20, R22, R31	Yageo	RC0201FR-071K5L	1.5k	R_0201_0603Metric	3
13	■ ■	R21, R29	Yageo	RC0201FR-0720RL	20R	R_0201_0603Metric	2
14	■ ■	R15	Yageo	RC0201FR-07267KL	267k	R_0201_0603Metric	1
15	■ ■	R2	Yageo	RC0201FR-0731K6L	31.6k	R_0201_0603Metric	1

Figura 20: Ejemplo de lista BOM interactiva.

27

5.2. Consideraciones Mecánicas

5.2.1. Dimensiones del PCB

Acorde a lo establecido en el tercer apartado, se utilizarán las dimensiones establecidas por el estándar PCIe-104. En la figura 21 se presentan dichos valores. A su vez, en el proyecto de Altium Designer se agrega una capa mecánica donde se podrán vislumbrar las cotas para las dimensiones del PCB y la ubicación de los agujeros junto con los conectores. Vale la pena recordar que no se utilizó el conector adecuado con tal de disminuir los costos.

El estándar es de acceso público y puede ser encontrado en el siguiente [enlace](#).

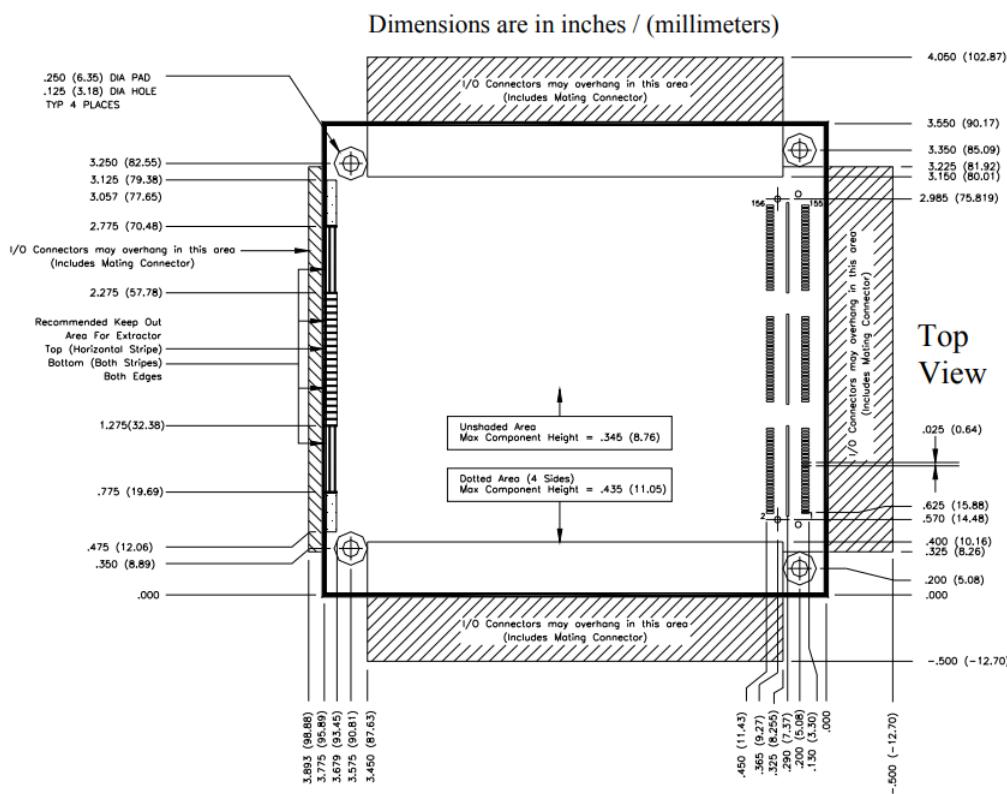


Figura 21: Referencia para las dimensiones utilizadas conforme especifica el estándar PCIe-104.

5.2.2. Consideraciones térmicas

Como criterio prioritario para intentar mejorar el rendimiento térmico del sistema se propuso utilizar múltiples polígonos conectados a tierra para aumentar la conductividad térmica mediante dichos pads. El problema con esta estrategia son aquellas vías que interrumpen el plano, o en su defecto las señales. Por el contrario, en la zona donde existe mayor consumo energético, es decir en el front-end del lado derecho del circuito impreso, se lograron establecer varios planos de tierra ininterrumpidos, lo que se espera ayude a la correcta conducción del calor.

Desafortunadamente, este criterio no se pudo cumplir en la tercer capa correspondiente a los planos de alimentación.

Para poder seguir mejorando el diseño térmico se esperan poder realizar pruebas de campos para corroborar los resultados obtenidos y focalizar el aquellas zonas que actúen como cuello de botella.

5.3. Consideraciones para señales de alta frecuencia

Esta sección detalla los criterios que tuvieron *máxima* prioridad al momento de diseñar el circuito impreso. Esto se debe a que las señales de alta frecuencia requieren de un tratamiento especial para una eficiente implementación. Al mismo tiempo, las señales no solo trabajan a alta frecuencia sino que también transportan una energía considerable, lo que podría convertirse en una fuente de interferencia electromagnética si no es tratada con los cuidados apropiados.

La mayor parte de los criterios utilizados tienen en consideración que en alta frecuencia las señales deben ser estudiadas acorde al modelo de propagación de ondas electromagnéticas, al igual que sucede al estudiar líneas de transmisión. La naturaleza ondulatoria de estas señales provocará que los criterios de diseño convencionales no sean adecuados, por lo que se deberán aplicar estos nuevos criterios para que la aplicación funcione correctamente.

5.3.1. Ubicación de componentes

Con la finalidad de reducir al mínimo las distancias que deben recorrer las señales en el circuito, se admitió no cumplir con la grilla de ubicación de los componentes antes mencionada. Esto implica no solo ubicar componentes en posiciones no múltiplos de la grilla, sino también ubicarlos con orientaciones distintas. En la figura 22 se presenta un ejemplo de lo mencionado. En dicha figura podrá verse como se han ubicado el circuito BALUN lo más cercano posible a las radios, y donde la distancia entre los pasivos es la menor posible.

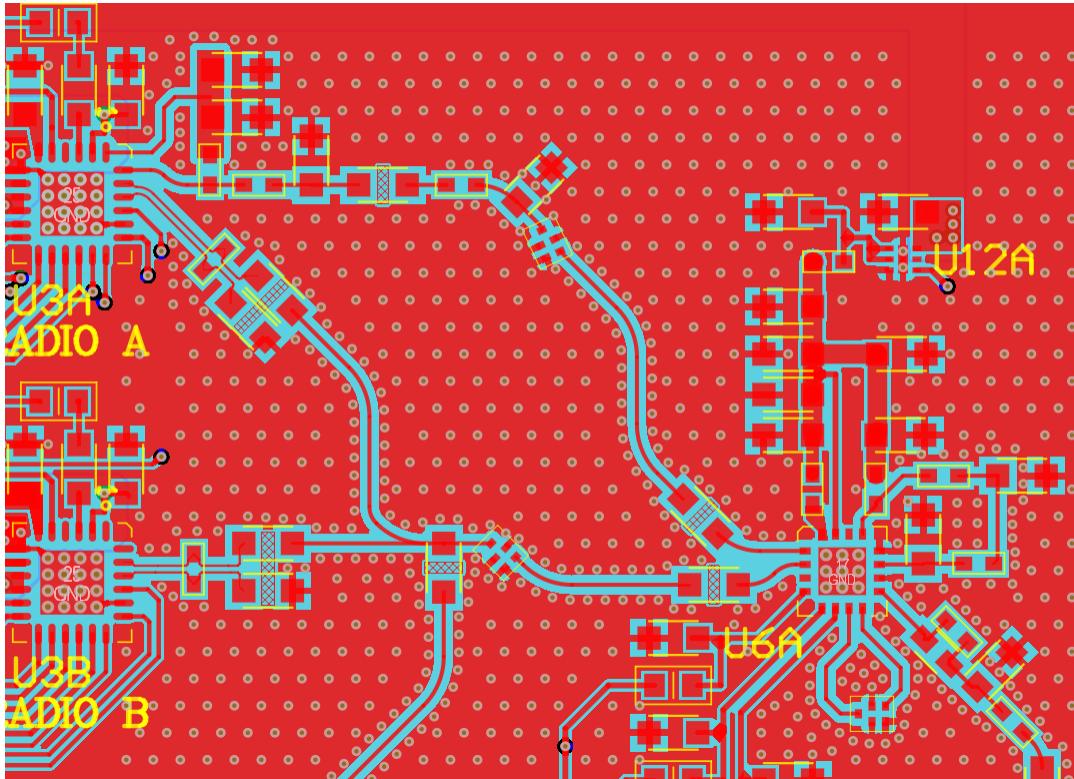


Figura 22: Criterio de ubicación de componentes en circuitos de RF.

5.3.2. Geometría de las trazas

Al pensar a las señales eléctricas como ondas electromagnéticas es necesario estudiar la geometría de los conductores. Al igual que sucede en las fibras ópticas, las señales viajan dentro de un conductor con un determinado índice de refracción.

Cuando el frente de onda de la señal se encuentra con un cambio de interfaces, es decir la señal venía viajando en el cobre y se encuentra con el dieléctrico, con aire o incluso con la máscara de soldadura, parte de la señal rebota contra la interfase y parte se transmite. Esto responde a la Ley de Snell para la refracción, se agrega ilustración en la figura 23.

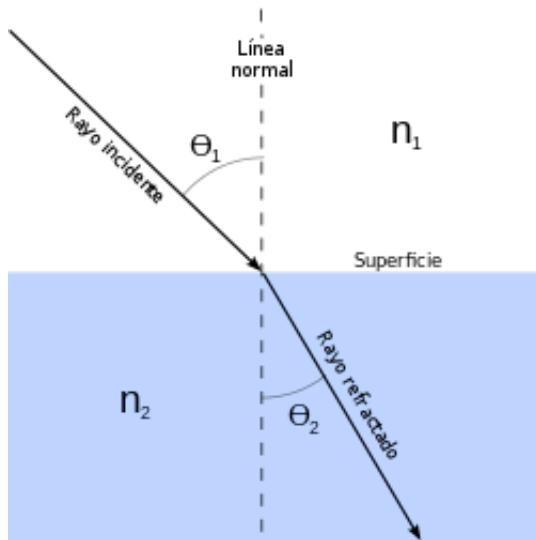


Figura 23: Representación de la Ley de Snell.

Volviendo con la analogía, en la fibra óptica existe un parámetro fundamental de diseño denominado *radio de curvatura máximo* que establece cuánto puede doblarse el material sin afectar la transmisión de la onda EM. En la figura 24 podemos visualizar una representación de este fenómeno.

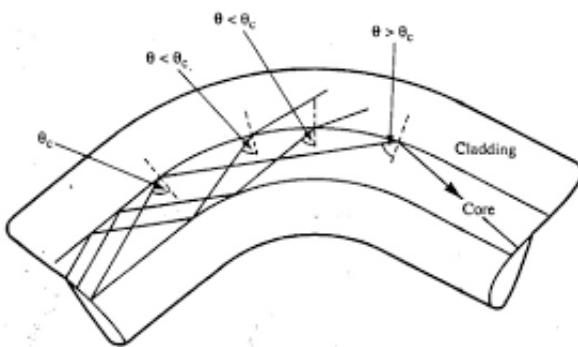


Figura 24: Representación pérdida de señal en fibra óptica.

Es posible transponer este efecto a nuestro caso de análisis, con la diferencia fundamental

de que el ángulo crítico de incidencia, el cual define el radio de curvatura máximo, es variable conforme a la frecuencia para los distintos dieléctricos.

Esto vuelve al proceso de diseño tedioso, por lo que se adoptan criterios genéricos para estos casos. En particular el criterio general recomendado es adoptar un estilo de conexionado donde las pistas no den giros con ángulos menores a 45° . Este criterio puede extenderse, adoptando que las pistas utilicen un tipo de conexionado curvo, donde los ángulos de curvatura son mucho menores a 45° .

Para nuestro proyecto se adoptó dicho criterio. Las conexiones deberán ser curvas en señales de RF, donde el radio de curvatura en el peor de los casos será de hasta 100mils . En la figura 25 se agrega un ejemplo de lo mencionado.

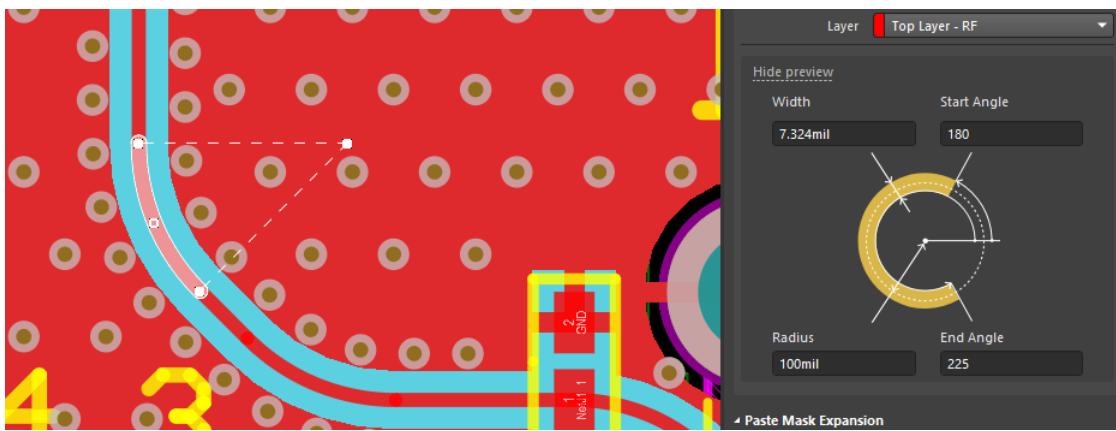


Figura 25: Pista cuyo radio de curvatura es máximo.

Por último, resulta pertinente mencionar que al pasar las señales por vías se está incumpliendo con este criterio, ya que una vía implica utilizar una geometría donde se hace un giro de 90° . Por otro lado, las vías contribuyen a la desadaptación de las líneas de transmisión.

5.3.3. Adaptación 50Ω en CPWG

El modelo de parámetros S nos indica que en sistemas de alta frecuencia es prioritario establecer una impedancia común entre un emisor, la línea de transmisión y el receptor de manera tal de transmitir la mayor cantidad de energía posible, evitando reflexiones.

Para nuestro circuito dicho nivel de impedancia está establecido por la impedancia de salida/entrada que define cada radio, las entradas y salidas del front-end y la impedancia que presenta la antena. Es por ello que los componentes fueron seleccionados de manera de asegurar que todas las conexiones respeten una impedancia normalizada de 50Ω , lo que simplifica el circuito al no tener que agregar redes de adaptación de impedancia.

En consecuencia, el único valor a diseñar es la impedancia característica de la línea de transmisión. Existen muchos modelos de líneas de transmisión para circuitos impresos, pero en este diseño se adoptaron las recomendaciones dadas por el fabricante Semtech. Finalmente se utilizaron líneas del estilo CPWG, correspondientes a la sigla inglesa para *Coplanar Grounded Waveguide*. En la figura 26 se muestra el modelo correspondiente a las líneas CPWG, en comparación con las líneas *Coplanar Waveguide* las cuales no incorporan vías.

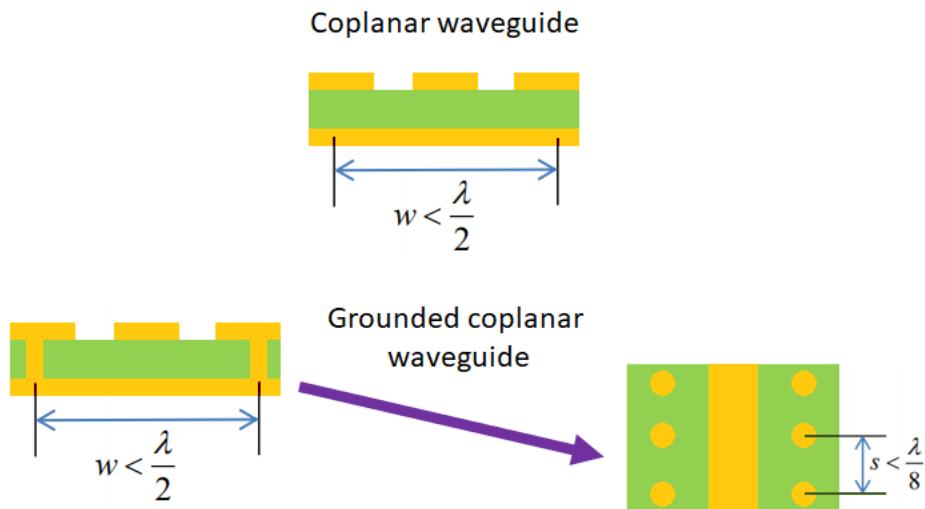


Figura 26: Comparación entre *Coplanar Grounded Waveguide* y *Coplanar Waveguide*.

El agregado de vías en la línea de transmisión ayuda a contener de manera mas eficiente el campo electromagnético dentro de la misma. Esto ayuda a reducir problemas de interferencia electromagnética. En las figuras 27 y 28 se incluyen ilustraciones del fenómeno.

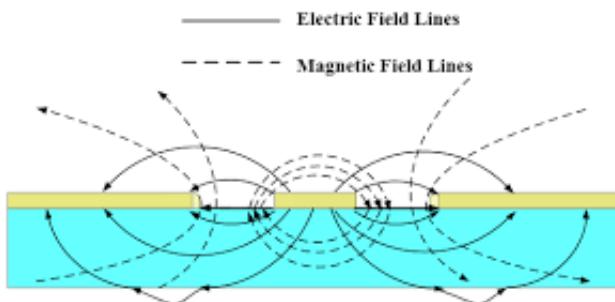


Figura 27: Efecto en el campo EM del uso de CPW.

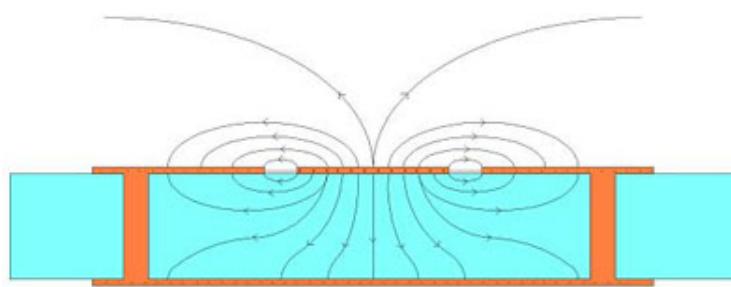


Figura 28: Efecto en el campo EM del uso de CPWG.

Afortunadamente, Altium Designer en su versión v22 cuenta con una calculadora de *Coplanar Waveguides*. Para implementar la CPWG se utilizó dicha herramienta en conjunto con otra herramienta denominada *Vía Shielding*. En la figura 29 se podrán observar los parámetros de diseño utilizados para las líneas de RF en lo referido a las coplanar waveguides, mientras que en la figura 30 se observan los parámetros utilizados para agregar el shielding y definir correctamente las líneas CPWG. Debe tenerse en cuenta que ya fue previamente definido en el software el stackup utilizado, el cual contempla la distancia de separación entre layers y la constante dieléctrica del material.

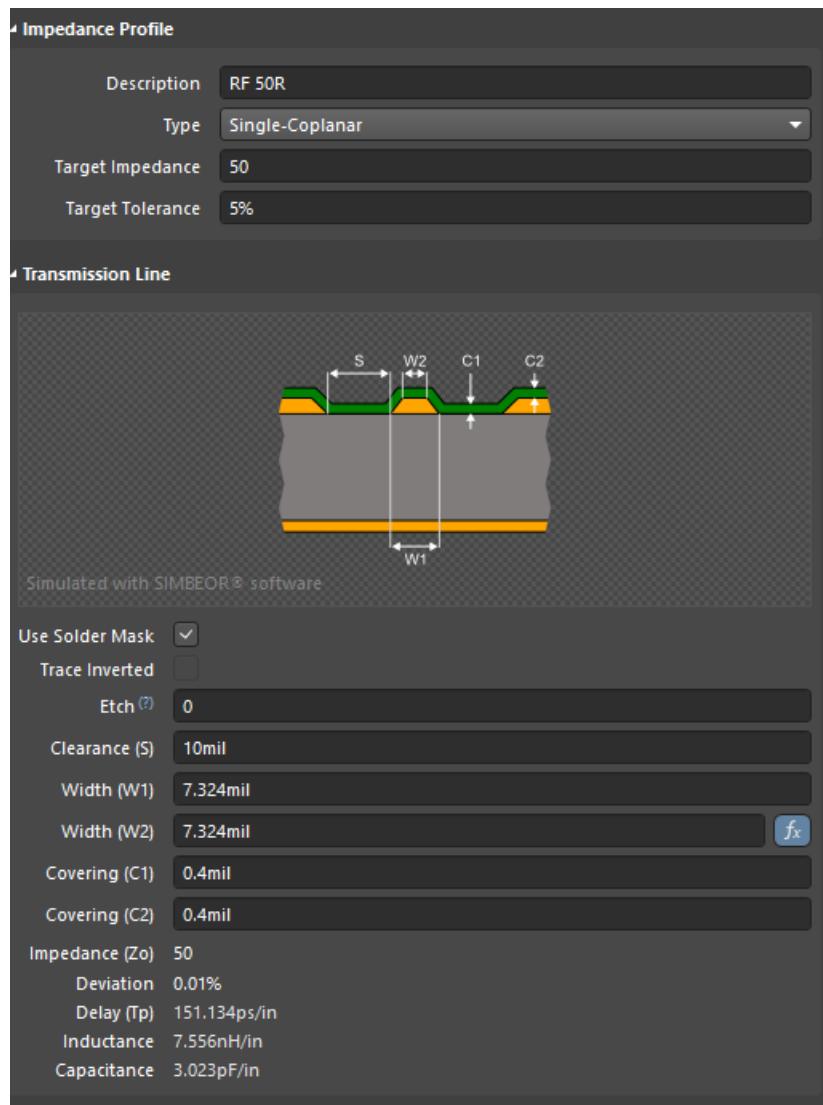


Figura 29: Parámetros de diseño de CPW.

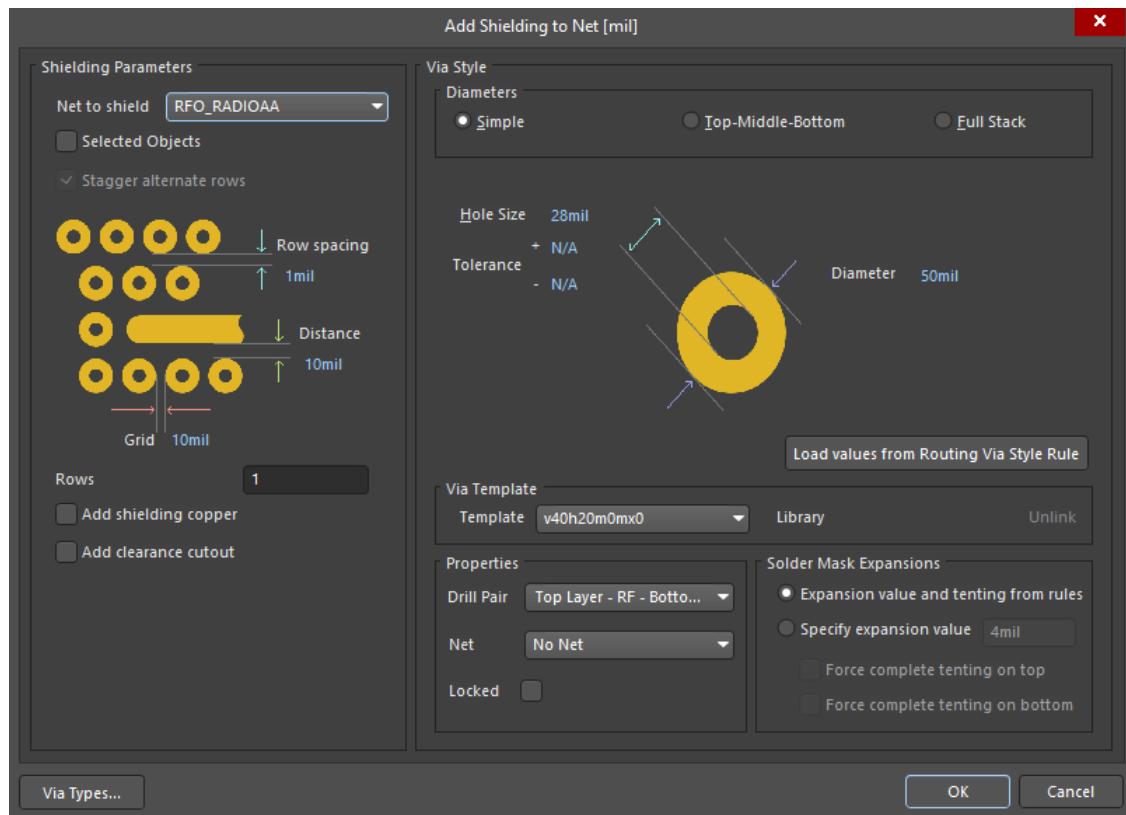


Figura 30: Parámetros de diseño de vía shielding.

Por último, en la figura 31 se puede observar el resultado de la implementación de la línea de transmisión. Allí es posible apreciar la separación entre los planos correspondiente a CPW y la separación entre vías utilizadas.

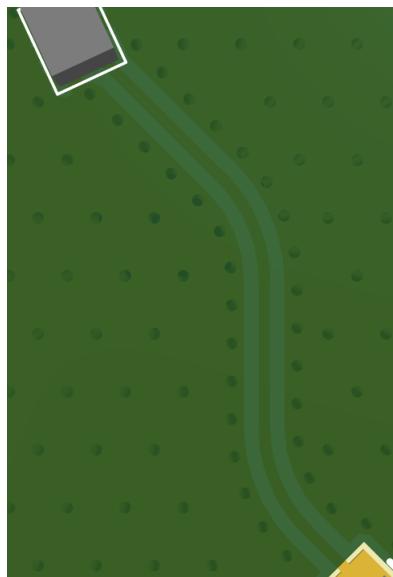


Figura 31: Resultado de la implementación de CPWG.

5.3.4. Par diferencial en RFI

Al igual que sucede en los sistemas desbalanceados, también es necesario diseñar un modelo de líneas de transmisión para las señales balanceadas. Nuevamente utilizaremos el modelo CPWG para diseñarlo, pero en este caso hay algunas diferencias.

En primer lugar, la herramienta de diseño nos permite elegir la impedancia diferencial de la línea. Esta difiere en definirse como el doble de la impedancia de cada pista, siempre y cuando se respete el modelo geométrico simétrico. Debido a que utilizaremos la herramienta de conexionado diferencial automático de Altium Designer, podemos asumir que se cumplirá en todo momento dicha premisa. Es por ello que supondremos una $Z_d = 2Z_o = 100\Omega$.

El segundo parámetro característico para sistemas diferenciales es la separación entre las pistas. Debido a que es posible modificar la impedancia diferencial mediante la separación entre pistas y mediante el ancho entre pistas, nosotros optamos por suponer un ancho de pista de $W = 6mils$ para simplificar el proceso de manufactura. En la figura 32 presentamos nuevamente los valores de diseño.

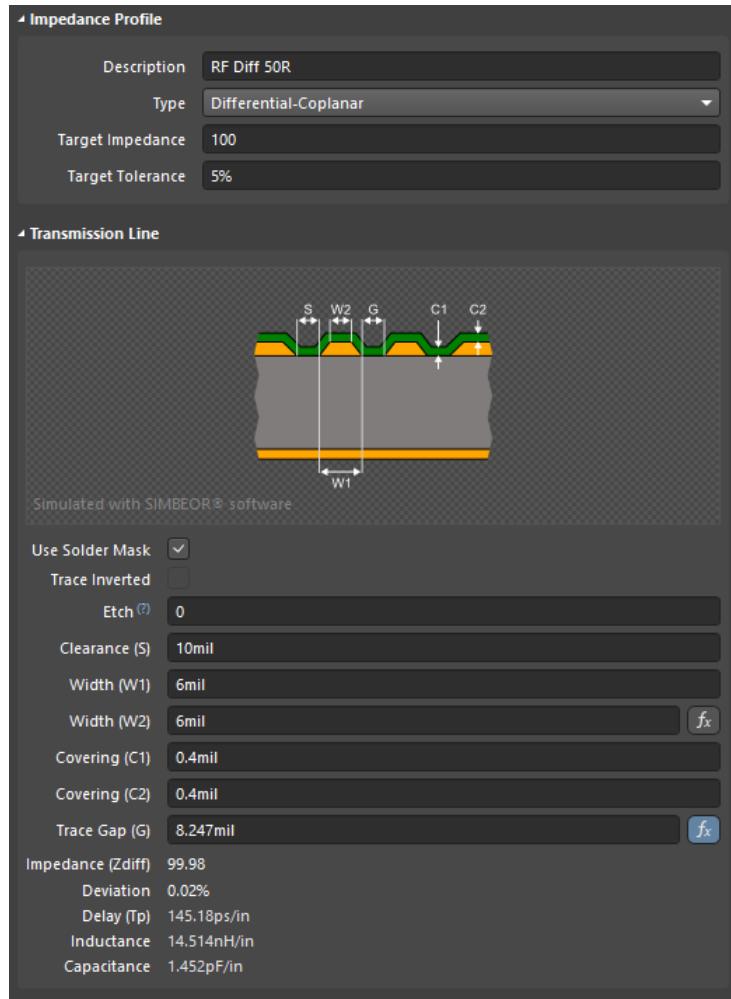


Figura 32: Parámetros de diseño de differential CPW.

Finalmente en la figura 33 presentamos el resultado luego de la implementación. Po-

demos apreciar que en esta ocasión debido a los parámetros elegidos y a una restricción espacial, no es posible implementar el CPWG correctamente, pero de todas maneras fue posible implementar el CPW.

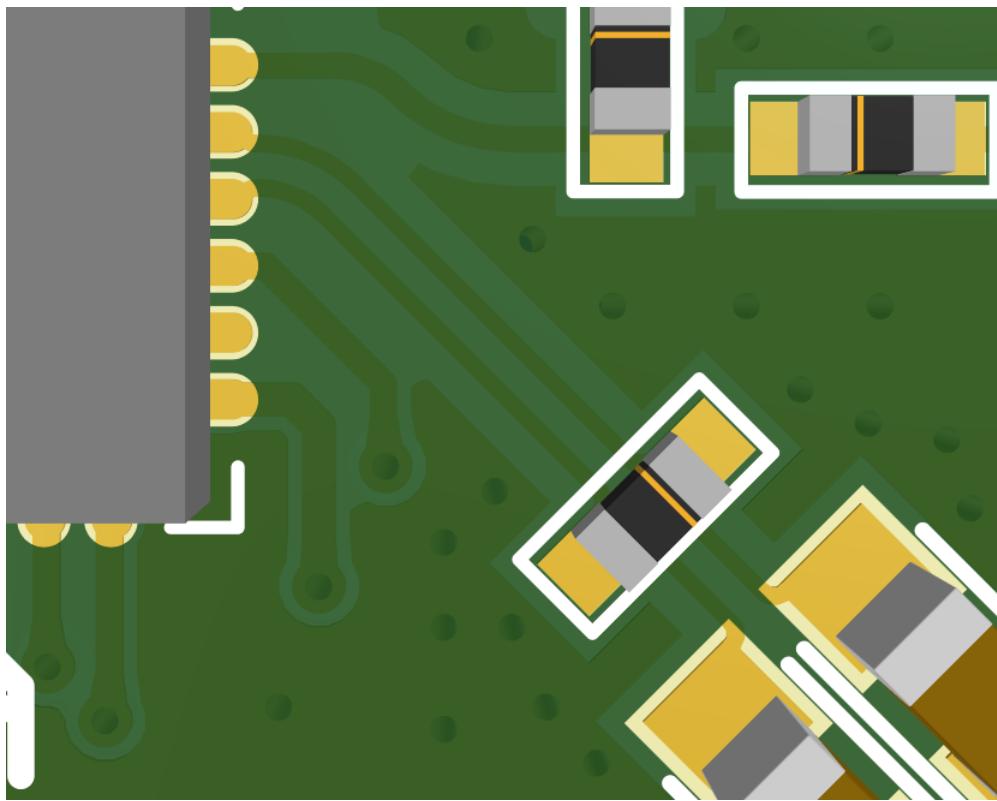


Figura 33: Resultado de la implementación de differential CPWG.

5.3.5. Caminos de retorno y via stitching

Uno de los principales temas de estudio dentro del mundo de diseño en RF son los caminos de retorno. El camino de retorno de la corriente se constituye por aquella curva por donde se cierra el campo electromagnético que generan las distintas señales dentro del PCB.

Establecer caminos de retorno para las señales implica definir explícitamente pistas o planos referenciados a tierra en ubicaciones cercanas a las pistas. Estos caminos, a su vez, deben ser ininterrumpidos para evitar interferencia electromagnética.

En la figura 34 se presenta un ejemplo de tres señales de RF ubicadas en el top layer de un circuito impreso, y debajo se encuentra un plano de tierra.

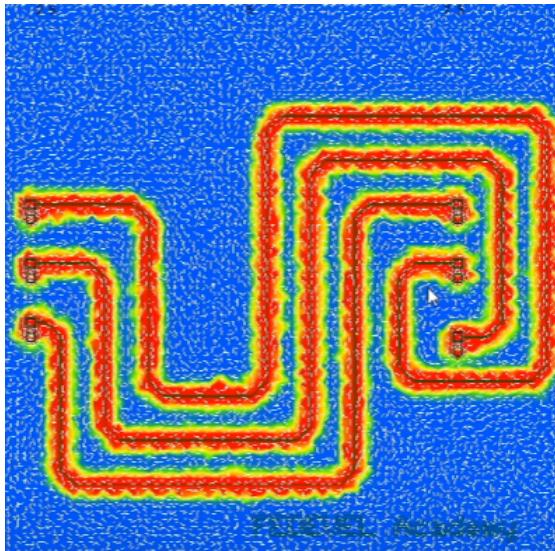


Figura 34: Simulación señales correctamente acopladas a GND.

Por otro lado, y en contraste, en la figura 35 presentamos la misma simulación, pero con el plano de tierra interrumpido.

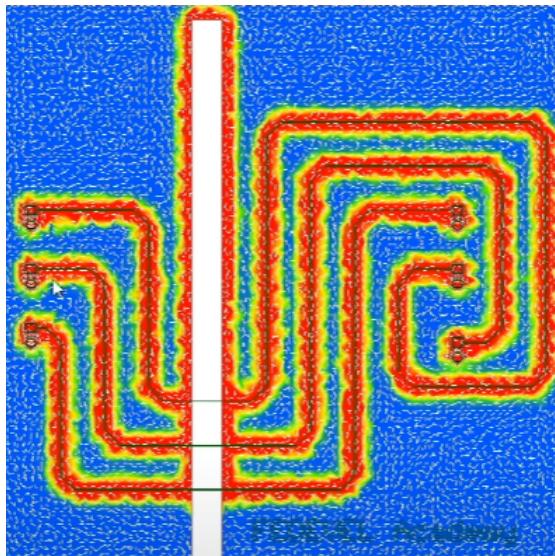


Figura 35: Simulación señales incorrectamente acopladas a GND.

Estas imágenes nos permiten hacernos una representación mental del problema. En la zona donde se solapan las corrientes existe interferencia entre las distintas señales.

Para contrarrestar esta fenomenología se utilizó el segundo layer del PCB como un plano ininterrumpido de GND. A su vez se utilizó la herramienta *Via Stitching* de Altium Designer. Esta herramienta permite colocar vías de forma uniformemente distribuidas a lo largo de una zona. En la figura 36 se puede observar el resultado de aplicar dicha herramienta del lado derecho del PCB.

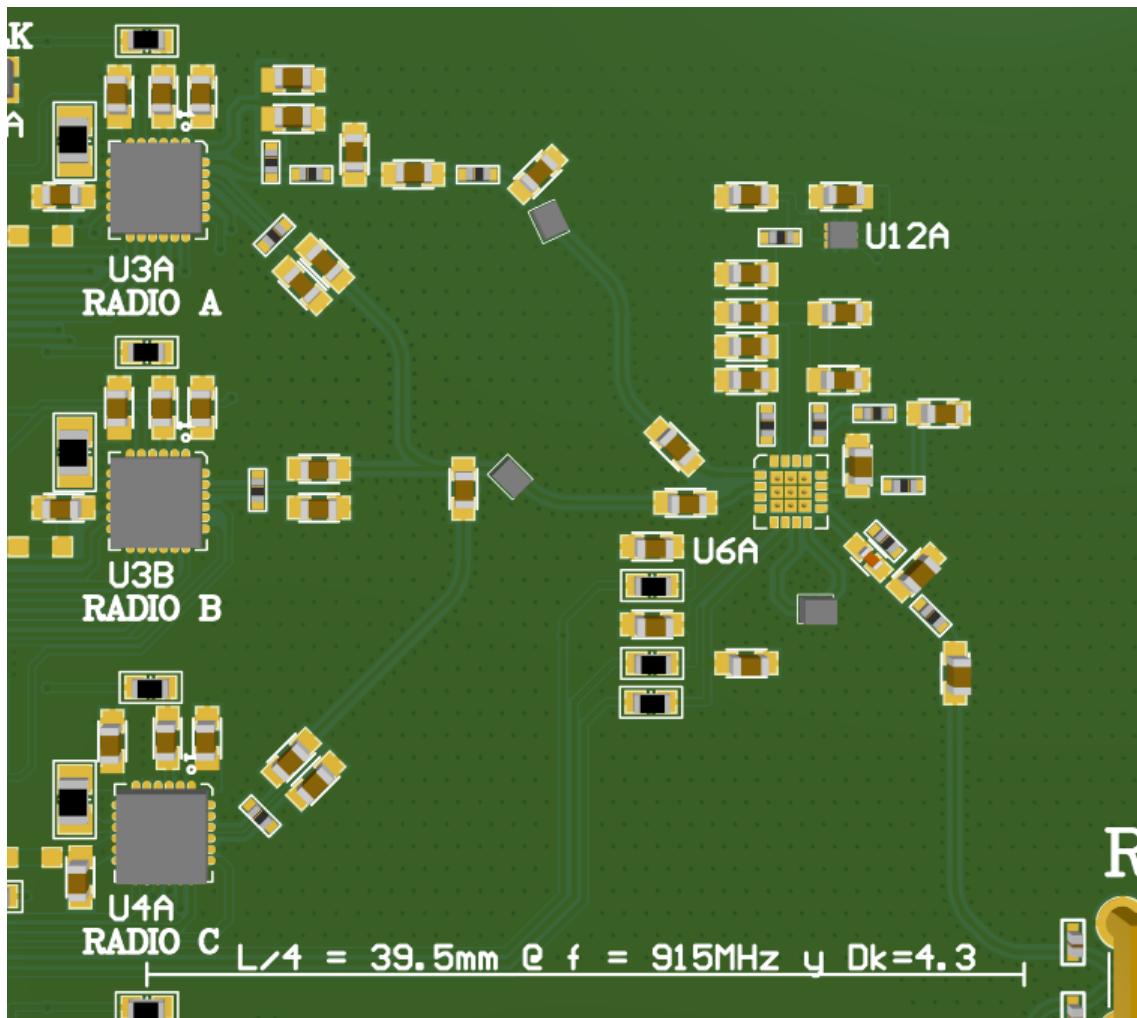


Figura 36: Resultado de aplicar *via stitching* para acoplar correctamente los planos a GND.

6. Circuito Impreso

Como resultado del proceso de diseño se adjuntan a continuación imágenes correspondientes al circuito impreso resultante.

6.1. Pieza única

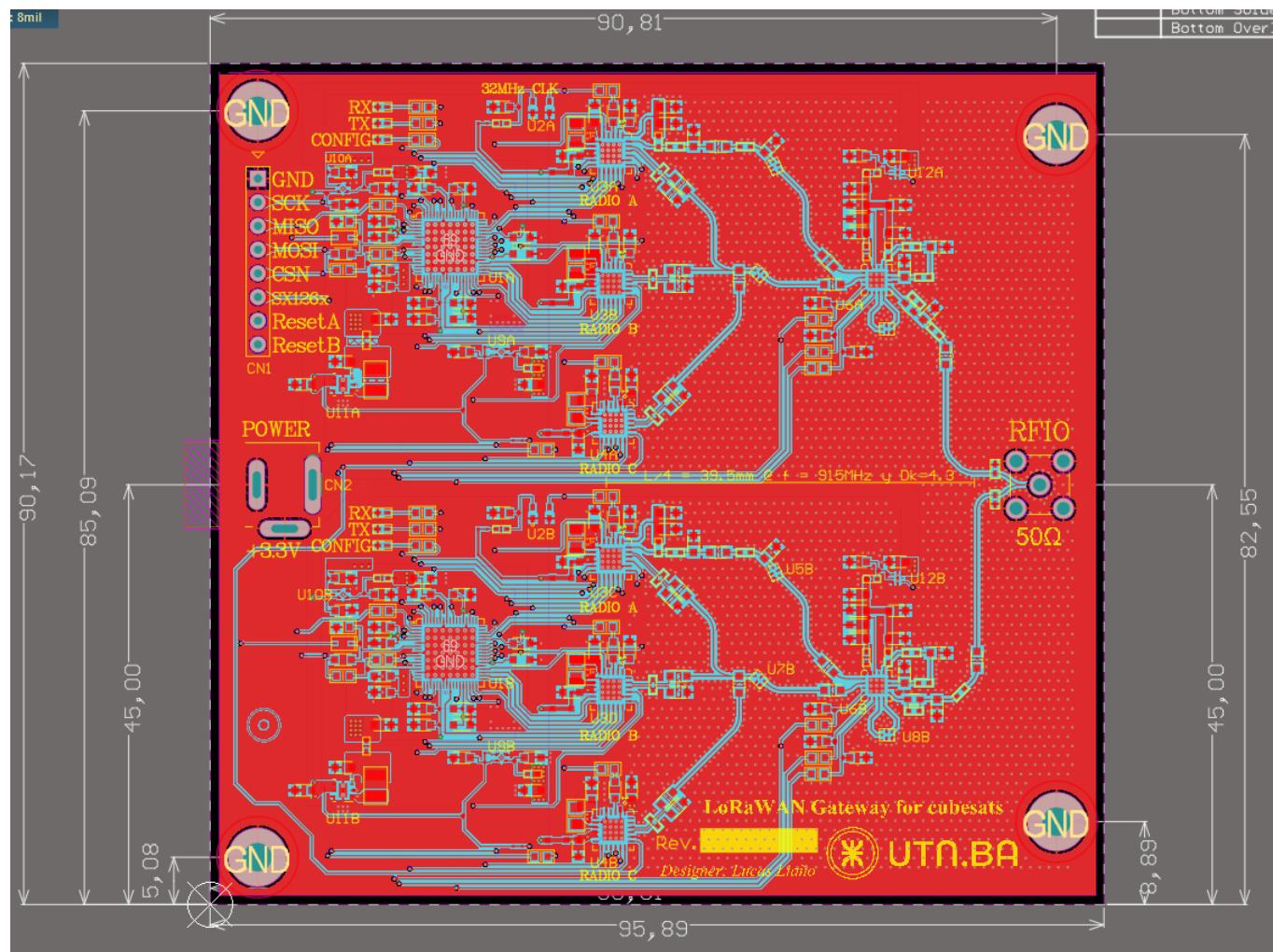


Figura 37: Archivo de diseño viendo la cara superior.

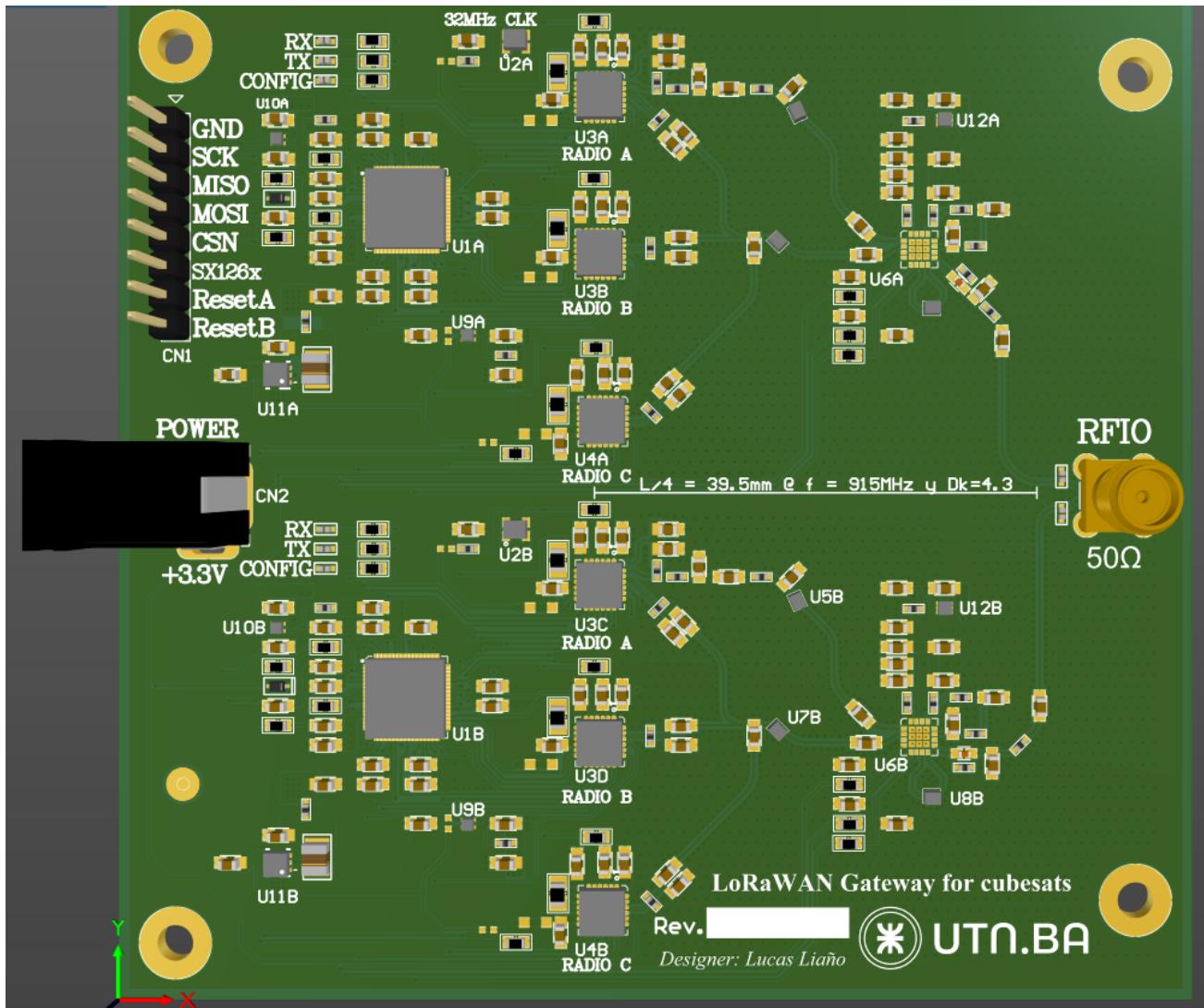


Figura 38: Render 3D visto desde la cara superior.

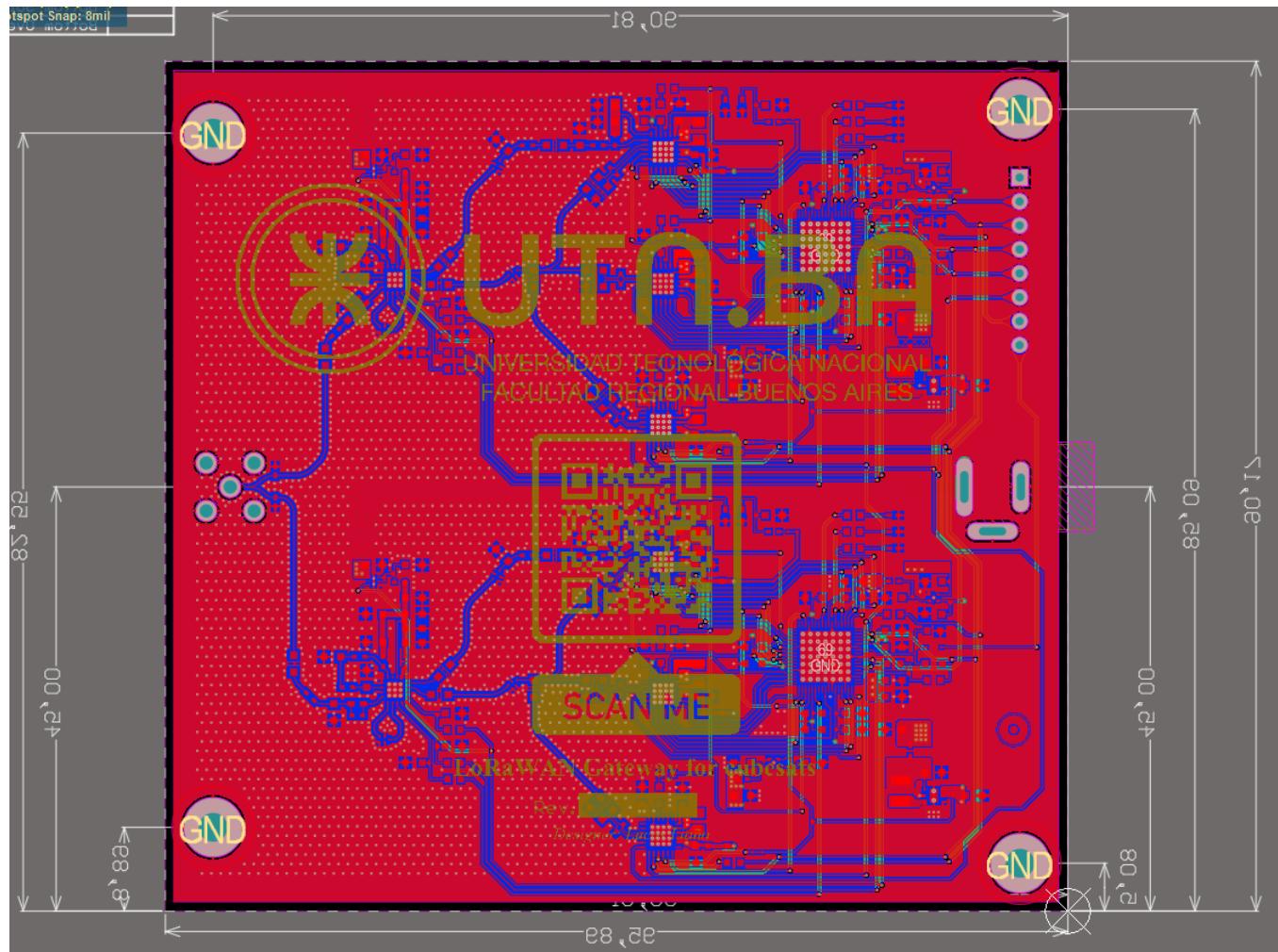


Figura 39: Archivo de diseño viendo la cara inferior.

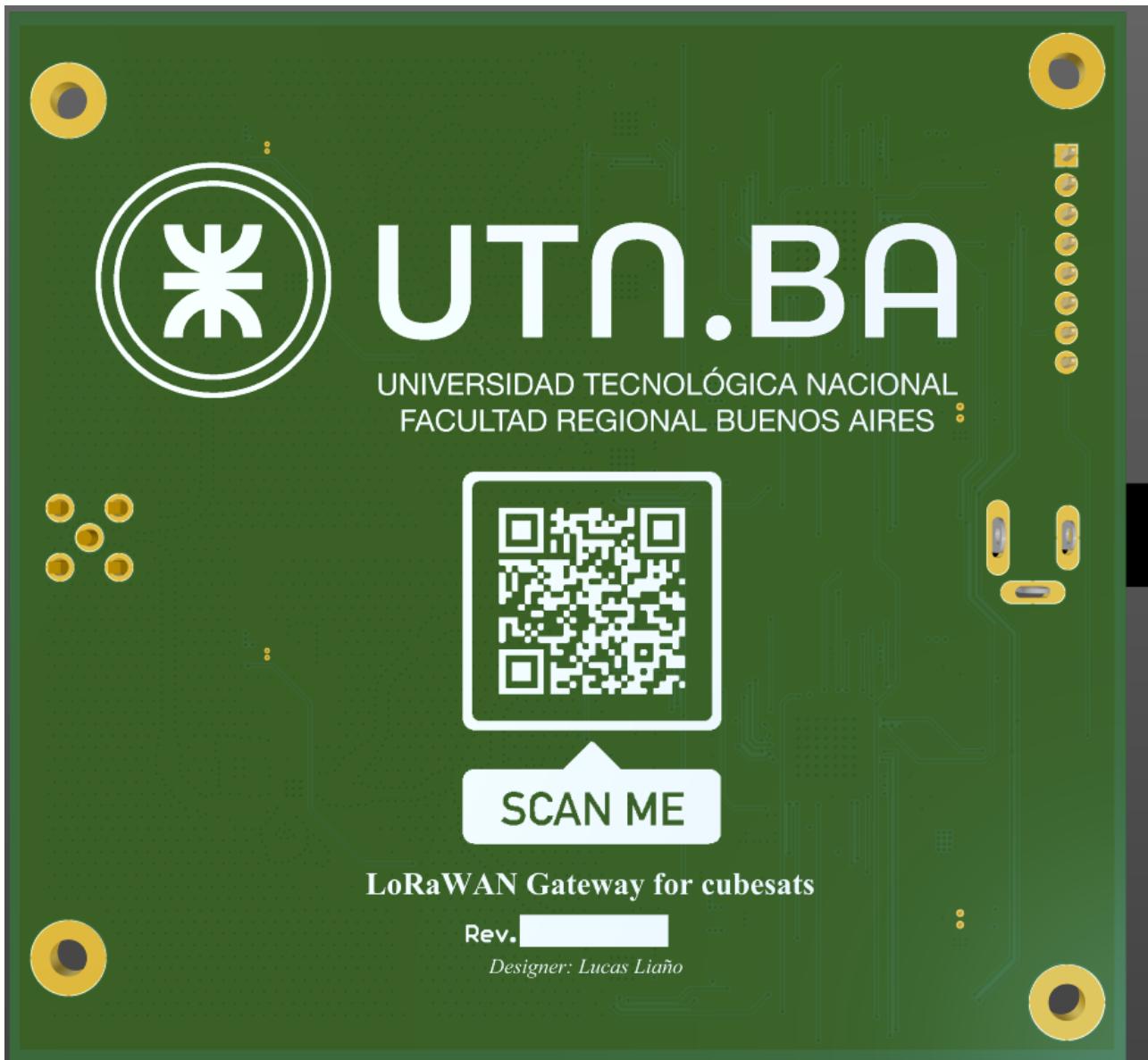


Figura 40: Render 3D visto desde la cara inferior.

6.2. Panelizado

Dentro de los objetivos del trabajo práctico se debió construir el panelizado del circuito en una configuración 2x2 conforme se especifica en la norma IPC-7351. Nótese que se agregaron fiduciales locales para simplificar el procedimiento de ensamblaje. En la figura 41 se presenta el resultado obtenido.

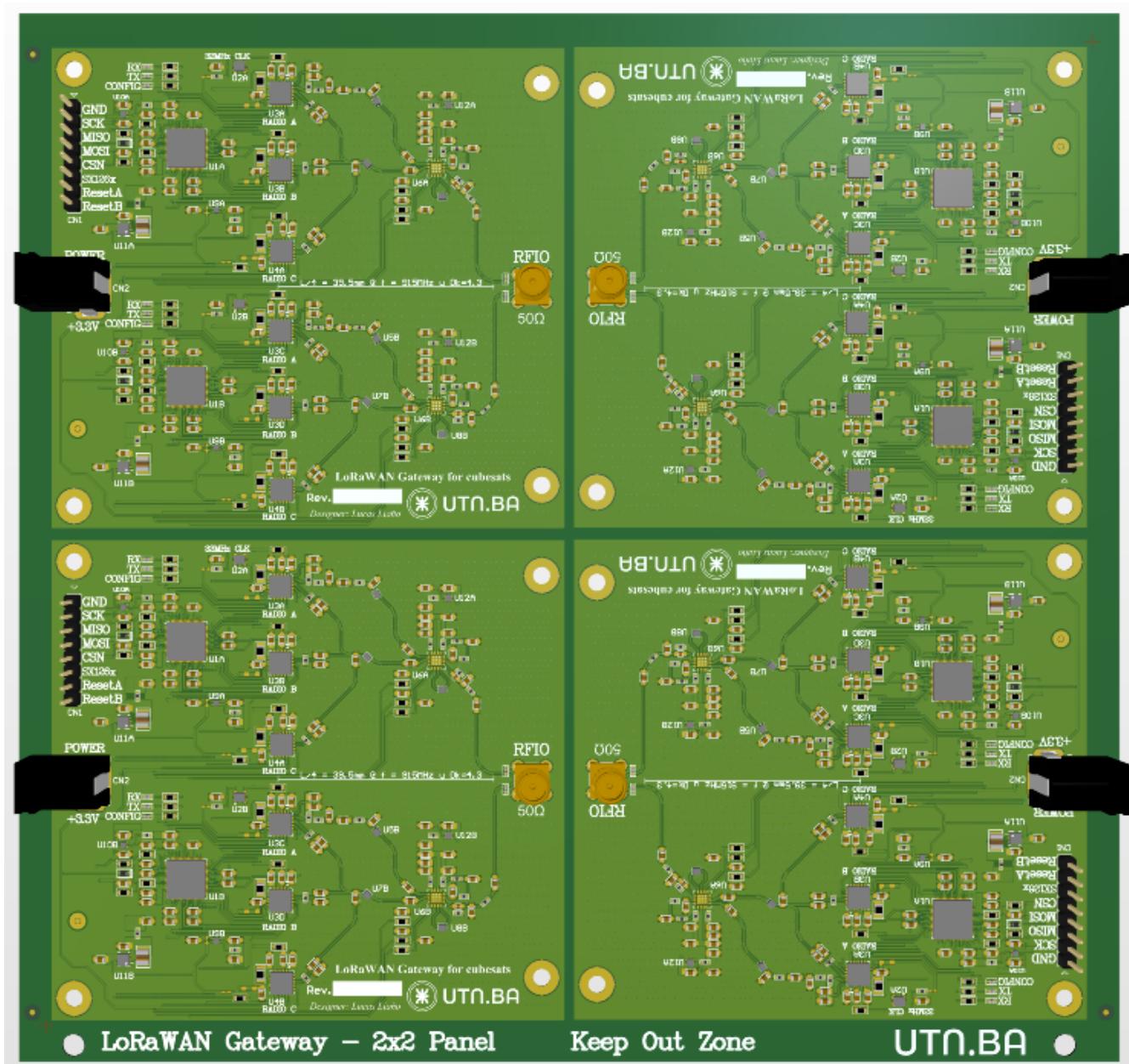


Figura 41: Panelizado 2x2 visto desde la cara superior.

7. Conclusiones

En este trabajo se realizó el análisis correspondiente al diseño e implementación de un circuito impreso de aplicación aeroespacial, listo para su producción masiva. A lo largo del trabajo se detallaron todos los criterios de diseño en lo referido a cuestiones tanto mecánicas como eléctricas del mismo. Se profundizó particularmente en los criterios de diseño referidos a circuitos de señales de alta frecuencia.

Se espera poder avanzar con la construcción física del prototipo propuesto y la verificación térmica del mismo. Así también en futuras versiones se espera implementar algunos circuitos que agreguen telemetría del subsistema.

Referencias

- [1] Al-Sarawi, S. et al. (2020). Internet of Things Market Analysis Forecasts, 2020–2030. 2020 Fourth World Conference on Smart Trends in Systems, Security and Sustainability (WorldS4). DOI: 10.1109/WorldS450073.2020.9210375
- [2] ONTI. (2019). Lineamiento de nuevas tecnologías: Internet de las cosas. Recuperado el 22 de junio, 2022. Disponible en <https://www.argentina.gob.ar/jefatura/innovacion-publica/onti>.
- [3] Mekki, K., Bajic, E., Chaxel, F., & Meyer, F. (2018). Overview of Cellular LPWAN Technologies for IoT Deployment: Sigfox, LoRaWAN, and NB-IoT. 2018 IEEE International Conference on Pervasive Computing and Communications Workshops, PerCom Workshops 2018, 197–202. <https://doi.org/10.1109/PERCOMW.2018.8480255>.
- [4] Prokopyev, V. Yu et al (2021). NORBY CubeSat nanosatellite: design challenges and the first flight data. Journal of Physics: Conference Series. <https://iopscience.iop.org/article/10.1088/1742-6596/1867/1/012038>.
- [5] Semtech Ltd. (2021). Semtech and Swarm Deliver Satellite Communications With LoRa. 27 de Enero, 2021. <https://www.semtech.com/company/press/semtech-and-swarm-deliver-satellite-communications-with-lora>.
- [6] Lacuna Space Ltd. (2022). Lacuna and Semtech Expand LoRaWAN® Coverage through IoT to Satellite Connectivity. Recuperado el 22 de junio, 2022. <https://lacuna.space/news/>.
- [7] LoRa Alliance. (2021, 5 de mayo). LoRaWAN® Regional Parameters. (Publicación N° RP002-1.0.3). Recuperado el 22 de junio, 2022. <https://lora-alliance.org/wp-content/uploads/2021/05/RP002-1.0.3-FINAL-1.pdf>.
- [8] Zenghui Y. (2016). An Integrated Method For Hardware FMEA of New Electronic Products. IEEE Xplore.
- [9] Reiss, P., Hager, P., Macdonald, M., & Lücking, C. (2012). New methodologies for the thermal modelling of cubesats.
- [10] Nugent, R. (2020). CubeSat Design Specification Rev. 14. Cal Poly CubeSat Laboratory.
- [11] Geib, F. (2021). On-board computer for PC104 format CubeSats.
- [12] NASA. (2021). State-of-the-Art of Small Spacecraft Technology. Recuperado el 22 de junio, 2022. Disponible en <https://www.nasa.gov/smallsat-institute/sst-soa>.
- [13] Texas Instruments. (2021). Spacecraft Circuit Design Handbook e-book. <https://www.ti.com/lit/eb/slyy214/slyy214.pdf>

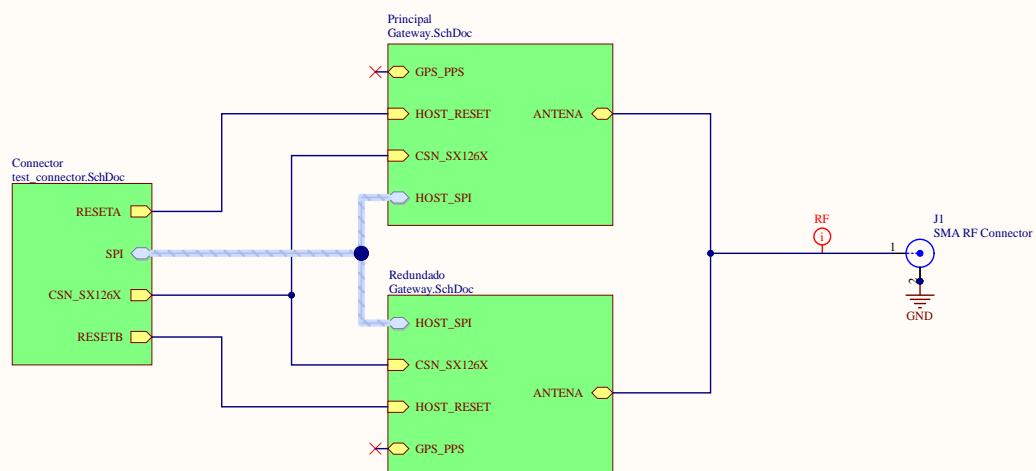
8. Anexos

A continuación se presentan, respetando el orden de aparición en el texto, los documentos asociados al trabajo.

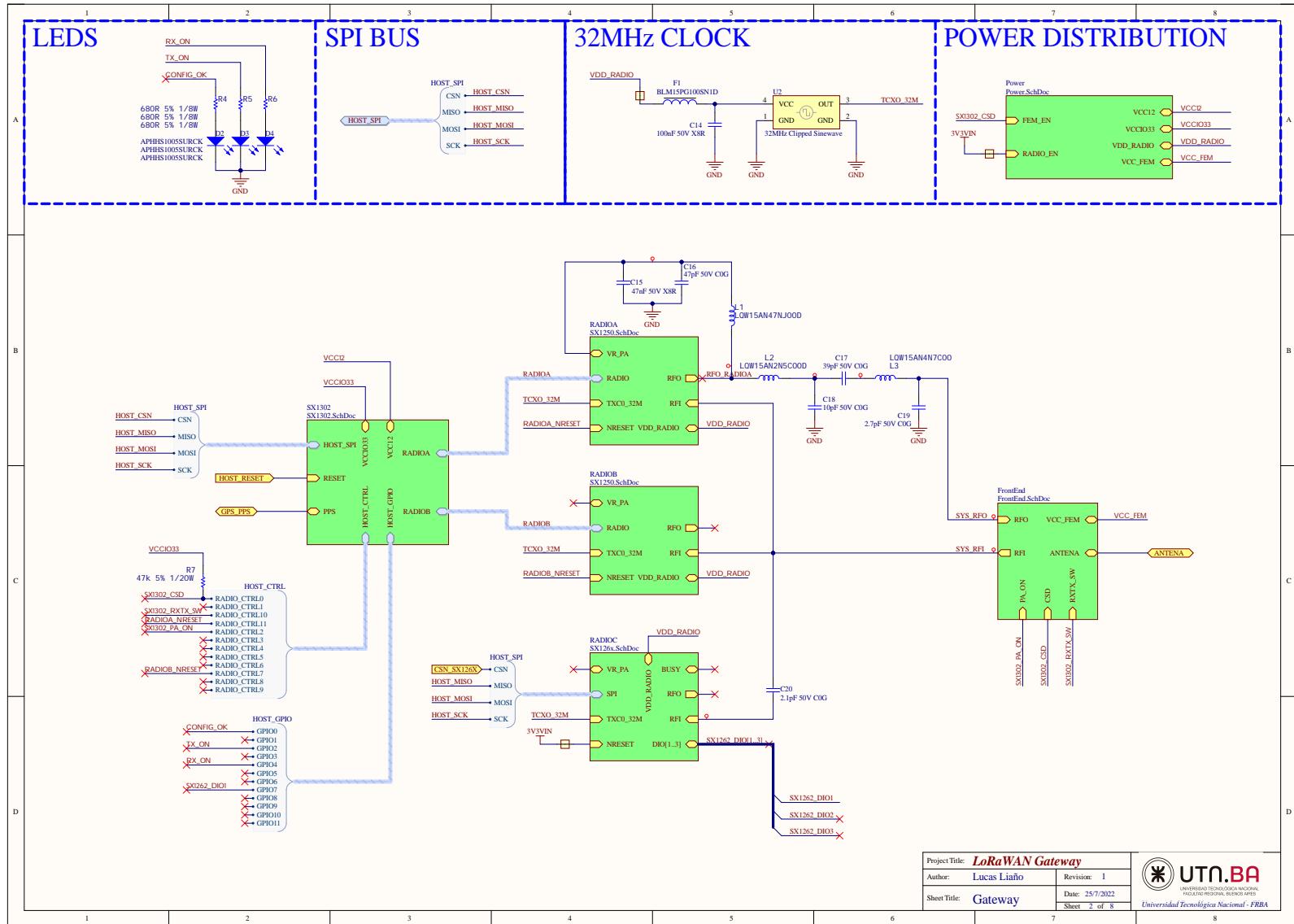
- Diagrama esquemático del circuito

LoRaWAN Gateway:

Radio submodule for Cubesat

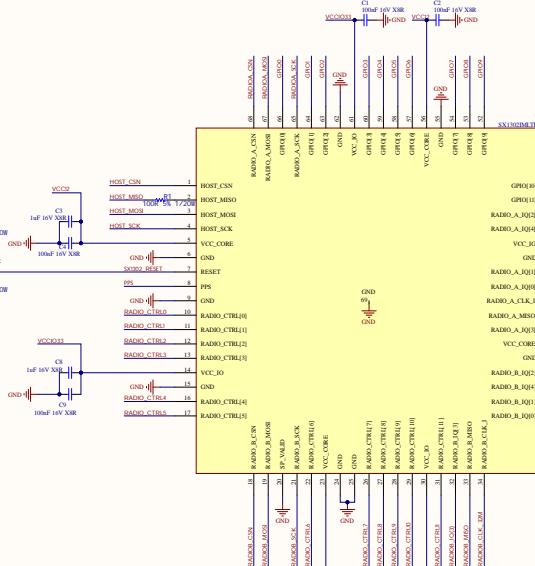


Project Title:	LoRaWAN Gateway	
Author:	Lucas Liaño	Revision: 1
Sheet Title:	System	Date: 25/7/2022 Sheet 1 of 8

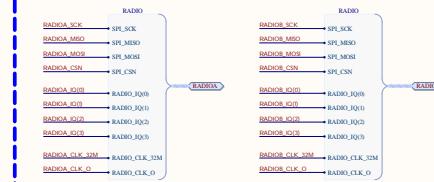


Project Title:	LoRaWAN Gateway	
Author:	Lucas Liano	Revision: 1
Sheet Title:	Gateway	

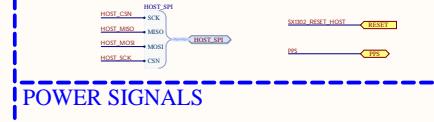
SX1302 CONCENTRATOR DESIGN



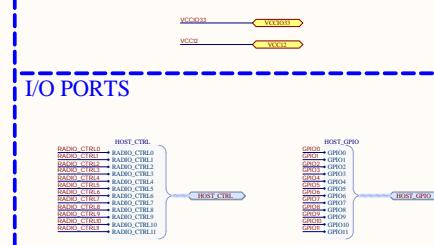
RADIO PORTS



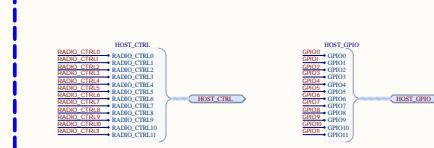
CONTROL SIGNALS

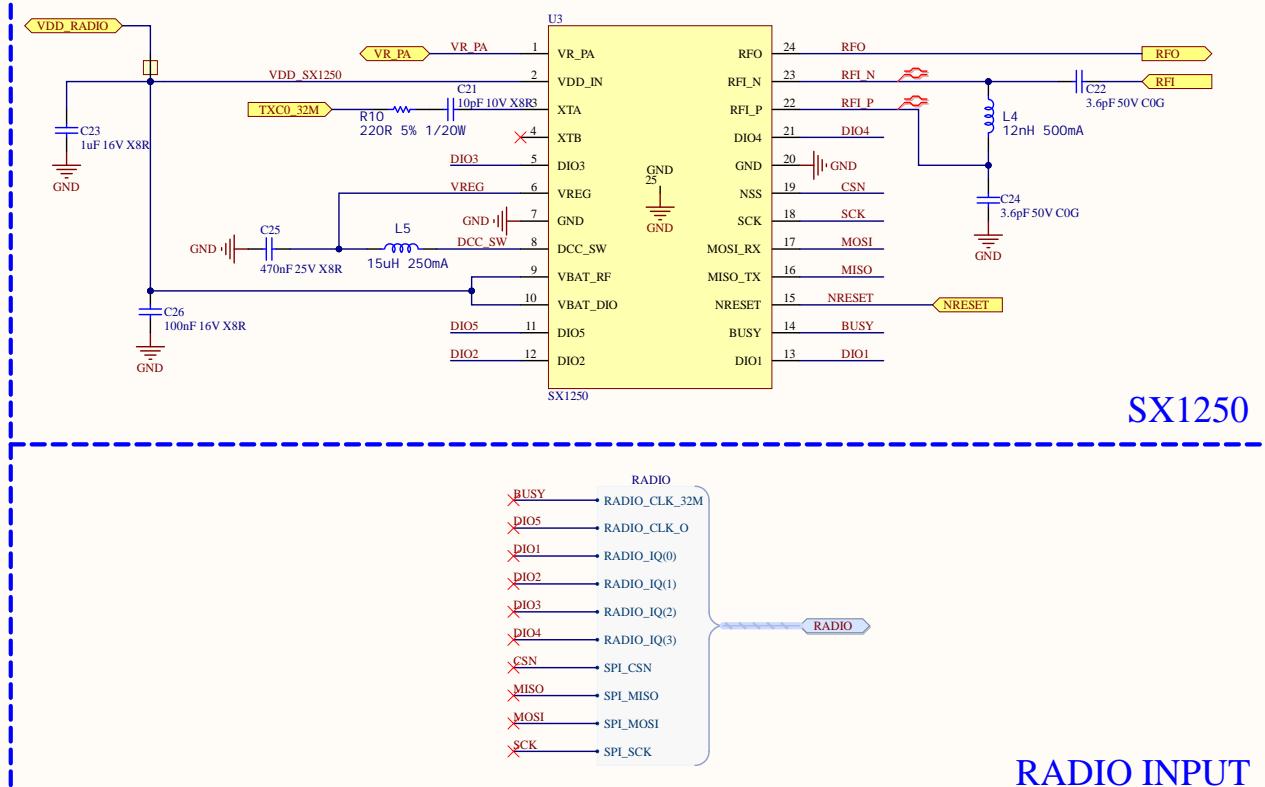


POWER SIGNALS



I/O PORTS





Project Title: LoRaWAN Gateway	Author: Lucas Liaño	Revision: 1
Sheet Title: SX1250	Date: 25/7/2022	Sheet 4 of 8

