

Trabajo Práctico 3

Data path y pipeline

Lucas Medrano, *Padrón Nro. 99247*

lucasmadrano97@gmail.com

Federico Álvarez, *Padrón Nro. 99266*

fede.alvarez1997@gmail.com

Grupo Nro. - 2do. Cuatrimestre de 2018

66.20 Organización de Computadoras

Facultad de Ingeniería, Universidad de Buenos Aires

Resumen

El objetivo de este trabajo es implementar algunas instrucciones en dos configuraciones de una CPU en un emulador de MIPS32: CPU uniclo, y CPU pipeline. Para implementar las instrucciones se deberá modificar tanto el set de instrucciones como el datapath de la CPU.

Índice

1. Desarrollo	1
1.1. Implementación	1
1.1.1. Programa	1
1.1.2. andi - CPU uniclo	1
1.1.3. andi - CPU pipeline	1
1.1.4. jregs - CPU uniclo	1
1.1.5. jregs - CPU pipeline	2
1.1.6. lw - CPU uniclo	2
1.2. Pruebas	2
2. Conclusiones	2
3. Apéndice	3
3.1. Enunciado	3

1. Desarrollo

El trabajo se divide en dos partes:

1. Implementar las instrucciones en una CPU unicycle.
2. Implementar las instrucciones en una CPU pipeline.

Las instrucciones que se implementaron son las siguientes:

1. `andi Rs, Rt, Imm` (And immediate). Esta instrucción de tipo I carga en Rs el resultado de hacer un AND entre el contenido del registro Rt y el valor de 16 bits Imm.
2. `j Rs, Rt` (Jump Rs+Rt). Esta instrucción de tipo I carga en el PC el resultado de sumar los contenidos de los registros Rs y Rt.
3. `lw Rs, Rd*shamt(Rt)`. Esta instrucción de tipo R carga en el registro Rs la palabra de 32 bits cuya dirección es $Rt + Rd * shamt$. Esta última sólo se implementara en la cpu unicycle.

1.1. Implementación

1.1.1. Programa

Para realizar el tp se usó el emulador DrMIPS, el cual permite visualizar el datapath que se usa, escribir programas, y seguir tanto el recorrido del programa y las señales en el datapath, como los valores de los registros. Modificando los archivos `.cpu` se modificaron ambos datapaths (unicycle y pipeline), y modificando los archivos `.set` se adecuaron ambos set de instrucciones para poder implementar las nuevas instrucciones.

1.1.2. `andi` - CPU unicycle

Para esta instrucción no hizo falta agregar ninguna estructura nueva al datapath. Generando un nuevo código de operación (`op`) y seteando las señales de control de la Unidad de Control y de la ALU se pudo obtener el resultado deseado.

1.1.3. `andi` - CPU pipeline

1.1.4. `jregs` - CPU unicycle

Para poder implementar esta instrucción no bastaban las estructuras que incluía el datapath unicycle. Se agregó un multiplexor que, mediante una entrada de control, decide si la siguiente dirección de PC es el resultado de la operación de la ALU o es la que indica MuxjUMP ($PC+4/branch$

addres o jump address). Así, se puede setear que se sumen los registros indicados por parámetro, y que la siguiente dirección del PC sea dicha suma.

1.1.5. jregs - CPU pipeline

1.1.6. lw - CPU unicycle

1.2. Datapaths

Los datapath utilizados, y modificados, para el trabajo quedaron de la siguiente manera.

1.2.1. CPU unicycle

AGREGAR FOTO

1.2.2. CPU pipeline

AGREGAR FOTO

1.3. Pruebas

Para cada instrucción implementada se agregan una, o más, pruebas para asegurarse que el comportamiento sea el esperado. Se adjuntan dichas pruebas a los archivos del trabajo.

2. Conclusiones

3. Apéndice

3.1. Enunciado

66:20 Organización de computadoras
Trabajo práctico 3: Data path y pipeline.

Objetivos

El objetivo de este trabajo es familiarizarse con la arquitectura de una CPU MIPS, específicamente con el datapath y la implementación de instrucciones. Para ello, se deberán agregar acciones a diversas configuraciones de CPU provistas por el simulador DrMIPS [1]

Alcance

Este trabajo práctico es de elaboración grupal, evaluación individual, y de carácter obligatorio para todos los alumnos del curso.

Requisitos

El trabajo deberá ser entregado personalmente, en la fecha estipulada, con una carátula que englobe los datos completos de todos los integrantes.

Además, es necesario que el trabajo práctico incluya (entre otras cosas, ver sección 8), la presentación de los resultados obtenidos, explicando, cuando corresponda, con fundamentos reales, causas o razones de cada resultado obtenido.

El informe deberá respetar el modelo de referencia que se encuentra en el grupo¹, y se valorarán aquellos escritos usando la herramienta \TeX / \LaTeX .

Recursos

Usaremos el programa DrMIPS [1] para configurar y simular el data path de un procesador MIPS [4], tanto unicycle como multicycle.

Descripción.

1. Introducción

El programa DrMIPS nos permite evaluar distintos diseños de datapath para procesadores MIPS, al darnos la posibilidad de organizarlo como queramos. Si bien sólo puede haber unos pocos de los componentes del DP (como el registro de PC o la unidad de control), podemos agregar sumadores, multiplexores, extensores de signo y conexiones arbitrariamente. También es

¹<http://groups.yahoo.com/group/orga6620>

que modificar el conjunto de instrucciones. Además de la estructura lógica del `DP`, `DrMIPS` permite escribir programas simples y simular su ejecución en el `DP`, mostrando los valores toman las diversas entradas y salidas de cada elemento. El programa se puede conseguir en `os://brunonova.github.io/drmips/`, o se puede descargar para Ubuntu, ya sea desde el sitio de Ubuntu o autorizando un repositorio externo (ver [2]) si la versión que reporta el ejador de paquetes es inferior a 2.0.1.

• Datapaths

El programa viene con algunos `DP` ya implementados, a saber:
Uniciclo:

- ▮ `uncycle.cpu`: El `DP` uniciclo por defecto.
- ▮ `uncycle-no-jump.cpu`: Variante más simple del `DP` uniciclo que no soporta la instrucción `j`.
- ▮ `uncycle-no-jump-branch.cpu`: Una variante aún más simple que no soporta `jump` ni `branch`.
- ▮ `uncycle-extended.cpu`: Una variante que soporta instrucciones adicionales, como multiplicación y división.

Pipeline:

- ▮ `pipeline.cpu`: El `DP` de pipeline por defecto, implementa detección de hazards. Los `DP` de pipeline no soportan la instrucción `j` (salto).
- ▮ `pipeline-only-forwarding.cpu`: Variante del `DP` de pipeline que implementa forwarding pero no genera stalls (genera resultados incorrectos).
- ▮ `pipeline-no-hazard-detection.cpu`: Otra variante que no hace hazard detection de ninguna manera (genera resultados incorrectos).
- ▮ `pipeline-extended.cpu`: Una variante que soporta instrucciones adicionales, como multiplicación y división, como `uncycle-extended.cpu`.

• Instrucciones a implementar

A continuación se describen las instrucciones a implementar en el data path. Algunas de estas son como instrucciones de MIPS pero no están implementadas; otras no.

- ▮ `andi Rs, Rt, Imm` (And immediate). Esta instrucción de tipo `I` carga en `Rs` el resultado de hacer un AND entre el contenido del registro `Rt` y el valor de 16 bits `Imm`.
- ▮ `j Rs, Rt` (Jump `Rs+Rt`). Esta instrucción de tipo `I` carga en el PC el resultado de sumar los contenidos de los registros `Rs` y `Rt`.
- ▮ `lw Rs, Rd*Imm(Rt)`. Esta instrucción de tipo `R` carga en el registro `Rs` la palabra de 32 bits cuya dirección es `Rt + Rd * shamt`. Esto resulta en el agregado del modo de direccionamiento escalado, que MIPS no tiene nativamente.

· Tareas a realizar

- Implementar la instrucción `andi Rs, Rt, Imm` en el DP `unicycle.cpu`.
- Implementar la instrucción `andi Rs, Rt, Imm` en el DP `pipeline.cpu`.
- Implementar la instrucción `j Rs, Rt` en el DP `unicycle.cpu`.
- Implementar la instrucción `j Rs, Rt` en el DP `pipeline.cpu`. Verificar que no se produzcan hazards.
- Implementar la instrucción `lw Rs, Rd*Imm(Rt)` en el DP `unicycle.cpu`.

Implementación.

Los archivos antes mencionados, así como los archivos `.set` que contienen los datos del conjunto de instrucciones, están en formato JSON [3], y se pueden modificar con un editor de texto. Se sugiere uno que pueda hacer *color syntax highlighting*, como el `gedit` que viene con el GNU. La explicación de los formatos se encuentra en el archivo `configuration-en.pdf` que distribuye con el programa.

Pruebas

En todos los casos debe verificarse que la instrucción se ejecute correctamente. Esto implica el registro de destino tome el valor deseado, y además que en el caso del DP multiciclo no produzcan hazards, como ser la ejecución de la instrucción siguiente al salto, o en el caso de leer el valor de un registro, que éste tenga el valor correcto.

Informe.

Se debe entregar:

- Informe describiendo el desarrollo del trabajo práctico.
- Capturas de pantalla de los DP modificados.
- Programas de prueba.
- Archivos de los DP, los programas de prueba y los conjuntos de instrucciones usados en cada caso.
- Este enunciado.

Fecha de entrega.

La entrega de este trabajo práctico debe realizarse el Jueves 6 de Diciembre de 2018.

REFERENCES

DrMIPS, <https://brunonova.github.io/drmips/>.

PPA de Bruno Nova, <https://launchpad.net/~brunonova/+archive/ubuntu/ppa>.

ECMA-404 The JSON Data Interchange Standard, <http://www.json.org/>.

“Computer organization and design: the hardware-software interface”, John Hennessy, David Patterson. Capítulo 5.