

Lucas Oliveira Ferreira - 2122130028
Luciano Oyo Viana - 2222130032
Arquitetura de computadores
18/06/2023

Ao lidar com sistemas digitais, é necessário ter em mente que algumas dificuldades surgirão e precisarão ser superadas. Um dos problemas inseridos nesse contexto é o fenômeno conhecido como metaestabilidade. A metaestabilidade pode causar falhas em dispositivos digitais diante de duas possibilidades:

1. Quando um sinal é transferido entre circuitos de domínios de clock distintos;
2. Quando um sinal é transferido de um circuito assíncrono para um circuito síncrono.

Os flip flops são circuitos digitais pulsados capazes de servir como memória de um bit. Eles possuem requisitos de tempo bem definidos, recebendo um dado de entrada e produzindo um sinal de saída. Para assegurar uma operação bem sucedida, o dado de entrada de um flip flop deve estar estável por um tempo mínimo antes e depois da borda do clock. Se um dado “desrespeita” esse tempo mínimo de estabilidade antes ou depois de entrar no flip flop, a saída é imprevisível. Desta forma, surge o estado de metaestabilidade. Neste estado, saída do flip flop pode flutuar entre os estados lógicos alto e baixo por um tempo indeterminado, o que significa que a transição para um estado lógico definido alto ou baixo é maior que o tempo de atraso para propagação de sinal. A probabilidade de um flip flop entrar no estado de metaestabilidade e o tempo necessário para retornar a um estado estável variam de acordo com a tecnologia do processo usado na manufatura do dispositivo e na condição de operação.

Uma solução prática para evitar que um dado fique no estado de metaestabilidade é a utilização de flip flops de sincronismo. A cadeia de flip flop de sincronismo é uma das técnicas utilizadas para transferir sinais entre circuitos de domínio de clocks distintos ou de domínios assíncronos para domínios síncronos. Assim, podemos desenvolver, em VHDL, uma cadeia de flip flops de sincronismo para resolver este empecilho.

Situação problema:

Dois alunos estão matriculados na disciplina de sistemas digitais no segundo semestre da faculdade de engenharia da computação. O professor da disciplina comunicou aos seus alunos que os avaliaria a partir da construção de um circuito com pelo menos uma entrada digital. Estes dois alunos então formam uma dupla para construção do projeto e decidem utilizar um push button como entrada em seu

circuito e esta será processada dentro de um bloco digital. Este exemplo ilustra a situação na qual a metaestabilidade pode ocorrer. Temos um sinal de um domínio de clock assíncrono (ação do ser humano ao pressionar o push button) entrando em um FPGA (Field Programmable Gate Array) com domínio de clock síncrono e bem estabelecido. O flip flop que será utilizado para compor a cadeia de sincronismo é um flip flop do tipo D de transição positiva de clock, com reset em nível alto assíncrono e clock enable.

Flip flop D em VHDL:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity FFD is
    port (
        clk : in std_logic;
        rst : in std_logic;
        ce   : in std_logic;
        d    : in std_logic;
        q    : out std_logic
    );
end FFD;

architecture Behavioral of FFD is
begin

    process (clk, rst) is
    begin
        if (rst = '1') then
            q <= '0';
        elsif (rising_edge(clk)) then
            if (ce = '1') then
                q <= d;
            end if;
        end if;
    end process;
end Behavioral;
```

Cadeia de Flip Flop D de Sincronismo em VHDL para evitar metaestabilidade:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity metaestabilidade is
    port (
        clk : in std_logic;
        rst : in std_logic;
        ce   : in std_logic;
        input : in std_logic;
        output : out std_logic
    );
end metaestabilidade;

architecture Behavioral of metaestabilidade is
```

```

component FFD is
  port (
    clk : in std_logic;
    rst : in std_logic;
    ce  : in std_logic;
    d   : in std_logic;
    q   : out std_logic
  );
end component;

signal s_meta : std_logic;

begin

  metaestab_comp_0 : FFD port map (
    clk => clk,
    rst => rst,
    ce  => ce,
    d   => input,
    q   => s_meta
  );

  metaestab_comp_1 : FFD port map (
    clk => clk,
    rst => rst,
    ce  => ce,
    d   => s_meta,
    q   => output
  );

end Behavioral;

```

A entidade metaestabilidade encapsula o sinal de entrada do sistema input e disponibiliza o sinal output para ser utilizado no projeto do sistema digital.

Fontes:

As informações deste trabalho foram retiradas dos seguintes sites:

<https://embarcados.com.br/evitando-metaestabilidade-na-pratica-vhdl/> - Acesso em 16/06/2023

<https://embarcados.com.br/metaestabilidade/> - Acesso em 16/06/2023

<https://embarcados.com.br/fpga/> - Acesso em 16/06/2023

Créditos dos dois códigos a Caio Alonso.