

# Lista de Exercícios VHDL

Disciplina: Sistemas Digitais

1 - Projete e descreva em VHDL um decodificador 3 para 8. Utilize a seguinte entidade para descrever sua solução em VHDL:

```
entity decoder_3to8 is
  port (
    A : in std_logic_vector (2 downto 0); -- Decoder Input
    Y : out std_logic_vector (7 downto 0) -- Decoder Output
  );
end entity decoder_3to8;
```

2 - Projete e descreva em VHDL um decodificador 2 para 4 com entrada ENABLE e saídas ativo baixo . Utilize a seguinte entidade para descrever sua solução em VHDL:

```
entity decoder_2to4en is
  port (
    EN : in std_logic; -- Enable
    A : in std_logic_vector (1 downto 0); -- Decoder Input
    Y_L : out std_logic_vector (3 downto 0) -- Decoder Output (active low)
  );
end entity decoder_2to4en;
```

3 - Projete e descreva em VHDL um circuito codificador BCD para 7-segmentos, ou seja, um circuito que recebe uma palavra código BCD (de 4 bits) e apresenta na saída a palavra de 7 bits que ativa os segmentos correspondentes no display de 7 segmentos. Utilize a seguinte entidade para descrever sua solução em VHDL:

```
entity bcd7seg is
  port (
    EN : in std_logic; -- Enable
    D : in std_logic_vector (3 downto 0); -- Encoder Input
    S : out std_logic_vector (6 downto 0) -- Encoder Output
  );
end entity bcd7seg;
```

4 - Projete e descreva em VHDL um multiplexador 4 para 1. Utilize a seguinte entidade para descrever a sua solução em VHDL

```
entity mux is
  port (
    I : in std_logic_vector (3 downto 0); -- Input
    SEL : in std_logic_vector (1 downto 0); -- Select
    Y : out std_logic -- Output
  );
end entity mux;
```

5 – Implemente em VHDL um demultiplexador 1-8 16bits.

6 - Implemente em VHDL um contador DECIMAL (0-9), que tenha como entradas chip enable, clock e reset. Como saída deve ter um bit ov, que indica que chegou a 9 e voltou a 0, e 4 bits para o valor da contagem.