**Hardware Design**

**LAB 8**

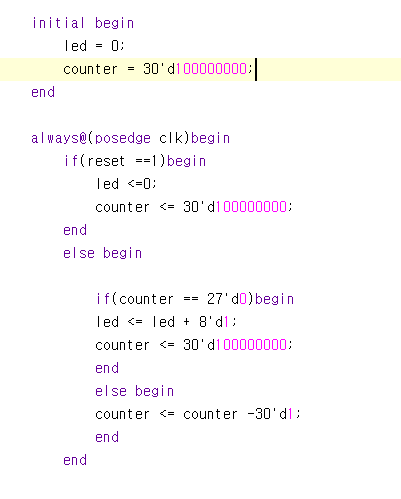
**이다운 2016-13919**

**1. IMPLEMENT**

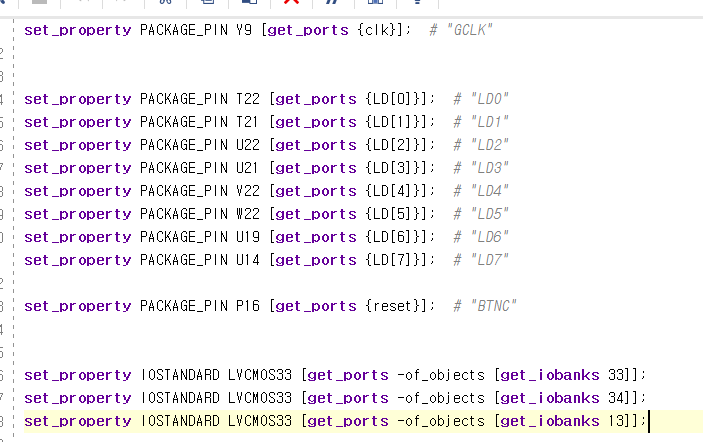
이번 lab의 목표는 1 sec checker를 구현하고 이를 보드 위에서 잘 작동하는지 확인하는 것이다.

**2. CODE**

1-sec checker는 크게 down counter와 up counter로 구성되어 있다. down counter는 클럭의 신호를 초단위로 바꿔주는 역할을 하며 up counter는 down counter에 따라 즉 초 단위로 카운트가 되는 역할을 한다. up counter를 led에 연결하여 보드에서 확인할 수 있게 하였다.

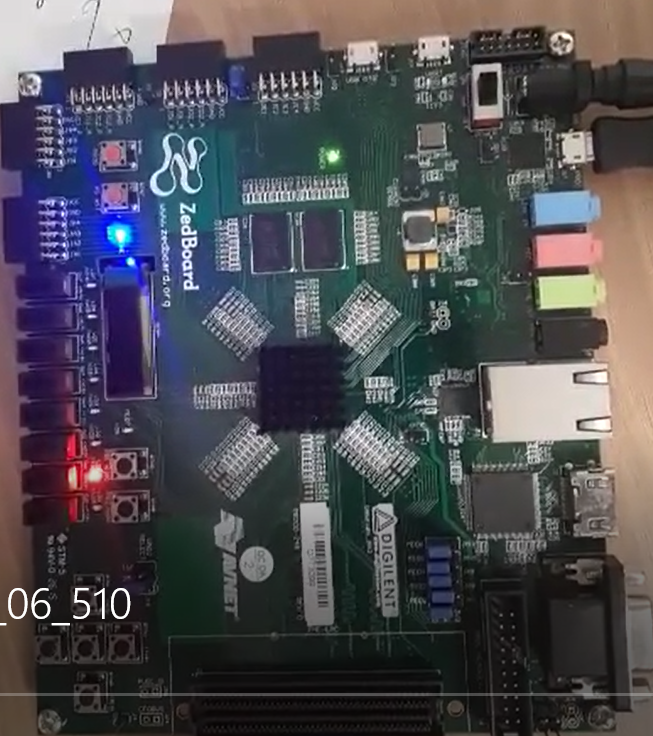


GCLK은 100MHZ의 주기를 가지므로 counter를 100만으로 1억으로 초기화 한다. 그리고 매 클럭 신호 마다 counter에서 1을 마이너스 해주며 counter가 0이 됐다면 이는 1초가 흘렸음 을 의미하므로 led reg에 1을 더해줌과 동시에 counter를 다시 1억으로 초기화 하는 방식으로 하였다. 이때 reset 신호가 들어오면 counter, led 모두 초기값으로 초기화 해주었다.



Verilog 코드를 작성한 뒤 zed 보드에 연결하기 위해 constraints 파일도 작성해야 한다. 여기에 Verilog 코드의 port와 보드의 구성품과 연결하고 올바르게 전압을 올려줘야 한다. 이 내용은 zedboard-user guide 파일을 참조하여 작성하였다.

**3. RESULT & DISCUSSION**



위 사진같이 보드에 연결해보니 정상적으로 잘 작동하였다. 이번 실습에서 어려웠던 점은 constraints 파일에서 전압을 어떻게 줘야 하는지가 어려웠는데 user-guide 파일을 참조하여 잘 해결하였다.