# PROYECTO FINAL

SARA LUCIA DUQUE PARRA CAMILO CASTRO SEBASTIAN TORRES RAMIREZ DANIEL HOYOS

UNIVERSIDAD DEL CAUCA
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
POPAYÁN- CAUCA

2023

# PROYECTO FINAL: JUEGO DE TENIS

SARA LUCIA DUQUE PARRA CAMILO CASTRO SEBASTIAN TORRES RAMIREZ DANIEL HOYOS

ING. FULVIO YESID VIVAS CANTERO

UNIVERSIDAD DEL CAUCA
FACULTAD DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES
POPAYÁN- CAUCA
2023



# UNIVERSIDAD DEL CAUCA FACULTAD DE INGENIERIA ELECTRONICA Y TELECOMUNICACIONES. POPAYAN-CAUCA-COLOMBIA

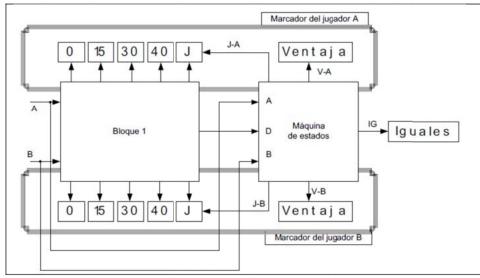
#### DEPARTAMENTO DE TELEMATICA

#### LABORATORIOS FINALES

ASIGNATURA: CIRCUITOS DIGITALES I PROF: FULVIO VIVAS

#### **PUNTAJE DE TENIS**

Se desea diseñar un circuito secuencial síncrono que controle la puntuación de un partido de Tenis. Para ello, se dispondrá de un primer bloque que vaya marcando para cada jugador 15, 30, 40 y Juego, a medida que el árbitro pulse la tecla de punto correspondiente al jugador A o B. Por otra parte, si se llega al resultado de 40-40, este bloque se detendrá, no atendiendo ya a las señales A, B, y pondrá a 1 la señal D. En esta situación, la máquina de estados irá realizando el control de la puntuación, una vez se produzca esta señal D. Como se sabe, una vez se llega a la puntuación de 40-40, hay que ganar por al menos dos puntos de diferencia. Por lo tanto, las secuencias posibles son: iguales-> ventaja A -> Juego A, o bien iguales -> ventaja B-> Juego B, o bien Iguales -> ventaja A (o B) -> iguales



NOTA: para disminuir el número de entradas a la máquina, se sugiere usar antes un circuito combinacional, cuyas salidas X1, X2 sean como se muestra en la tabla

X1-X2	Significado
0-0	A, B y D no activas
0-1	Señal B activa
1-0	Señal A activa
1-1	Sólo señal D activa

#### Se pide:

- 1.- Diseñar el Bloque 1. Véase que está formado por dos subsistemas con 5 salidas, "0", "15", "30", "40" y "J", y sólo debe estar activa una salida de cada subsistema. Asimismo, téngase en cuenta que cuando se llegue a 40-40 deben apagarse todas las salidas, encenderse la señal D, y hacer caso omiso de las entradas A y B.
- 2.- Diseñar la máquina de estados adicional, como máquina de MOORE, teniendo en cuenta la simplificación especificada. Sólo es necesario especificar la Tabla de Transición de Estados, simplificada si fuese posible, y calcular únicamente el Circuito Combinacional de Salida: IG, VA, VB, JA, JB.

#### **NOTAS IMPORTANTES:**

- 1.- Las señales A y B duran únicamente un ciclo de reloj por cada punto conseguido, estando el resto del tiempo en reposo (0)
- 2.- La señal D puede durar un solo ciclo o más, dependiendo de cómo se diseñe el bloque 1. Para la máquina de estados deberá considerarse la solución adoptada si se ha resuelto el bloque 1. En caso contrario, se supondrá que la señal puede durar un número indefinido de ciclos de reloj.
- 3.- El bloque 1 y la máquina de estados están gobernados por la misma señal de reloj Deben ser ambos sistemas síncronos.
- 4. Sólo se podrán usar biestables tipo D y puertas lógicas estándar. Cualquier otro subcircuito habrá de ser especificado.

#### SOLUCION DEL PROBLEMA

Al diseñar, primero debemos considerar el método de puntuación del tenis de campo, es decir: puntos, juegos¹ y sets; cuando un jugador anota, el marcador (display) registra 15 luego de otro serán 30 puntos, y por último, 40 puntos, y después de anotar el último punto, se cuenta como 1 juego y el marcador se reiniciara a 0. De esta manera, cada jugador debe jugar hasta 6 sets, y luego se registrará otro juego. Después del sexto juego, se contará como juego 1 y de este modo la puntuación que se llevaba en los sets vuelve a cero. El juego se gana cuando un jugador complete los 3 juegos.

Como se mencionó anteriormente, como solo se realiza para un jugador, debe haber 8 monitores: 4 para registrar el tiempo (en minutos y segundos), 2 para registrar las puntuaciones, 1 para el número de rondas, 1 para el juego. Cabe señalar que la placa FPGA solo tiene 4 displays, por eso requiere multiplexar para ver otros valores en displays externos.

#### A. Diagrama de transición de estados

Se realiza el diagrama de transición de estados para cada parte del puntuador (puntos, sets, games)

#### - Puntos:

Para los puntos se definieron 2 bits y un bit extra al cual mediante un switch se le asignaba su valor, ya sea 0 cuando el contador era ascendente o 1 como contador

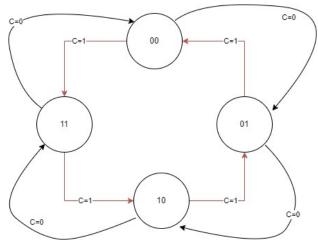


Ilustración 1:Diagrama de transición de estados para los puntos

<sup>&</sup>lt;sup>1</sup> ¿Cuántos juegos se necesitan para ganar un set? Un set se juega a seis juegos, y se gana por diferencia de al menos dos. Si un set está empatado en 6-6, se juega un desempate

# - Sets:

Para los sets, al sr un MOD-7 se definieron los 7 estados consecutivos 000, 001, 010, 011, 100, 101 y 110 y se le asignó el estado indeseable 111 al estado 000.

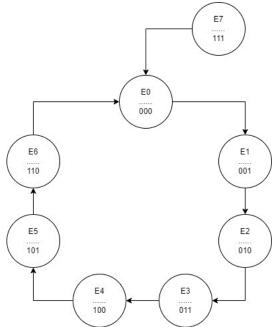


Ilustración 2: Diagrama de transición de estados para los sets

# - Games:

Para los games se usaron 2 Flip-Flops los cuales corresponden a los 3 puntos de conteo 00 que corresponde a 0, 01 que corresponde a 1, 10 que corresponde a 2 y 11 que corresponde a 3.

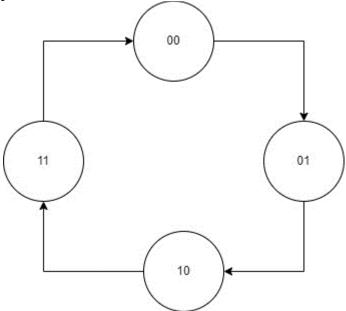


Ilustración 3: Diagrama de transición de estados para los games

#### B. Toma de datos

#### I. Puntuador de tenis

1. Secuencia de conteo

#### Puntos

Para este caso en específico, se requiere de un contador ascendente-descendente MOD 4, el cual debe contar de 0 a 3, lo cual implica un diseño con flip-flops para dos bits, pero además de esto, se implementa un switch (C) para que cuando esté en 0 el contador sea ascendente y cuando esté en 1, sea descendente (esto para quitar algún punto si hay alguna equivocación en la marcación).

Conteo	C	В	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tabla 1: Tabla de secuencia de conteo

# • Sets

Para este caso, se requiere de un contador ascendente MOD 7, el cual debe contar de 0 a 6, lo cual implica un diseño con Flip-Flops para tres bits.

Conteo	С	В	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tabla 2: Tabla de secuencia de conteo

# • Games

Para este caso, se requiere de un contador ascendente MOD 4, el cual debe contar de 0 a 3, lo cual implica un diseño con flip-flops para dos bits.

Conteo	В	A
0	0	0
1	0	1
2	1	0
3	1	1

Tabla 3: Tabla de secuencia de conteo

# 2. Tablas de excitación y mapas de Karnaugh

# Puntos

	ESTADOS RESENTI		ESTADOS SIGUIENTES			ESTADOS DE CONTROL			
C	В	A	C	В	A	JB	KB	JA	KA
0	0	0	0	0	1	0	X	1	X
0	0	1	0	1	0	1	X	X	1
0	1	0	0	1	1	X	0	1	X
0	1	1	0	0	0	X	1	X	1
1	0	0	1	1	1	1	X	1	X
1	0	1	1	0	0	0	X	X	1
1	1	0	1	0	1	X	1	1	X
1	1	1	1	1	0	X	0	X	1

Tabla 4: Tabla de excitación

a) Diseño del circuito del conteo de puntos (Mapas de Karnaugh):

Mapa de Karnaugh para  $J_B$ 

C∖BA	00	01	11	10
0	0	1	X	X
1	1	0	X	X

$$J_B = (C + A)(C' + A')$$

Mapa de Karnaugh para  $K_B$ 

C∖BA	00	01	11	10
0	X	X	1	0
1	X	X	0	1

$$K_B = (C + A)(C' + A')$$

Mapa de Karnaugh para  $J_A$ 

C∖BA	00	01	11	10
0	1	X	X	1
1	1	X	X	1

$$J_A = 1$$

Mapa de Karnaugh para  $K_A$ 

C∖BA	00	01	11	10
0	X	1	1	X
1	X	1	1	X

$$K_A = 1$$

Además, para que las salidas se representaran como en un partido de tenis se realizó un decodificador manual para que cuando el estado fuera 00 se reflejara 00, cuando el estado fuera 01 se reflejara en los display el número 15, cuando el estado fuera 10 se reflejara el 30 y finalmente cuando fuera 11, se reflejara 40 en los displays

Sali	das	Display 1					ny 1 Display 2								
В	A	A	В	С	D	Е	F	G	A	В	С	D	Е	F	G
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	1	1	0	0	1	1	1	1	0	1	0	0	1	0	0
1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1
1	1	1	0	0	1	1	0	0	0	0	0	0	0	0	1

Tabla 5: Tabla de verdad para diseño de decodificador de puntos

# a) Primer display:

Mapa de Karnaugh para  $A_1$ :

B\A	0	1
0	0	1
1	0	1

$$A_1 = A$$

Mapa de Karnaugh para  $B_1$ :

B∖A	0	1
0	0	0
1	0	0

$$B_1 = 0$$

Mapa de Karnaugh para  $C_1$ 

B∖A	0	1			
0	0	0			
1	0	0			
$C_1 = 0$					

Mapa de Karnaugh para  $\mathcal{D}_1$ 

B∖A	0	1			
0	0	1			
1	0	1			
$D_1 = A$					

Mapa de Karnaugh para  $E_1$ 

B\A
 0
 1

 0
 0
 1

 1
 1
 1

 
$$E_1 = A + B$$

Mapa de Karnaugh para  $F_1$ 

B\A
 0
 1

 0
 0
 1

 1
 1
 0

 
$$F_1 = A \oplus B$$

Mapa de Karnaugh para  $G_1$ 

B∖A	0	1		
0	1	1		
1	0	0		
$G_1 = B'$				

# b) Segundo display

Mapa de Karnaugh para  $A_2$ :

$\mathbf{B} \backslash \mathbf{A}$	0	1		
0	0	0		
1	0	0		
$A_2 = 0$				

Mapa de Karnaugh para  $B_2$ 

$\mathbf{B} \backslash \mathbf{A}$	0	1			
0	0	1			
1	0	0			
$B_2 = B'A$					

Mapa de Karnaugh para  $C_2$ 

B∖A	0	1			
0	0	0			
1	0	0			
$C_2 = 0$					

Mapa de Karnaugh para  $D_2$ 

0	1
0	0
0	0
	-

$$D_2 = 0$$

Mapa de Karnaugh para  $E_2$ 

B∖A	0	1		
0	0	1		
1	0	0		
$E_2 = B'A$				

Mapa de Karnaugh para  $F_2$ 

B∖A	0	1
0	0	0
1	0	0

$$F_2 = 0$$

Mapa de Karnaugh para  $G_2$ 

B∖A	0	1			
0	1	0			
1	1	1			
$G_2 = B + A'$					

• Sets

ESTAD	ESTADOS PRESENTES			ESTADOS SIGUIENTES		ES'	ΓAD	OS D	E CC	NTI	ROL
C	В	A	C	В	A	Jc	Kc	Jb	Kb	Ja	Ka
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	0	0	0	X	1	X	1	0	X
1	1	1	X	X	X	X	X	X	X	X	X

Diseño del circuito del conteo de sets (Mapas de Karnaugh):

Mapa de Karnaugh para  $J_c$ 

C\BA	00	01	11	10
0	0	0	1	0
1	X	X	X	X

$$J_c = C + (BA)$$

Mapa de Karnaugh para  $K_c$ 

C\BA	00	01	11	10
0	X	X	X	X
1	0	0	X	1

$$K_c = C' + B$$

Mapa de Karnaugh para  $J_B$ 

C\BA	00	01	11	10
0	0	1	X	X
1	0	1	X	X

$$J_B = A$$

Mapa de Karnaugh para  $K_B$ 

C∖BA	00	01	11	10
0	X	X	1	0
1	X	X	X	1

$$K_B = C + A$$

Mapa de Karnaugh para  $J_A$ 

C\BA	00	01	11	10
0	1	X	X	1
1	1	X	X	0
$J_A = C' + B'$				

Mapa de Karnaugh para  $K_A$ 

C\BA	00	01	11	10
0	X	1	1	X
1	X	1	X	X

$$K_A = 1$$

# • Juegos

ESTA PRESE		ESTA SIGUII	ADOS ENTES	ES	TADOS D	E CONTR	OL
В	A	В	A	JB	KB	JA	KA
0	0	0	1	0	X	1	X
0	1	1	0	1	X	X	1
1	0	1	1	X	0	1	X
1	1	0	0	X	1	X	1

Tabla 6: Tabla de excitación

- Diseño del circuito del conteo de puntos (Mapas de Karnaugh):

Mapa de Karnaugh para  $J_B$ 

B∖A	0	1
0	0	1
1	X	X

$$J_B = A$$

Mapa de Karnaugh para  $K_B$ 

B∖A	0	1
0	X	1
1	0	X

$$K_B = A$$

Mapa de Karnaugh para  $J_A$ 

B∖A	0	1
0	1	X
1	1	X

$$J_A = 1$$

Mapa de Karnaugh para  $K_B$ 

B∖A	0	1
0	X	1
1	X	1

$$K_B = 1$$

# ÍMAGENES DE FUNCIONAMIENTO DE LA FPGA

