

Problemă CN2 28.01.2014

.....

1. Un procesor are două niveluri de cache (L1 și L2) și o memorie RAM. ~~Sistemul are un CPI = 1 dacă~~ Programul care rulează pe această arhitectură are 10000 de operații load și store care au 10% hit în L1, 30% hit în L2 iar restul rezidă în RAM. Timpii de acces pentru diferitele memorii sunt: $t_{L1} = 2$ cicli, $t_{L2} = 5$ cicli și $t_{RAM} = 100$ cicli. Care este valoarea timpului mediu de acces la memorie? (1p)

2. Un bus sincron are o perioadă de ceas de 10ns și fiecare transmisie durează un ciclu de ceas. Alt bus asincron are nevoie de 40ns pentru fiecare handshake. Fiecare bus are 32 de biți de date. Care este lățimea de bandă a fiecărui bus pentru citiri de un cuvânt dintr-o memorie cu 500ns per read? (1p)

3. Avem un procesor cu adrese pe 8 biți și o memorie cache de 16 octeți cu lungimea liniei de 2 octeți, datele fiind accesibile la nivel de octet. Timpul de acces în cazul unui hit este $T_{hit} = 20$ ns și timpul de acces în cazul unui miss este $T_{miss} = 100$ ns. Cât va dura următoarea secvență de cod și ce date se vor afla în cache dacă:

a) adresele sunt **mapate direct**; (1p)
b) adresele sunt mapate **set asociativ cu 2 cai** și politica de înlocuire a liniilor este **LRU**; (2p)

c) adresele sunt mapate **set asociativ cu 2 cai** și politica de înlocuire a liniilor este **FIFO**? (2p)

d) Ce date se vor afla în RAM la aceleași adrese (cele folosite în cod) după terminarea execuției în cele trei cazuri dacă politica de scriere în cache este **write-back**? (4p)

Se știe: RAM[8] = 0; RAM[9] = 1; RAM[16] = 2; RAM[17] = 3; RAM[20] = 4; RAM[21] = 5; RAM[32] = 6; RAM[33] = 7;

```
load R0, 8
load R1, 9
load R2, 21
load R3, 16
store 8, R1
load R0, 32
store 20, R1
```