Examen CN2. Partea I - 03.02.2014

- 1. Explicati cum sunt afectate cele trei tipuri de miss (obligatoriu, de conflict si de capacitate) daca adaugam capabilitatea de prefetching unui cache?
- **2.** Cum sunt afectati parametrii de Hit Time, Miss Rate si Miss Penalty daca dublam asociativitatea unui cache set-asociativ (dar pastram capacitatea si dimensiunea liniilor constante)?
- 3. Care dintre cele trei abordari furnizeaza *cea mai mare* imbunatatire a performantei la rularea urmatorului cod:

```
LD R1 O(R2) # cache miss
ADD R2 R1 R1
LD R1 O(R3) # cache hit
LD R3 O(R4) # cache hit
ADD R3 R1 R3
ADD R1 R2 R3
```

Variante:

- Out-of-order execution cu Register Renaming
- Branch Prediction
- Superscalar
- **4.** Avem un sistem cu memorie virtuala si TLB. Daca dublam numarul de intrari in TLB, cum vor fi afectate rata de miss a TLB si capacitatea acestuia de adresare (TLB reach)?
- 5. Monica este studenta in anul 1 la Calculatoare si doreste sa imbunatateasca viteza de rulare a codului ei. Ea modifica in felul urmator programul ei:

```
Before for (i=0; i<N; i++) int BS=8; for (j=0; j<N; j++) for (i=0; i<N; i+=BS) for (j=0; j<N; j++) for (k=0; k<BS; k++) B[j*N+(i+k)] = A[(i+k)*N+j];
```

A procedat Monica corect?

6. Prietenul Monicai, Irinel, are aceeasi problema:

Se executa mai rapid codul dupa optimizarea lui Irinel?

- **7.** Avem un sistem de calcul cu un singur nivel de cache (L1) Daca adaugam un al doilea nivel de cache (L2), cum se vor modifica urmatorii parametri de functionare: L1 Hit Time, L1 Miss Rate, L1 Miss Penalty?
- 8. Descrieti protocolul MESI.
- 9. Explicati modul de functionare al unui TLB.
- **10.** In sistemele de calcul moderne se folosesc din ce in ce mai mult magistrale de comunicatie seriala (SATA, USB etc). De ce sunt acestea preferate magistralelor paralele (dati cel putin trei motive)?