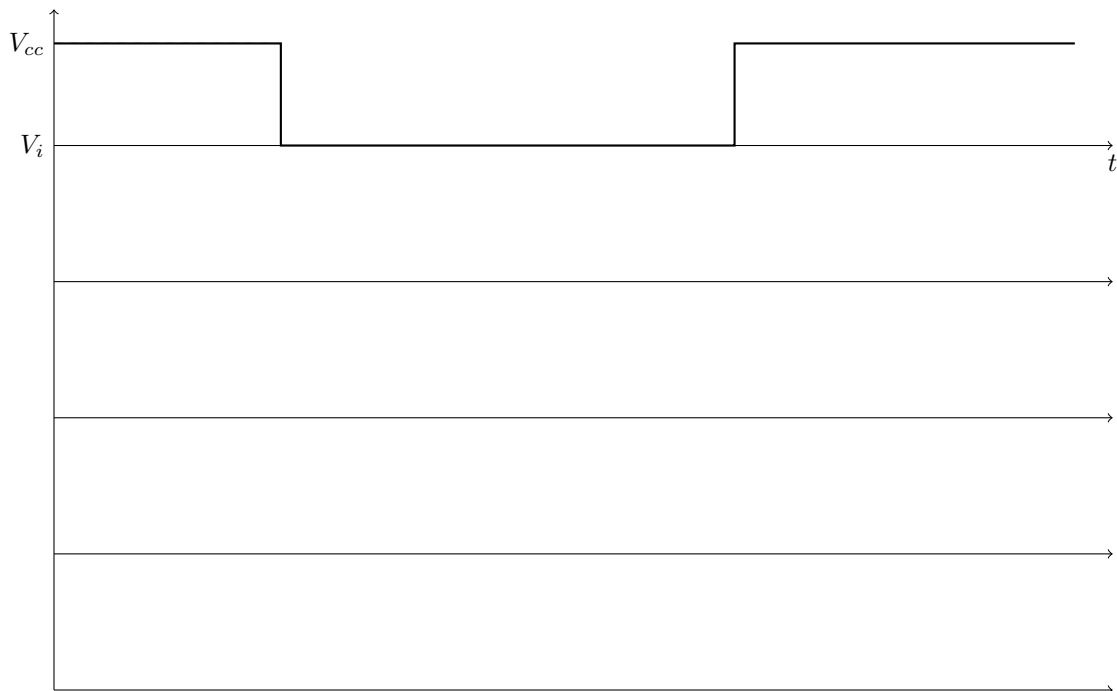
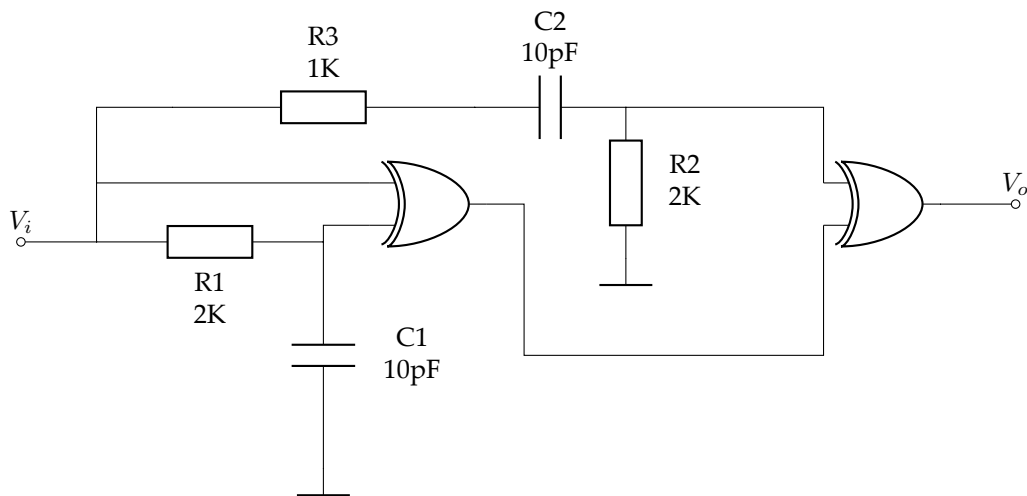


Grupa:..... Nume:.....

1. Desenați forma semnalului V_o și a semnalelor intermediare. Determinați duratele de timp relevante pentru circuitul de mai jos. Porțile logice sunt de tip CMOS ideale cu $t_d = 12ns$.



2. Simulați funcționarea circuitului de mai jos. Determinați perioada minimă a semnalului de CLK pentru o funcționare corectă a circuitului. Verificați celelalte constrângeri pentru funcționarea corectă. Se dau $t_{d1,2} = 12ns$, $t_{s1..4} = 3ns$, $t_{h1..4} = 4ns$, $t_{cq1..4} = 16ns$.

