

Cerintele pentru acest laborator sunt legate de aceeași platformă de laborator 3.

1. Să se realizeze schema bloc din platforma de laborator conform figurii 3.3 pentru întregul circuit, adăugându-se modulele pentru afișare 7 segmente (figura 3.8) și divizorul de ceas (se recomandă codul din figura 3.2). Circuitul NU va fi simulat în întregime pentru că divizorul de ceas va altera semnalele. El este necesar doar în vederea download-ării în placa FPGA. De aceea, pentru validarea corectitudinii modului de lucru, arhiva pe care o veți urca pe Moodle trebuie să conțină capturi de ecran pentru:
  - circuitul obținut în Block Diagram
  - fișierul de constrângeri în care sunt asociați pinii potriviți (în lucrare se explică modalitatea de modificare a pinilor conform segmentelor și anozilor la afișarea pe 7 segmente)
2. Să se rezolve problema 2 de la finalul laboratorului 3 (Cerinta de lucru 2, pag 32). Este vorba despre implementarea unui automat de bauturi racoritoare. (Hint: recomandări și exemple de implementare a automatelor cu stări au fost făcute la curs. Verificați-vă notițele!!!). Pentru a verifica modalitatea de lucru, trebuie trimise 3 fișiere:
  - Modulul Verilog cu automatul implementat
  - Modulul de simulare
  - Captura/capturi ecran cu formele de undă obținute în urma simulării pentru cel puțin 3 combinații de valori ale semnalelor de intrare