Notes du cours de microprocesseurs (MIC2)

Nathan Furnal

1er avril 2021

Table des matières

1 Ouvrons le PC

En ouvrant le PC, on rencontre la carte mère et la mémoire cache, sur lesquels nous nous concentrerons.

1.1 Carte mère

La **carte mère** est le cœur de tout ordinateur. Elle est essentiellement composée de circuits imprimés et de ports de connexion, par le biais desquels elle assure la connexion de tous les composants et périphériques propres à un micro-ordinateur (disques durs, mémoire vive, microprocesseur, cartes filles, etc.) afin qu'ils puissent être reconnus et configurés par la carte lors du démarrage.

Dans la carte mère, on retrouve :

— Les connecteurs électriques
— Le support processeur (*socket*)
— Le **chipset** : Celui-ci se divise en deux parties distinctes à savoir le **northbridge** et **southbridge**.
— Les **bus**
— Les **slots** mémoire
— Les **slots** extension
— Les connecteurs de stockage
— Le panneau d'entrées/sorties

Aujourd'hui on a remplacé les architectures **northbridge** et **southbridge** par le **PCH** (platform controller hub).

1.2 Carte multiprocesseur

Une carte multiprocesseur peut accueillir plusieurs processeurs physiquement distincts. Elles sont principalement utilisées dans les architectures serveur ou les super-ordinateurs.

1.3 La mémoire cache

La mémoire cache (également appelée antémémoire ou mémoire tampon) est une mémoire rapide permettant de réduire les délais d'attente des informations stockées en mémoire vive. En effet, la mémoire centrale de l'ordinateur possède une vitesse bien moins importante que le processeur. Il existe néanmoins des mémoires beaucoup plus rapides, mais dont le coût est très élevé. La solution consiste donc à inclure ce type de mémoire rapide à proximité du processeur et d'y stocker temporairement les principales données devant être traitées par le processeur.

Les ordinateurs récents possèdent plusieurs niveaux de mémoire cache :

— La mémoire cache de premier niveau (appelée **L1 Cache**, pour Level 1 Cache) est directement intégrée dans le processeur.
— La mémoire cache de second niveau (appelée **L2 Cache**, pour Level 2 Cache) est située au niveau du boîtier contenant le processeur (dans la puce).
— La mémoire cache de troisième niveau (appelée **L3 Cache**, pour Level 3 Cache) autrefois située au niveau de la carte mère (utilisation de la mémoire centrale), est aujourd'hui intégré directement dans le CPU.

Tous ces niveaux de cache permettent de **réduire les temps de latence des différentes mémoires** lors du traitement et du transfert des informations.

2 Microprocesseurs : fonctionnement

Le programme est une suite d'instructions stockées dans la mémoire. Pour exécuter ces instructions de manière séquentielle, le microprocesseur utilise `RIP`, qui contient l'adresse de la prochaine instruction.

2.1 Composantes

ALU Unité arithmétique et logique, qui exécute les opérations et les instructions.

registres Les registres contiennent les valeurs, ils servent au stockage.

Unité de contrôle (UC) Cette unité contrôle l'exécution des instructions et contient :

  RIP L'adresse de la prochaine instruction à être exécutée.

  Incrémenteur Il incrémente la valeur de RIP automatiquement.

  Registre d'instructions (RI) Contient l'instruction qui va être décodée avant d'être exécutée.

  Décodeur Décode les instructions.

  Séquenceur Contient les adresses vers lesquels RIP pointe.

Horloge Contrôle la cadence des instructions.

Bus de données Transporte les données, il aide à manipuler les données qui sont stockées en mémoire, là où le bus d'adresses indique où celles-ci se trouvent.

Bus d'adresses Le bus d'adresses collecte les adresses.

Mémoire RAM On retrouve aussi bien les instructions que les données nécessaires aux instructions.

2.2 Code machine et instructions

— `0x0102030405060708` : adresse sur 64 bits.
— `0x480556341200` : instruction (`add rax, 0x123456`);
— `0x4801D8` : instruction (`add rax, rbx`);
— `0x4801B48A34120000` : instruction (`add [rcx*4+rdx+0x1234], rsi`)

2.3 Jeu d'instructions

Les microprocesseurs sont capables d'effecteur certaines opérations élémentaires, l'ensemble de ces opérations est appelée **jeu d'instructions**.

Une instruction au niveau machine doit fournir à l'unité centrale toutes les informations nécessaires pour déclencher une opération. En général, les opérations élémentaires comportent plusieurs champs, le premier champ contient le code de l'opération, appelée **op-code**.

2.4 Cycle d'exécution d'une instruction

Lors de son exécution, une instruction est décomposée en mini-opérations élémentaires.

FETCH Recherche d'instruction.

DECODE Décodage de l'instruction.

EXECUTE Exécution de l'instruction.

Ces opérations sont cadencées au rythme d'horloge, qui pilote le séquenceur. La durée de traitement d'une instruction s'appelle **cycle d'instruction** ou **cycle machine**. Le nombre de périodes d'horloge nécessaires à l'exécution dépend de l'architecture du processeur et du mode d'adressage.

2.4.1 `Fetch`

Le contenu de `RIP` est placé dans le bus d'adresses ; l'unité de contrôle établit la connexion entre les deux. Ensuite, l'unité de contrôle émet un ordre de lecture de la case mémoire dont le contenu sera ensuite acheminé à travers le bus de données, vers le registre d'instruction (RI).

Remarque : À la mise sous tension ou après un `RESET`, le compteur de programme est initialisé par une valeur fixée par le constructeur.

2.4.2 `Decode`

Le registre d'instruction (RI) contient maintenant le code opératoire (op-code). L'unité de contrôle (UC) décode le contenu de RI pour savoir la nature de l'opération à effectuer (addition, multiplication, etc.) et incrémente RIP pour pointer sur la prochaine instruction à exécuter.

2.4.3 `Execute`

Le cycle d'exécution varie en fonction de l'architecture et du type de l'instruction. De manière générale c'est l'ALU qui exécute l'instruction en cours et positionne les indicateurs du registre d'état (le registre qui contient les *flags*) comme `RFLAGS`.

2.4.4 Exemple 1

On considère le processus représenté par le code assembleur suivant :

```
1 mov eax, 33
2 add eax, ecx
```

Le code machine correspondant est : `B82100000001C8`.

On suppose qu'au départ, `EAX` contient 17, `EBX` contient 19 et `ECX` contient 15. Le contenu des autres registres est inconnu.

D'abord on exécute la première instruction `mov eax, 33`, cela correspond à `B821000000` en code machine. On commence par `FETCH`. La porte s'ouvre et l'adresse contenue dans RIP est placée sur le bus d'adresses. La RAM fournit la donnée qui se trouve à cette adresse. Ensuite, l'instruction qui se trouvait à l'adresse donnée (`0x10..84`) se retrouve dans le registre d'instruction RI, en passant par le **bus de données**.

Puis, on décode l'instruction grâce au décodeur et au registre d'instruction. On voit que c'est un `mov` sur 5 bytes. Les portes s'ouvrent à nouveau, RIP s'incrémente de 5 bytes et vaut maintenant (`0x10..89`).

Enfin, on exécute cette première instruction.

2.4.5 Exemple 2

On considère le processus représenté par le code assembleur suivant.

```
1 boucle : ADD BL, 10
2 JMP boucle
```

Le code machine correspondant est : `80C30AEBFB`.

On suppose qu'au départ, `EAX` contient 17, `EBX` contient 05 et `ECX` contient 15. Le contenu des autres registres est inconnu.

Pour arrêter un processus qui tourne en boucle, on va devoir utiliser une **interruption**.

3 Interruptions

Pour rappel, une instruction est décomposé en `FETCH`, `DECODE`, `EXECUTE`. Mais on peut se poser la question de ce qu'il se passe si on veut interrompre ce processus. Par exemple dans le cas d'un événement extérieur (frappe au clavier, clique souris,...). Dans le cas d'une erreur exécution (instruction inconnue, division par zéro). Ou encore dans le cas de dialogue avec le système (appel système, scheduling de processus).

Dans tous ces cas, la gestion de l'arrêt des instructions passe par les **interruptions**. Une interruption est un arrêt temporaire (en général) et automatique du processus en cours. L'interruption provoque l'exécution d'une routine (un bloc de code) qu'on appelle *interrupt handler*, la routine de traitement d'interruption. En général, le programme reprend après l'interruption.

Pour savoir s'il faut interrompre un programme, on doit constamment "écouter" ou scruter les processus en cours. Ce concept de scrutation des programmes s'appelle le **polling**, qui est une attente active du CPU.

3.1 Types d'interruptions

Il y a trois types d'interruption :

- L'interruption **matérielle**, provoquée par du matériel extérieur comme le clavier ou la souris ou bien l'arrivée d'un paquet sur le réseau.
- Les **exceptions**. Elles sont provoquées par une programme, en général suite à une erreur. Par exemple la division par 0 ou une instruction inconnue.
- Les **appels-système**. Ils sont provoqués par un programme, pour demander un service au système d'exploitation. Par exemple la demande de lecture ou d'écriture d'un fichier.

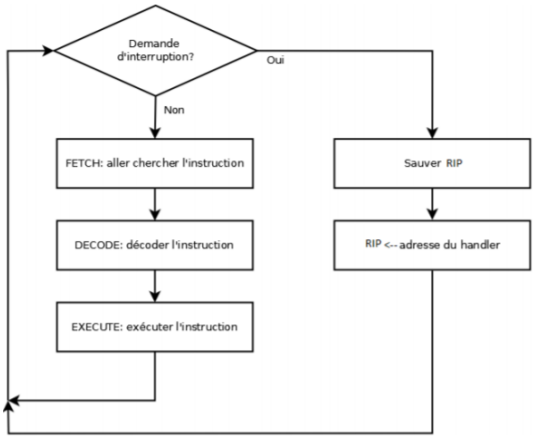
Les interruptions sont reprises dans un tableau appelé vecteur, chaque interruption aura une valeur précise. Il y en a 256.

0-31 Valeurs réservés aux exceptions.

- **0** Division par zéro.
- **6** opcode non défini.

32-255 définies par l'OS et programmées dans le contrôleur d'interruptions, le PIC (*Program interrupt controller*).

Voici le cycle du processeur quand on a une interruption, dans ce cas il n'y a pas d'attente active. On verra plutôt s'il y a une interruption après chaque instruction. L'adresse du *handler*, c'est l'adresse de la routine d'interruption.



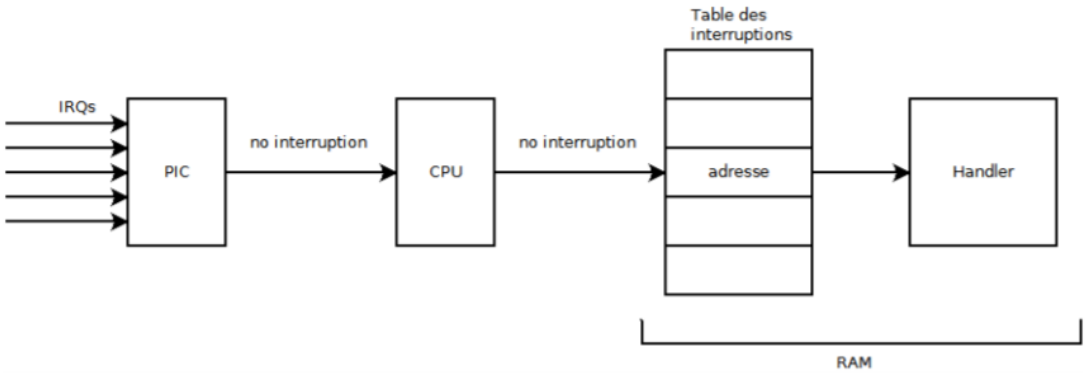
3.2 La broche `INTR` et le contrôleur d'interruptions

La broche `INTR` (*Interrupt Request*) signale au processeur l'arrivée d'une interruption matérielle, elle est unique et se trouve sur le microprocesseur. Elle gère plusieurs sources potentielles d'interruptions de manière **sérialisée**.

La broche et donc le microprocesseurs sont liés au contrôleur d'interruptions (*PIC*) qui est lui-même relié aux périphériques via les bornes `IR(Q)` (*interrupt request*). Il envoie les demandes d'interruptions une par une au CPU via la borne `INT`.

Chaque borne `IR(Q)` décrit un type spécifique d'interruption : clavier, port, disque, etc. Si on est limité par le nombre de bornes pour les interruptions, on peut mettre deux *PIC* en cascade et augmenter le nombre d'interruptions possibles.

Les adresses mémoire des routines d'interruptions et leurs requêtes d'interruptions associées sont stockées dans la RAM, suivant le schéma suivant :



Maintenant, on peut se demander comment fonctionne les *handlers* en monoprogrammation. Lors de l'interruption :

1. On `PUSH` RIP sur la pile pour le sauver.
2. `MOV RIP, adresse routine interruption`
3. On continue l'exécution jusqu'à atteindre `IRET`.
4. On exécute automatiquement l'instruction `IRET` en fin d'interruption qui restaure l'ancien `RIP` (avec `POP`) et permet de revenir au programme interrompu.

Enfin, les registres de `RFLAGS` et plus particulièrement le *flag* `IF` nous informe si le CPU est interruptible ou pas. S'il vaut 0, le CPU n'est pas interruptible et s'il vaut 1, le CPU est interruptible. L'OS utilise les instructions `CLI` et `STI` pour changer les valeurs du *flag* `IF`.

Remarque : `IRET` signifie *Interrupt return* qui rend la main au programme à la fin d'une exception ou d'une interruption. On utilise le suffixe `(Q)` pour les routines 64 bits, comme `IR(Q)` et `IRET(Q)`.

4 Mode réel et mode protégé

Cette partie du cours traite du mode réel et du mode protégé qui sont des modes de fonctionnement des processeurs *Intel* x86.

4.1 Avant le 80286

Le mode de fonctionnement protégé, souvent appelé **mode protégé** est disponible depuis le processeur 80286.

Ce mode offre des protections à deux niveaux :

— Un programme ne peut pas accéder à toute la mémoire (RAM) de l'ordinateur.
— Un programme ne peut pas toujours utiliser toutes les instructions du processeur.

Aujourd'hui, la *quasi* totalité des systèmes informatiques fonctionnent en mode protégé. Le mode réel existe toujours mais l'immense majorité du code tourne en mode protégé. À l'époque, certains programmes tournaient en mode réel et donc avaient accès à toute la mémoire et aux interruptions, ce qui représentait un risque de sécurité.

4.2 Mode protégé

Le mode protégé offre quatre niveaux de protection, appelés des anneaux de protection ou *rings*. À tout moment, le processeur travaille dans un des quatre niveaux de protection. À certains moments-clé, le processeur change de niveau de protection.

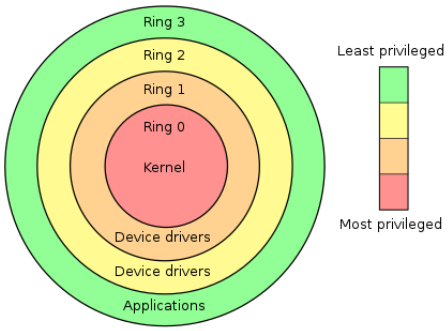
Les niveaux de protection sont numérotés de 0 à 3, du plus permissif au moins permissif.

Ring 0 Les programmes peuvent employer toutes les instructions du processeur et accéder à toute la mémoire centrale (employé pour le code de l'OS sous Windows et Linux).

Ring 1 Les programmes ne peuvent employer qu'un nombre réduit d'instructions, et n'ont pas accès à toute la mémoire. (Ce ring n'est pas utilisé sous Windows et Linux).

Ring 2 Les programmes ne peuvent employer qu'un nombre réduit d'instructions et n'ont pas à accès à toute la mémoire. (Ce ring n'est pas utilisé Windows et Linux).

Ring 3 Les programmes ne peuvent employer qu'un nombre réduit d'instructions et n'ont pas accès à toute la mémoire (Ce mode est employé par les programmes utilisateurs sous Windows et Linux).



Voici par exemple une instruction interdite en mode protégé : l'instruction `CLI` sert à suspendre les interruptions en mettant le *flag* `IF` à 0. Elle n'est permise qu'en **ring 0**, donc seul l'OS peut l'employer. Ici, on essaie de l'utiliser dans un programme utilisateur qui tourne en ring 3, ce qui crée une erreur.

```
;cli asm
global main
section .text
main:
    cli
;; fin
    mov rax, 60
    mov rdi, 0
    syscall
```

4.2.1 Commentaire sur le mode réel

Malgré l'introduction du mode protégé, les processeurs 80286 et suivants peuvent encore travailler dans le mode réel. Ce mode permet notamment d'exécuter des vieux OS comme `MS-DOS`, qui n'étaient pas prévus pour le mode protégé.

En réalité, lors du démarrage de l'ordinateur, le processeur commence toujours à fonctionner en mode réel, puis l'OS le fait passer en mode protégé.

Attention, en mode réel la taille totale de la mémoire adressable est limitée à 1 MB (2^{20} bytes), et tous les programmes peuvent y écrire sans protection !

4.2.2 Gestion de la mémoire en mode protégé

Le mode protégé emploie 3 types d'adresses décrites ci-dessous.

1. Les adresses logiques
   Les adresses employées dans les programmes assembleur et vues par le processeur.
   Si on exécute les deux mêmes programmes dans `kdbg` et qu'on compare les adresses utilisées, on voit que les deux programmes utilisent les mêmes adresses en même temps ! Ce qui est impossible car deux programmes ne peuvent pas utiliser le même espace mémoire.
   En réalité, les adresses employées par les programmes sont des adresses logiques qui ne sont pas des véritables adresses physiques et qui ne correspondent donc pas à des adresses physiques de la mémoire centrale. On aura donc besoin d'un mécanisme de traduction qui fera le lien entre adressage logique et physique.
   Voici du code assembleur qui présente une variante de l'instruction `MOV` :

```
mov [adresse], valeur
```

   Cette instruction place une valeur entre crochets à l'adresse mémoire spécifiée entre crochets. Par exemple, l'instruction suivante place la valeur de `ax` en mémoire centrale à l'adresse logique 10.

```
mov [10], ax
```

   Attention, `10` est bien une adresse logique, et non la véritable adresse physique à laquelle sera placé le contenu du registre `ax`.
   Ainsi, deux programmes différents peuvent effectuer `mov [10], ax` sans se marcher sur les pieds. Grâce au fait que l'OS traduit les deux adresses `10` vers des adresses **physiques** différentes.
2. Les adresses linéaires
   Issues d'une traduction des adresses logiques au travers du processus de **segmentation**.
3. Les adresses physiques
   Véritables adresses de la mémoire centrale.

4.3 Segmentation

En mode protégé, la mémoire d'un programme est divisée en morceaux appelés des segments. Chaque segment d'un programme peut être situé à un endroit différent de la mémoire centrale. La localisation de précise de chaque segment en mémoire est stockée dans une **table des segments**, elle tient donc une référence de l'emplacement des adresses physiques. Elle est aussi appelée **GDT** (*Global Description Table*).

Dans cette table des segments, on trouve l'adresse et la taille de chaque segment, ainsi qu'une information disant à quel programme appartient le segment. Les informations de la table des segments permettent d'empêcher un programme d'accéder aux segments d'un autre programme (protection de la mémoire).

4.3.1 Segments typiques d'un programme

Segments de code Contient les instructions du programme.

Segments de données Contient les variables globales du programmes (`.data`, `.rodata`, `.bss`).

Segments de pile Contient les variables locales du programme.

4.3.2 Registres de segment

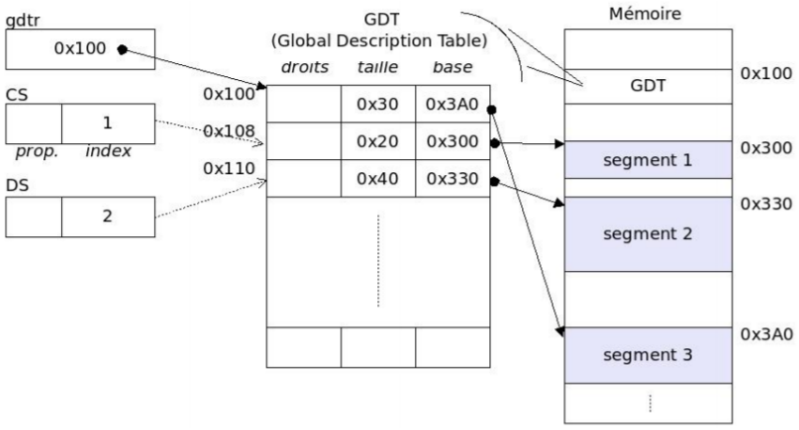
Le registre *Code selector* (CS) permet de retrouver l'adresse du segment de code dans la table des segments.

Le registre *Data selector* (DS) permet de retrouver l'adresse des segments de données dans la table des segments.

Le registre *Stack selector* (SS) permet de retrouver l'adresse du segment de pile dans la table des segments.

Ces registres (CS, DS, SS) indiquent en réalité où dans la la **table des segments** on doit aller chercher l'adresse du segment correspondant. Il y aussi d'autres registres de segment qui existent.

Voici une image qui représente l'utilisation des registres et la segmentation en mode protégé.



4.3.3 Traduction d'une adresse logique en une adresse linéaire

Les adresses logiques sont en réalités des décalages par rapport au début de leur segment. Il faut donc rajouter à chaque adresse logique l'adresse du début du segment correspondant.

$$\text{Adresse linéaire} = \text{adresse du début de segment} + \text{adresse logique}$$

Voici un exemple, on obtient l'adresse de début de segment de données grâce au registre `DS` et à la table des segments. On rajoute cette adresse à 10 pour obtenir l'**adresse linéaire**.

```
;; Mettre le contenu de ax à l'adresse 10 du segment de données
mov [10], ax
```

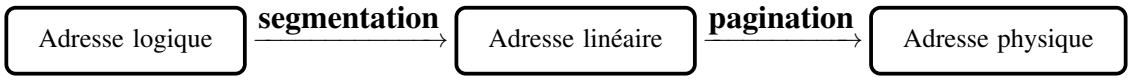
4.3.4 Pagination

La pagination est un deuxième mécanisme de gestion de la mémoire offert par le processeur x86 à partir de la version Intel 80386. Ce mécanisme consiste à découper les programmes en morceaux de taille égale appelés des **pages**.

Chaque page du programme sera ensuite placée en mémoire à un endroit différent. Ainsi, un même segment peut être divisé en plusieurs pages, situées à des endroits différents de la mémoire. Les adresses linéaires doivent donc elles-mêmes être traduites pour retrouver les adresses physiques.

Contrairement à la segmentation, la pagination peut être désactivée dans les processeurs 80386 et ceux venant après. Si on n'emploie pas la pagination, les adresses linéaires et les adresses physiques sont **égales**.

Voici un résumé des étapes de traduction des adresses.

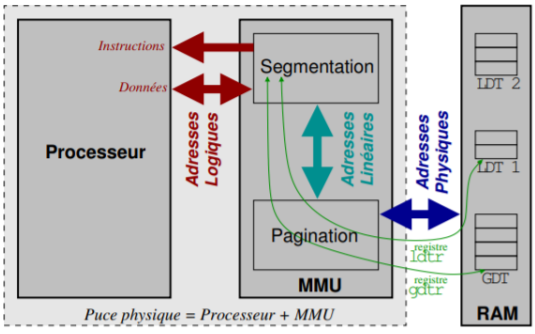


4.4 *Memory Management Unit*

Le processeur n'utilise que des adresses logiques dans ces registres (`RIP`). Ces adresses doivent être traduites en adresses physiques (segmentation, pagination) avant d'accéder véritablement à la mémoire.

La traduction d'adresse se fait grâce à une puce particulière appelée **MMU**, c'est l'unité de gestion de la mémoire ou *Memory Management Unit*.

Ici-bas, on voit une illustration du processeur et de la traduction des adresses.



4.5 Mode réel et segmentation

En mode réel, il y a une **segmentation**, mais très simplifiée. C'est une astuce pour contourner des limites techniques. Elle ne contient aucun mécanisme de la mémoire et ne se sert pas de table. Ce mode est utilisé pour démarrer le PC.

En mode réel, il n'y a pas de pagination donc la segmentation donne directement des adresses physiques.

→ Adresse physique = adresse de début du segment * 16 + offset.

Ici, l'adresse de début du segment et l'offset sont sur 16bits, ce qui donne une adresse totale 20bits.

Segment	A 2 5 F
Offset	5 2 A 6
Adresse	A 7 8 9 6

En mode réel, si on souhaite écrire à une adresse connue en mémoire, il suffit de choisir un segment et un *offset* qui mène à cette adresse. Inversement, si on a un segment et un offset, on peut calculer quelle adresse physique est obtenue.

On a à disposition les registres de segment de `code` (CS), de données `DS`, de pile (SS) et bien d'autres comme `ES`, `FS`, `GS`. Donc, tout programme peut accéder à n'importe quelle adresse physique en choisissant un segment et un offset qui mène à cette adresse.

En mode réel, un programme peut définir son propre segment grâce au registre `ES`. La segmentation en mode réel ne contient aucun mécanisme de protection de la mémoire. Ce même programme ne fonctionne pas en mode protégé, il y aura une **segmentation fault**. Car il faut être en **ring 0** pour accéder aux adresses `0xB000`.

Voici un exemple :

```
1 mov ax, 0xB800
2 mov es, ax
3 mov al, 'h'
4 mov ah, 10010111b
5 mov [es : 0xA0], ax
```

On donne la valeur de `0xB00` au registre de segment `ES`. On donne une valeur arbitraire à `EX` que l'on place aux positions `0xB80A0` et `0xB80A1` en mémoire.

4.6 Mode / Interruptions

Rappel : La table des interruptions est la table disant à quelle adresse se trouve la routine de gestion de l'interruption, pour chaque interruption. Cette table se trouve dans la **mémoire centrale**, dans une zone réservée appartenant au système d'exploitation.

Selon qu'on est en mode réel ou protégé, cette table est gérée de manière différente.

En mode réel, les adresses sont données par une paire **segment** et **offset** où le segment et l'offset font chacun deux *bytes* et donc 4 *bytes* en tout. Toujours en mode réel, la table des interruptions est à l'adresse **fixe** `000:000` c'est-à-dire l'adresse **0** dans le **segment 0**.

L'entrée **i** de la table contient l'adresse de la routine de gestion de l'interruption n° **i**. L'adresse de la routine de gestion d'interruption **i** se trouve donc à l'adresse **4*i** ;

En mode protégé, la table des interruptions **IDT** est à l'adresse donnée par le registre **IDTR** et l'entrée **i** de la table contient l'adresse de la routine de gestion de l'interruption n° **i**.

Toujours en mode protégé, les adresses sont données par une paire de segment et d'offset où :

en architecture 32 bit Le segment fait 2 *bytes* et l'offset fait 4 *bytes* donc 6 en tout.

en architecture 64 bit Le segment fait 2 *bytes* et l'offset fait 8 *bytes* donc 10 en tout.

L'architecture influence aussi les entrées de la table des interruptions.

En 32 bits Les 6 *bytes* de l'adresse de la routine de gestion d'interruption, ainsi que 2 *bytes* supplémentaires contenant d'autres informations de sécurité. Il y a donc 8 *bytes* en tout, par entrée de la table en mode protégé.

L'adresse de la routine de gestion de l'interruption **i** (le bout de code correspondant à **int i**) se trouve à l'adresse $[IDTR] + 8 * i$.

En 64 bits Les 10 *bytes* de l'adresse de la routine de gestion d'interruption, ainsi que 2 *bytes* supplémentaires contenant d'autres informations de sécurité. Il y a donc 12 *bytes* en tout, par entrée de la table en mode protégé.

L'adresse de la routine de gestion d'interruption **i** (le bout de code correspondant à **int i**) se trouve à l'adresse $[IDTR] + 12 * i$.

Pour rappel, en mode protégé le processeur peut travailler dans un des 4 **ring**.

ring 0	Peut exécuter toutes les instructions du jeu d'instructions Code d'interruption
ring 3	Ne peut exécuter qu'une partie des instructions du jeu d'instructions Code utilisateur Si interruption basculement en **ring 0** et **IRET** remet l'ancien ring

Lors d'une interruption :

— Le processeur termine l'instruction en cours.
— Il place le contenu du registre **RIP** au sommet de la pile.
— Il remplace **RIP** par une valeur située en mémoire, dans une table à l'index donné par le numéro de l'interruption.
— Le processeur bascule en **ring 0** s'il est en mode protégé pour pouvoir exécuter la routine d'interruption.

Puis, lorsqu'on rencontre l'instruction **IRET** :

— Le processeur récupère **RIP** sur la pile.
— Le processeur bascule dans l'ancien ring (par exemple le 3) s'il est en mode protégé.

5 Langage d'assemblage

Cette section traite du langage d'assemblage ou assembleur et de son fonctionnement.

L'assembleur possède plusieurs dialectes comme celui d'Intel ou de AT&T et il peut être aussi utilisé dans du code de haut niveau. À l'époque c'était le langage le plus performant car il était proche du langage machine mais aujourd'hui, les langages comme `C` ou `C++` ont des compilateurs suffisamment performants pour que ce ne soit plus le cas. Malgré tout, il reste très performant de par sa proximité avec le binaire.

On utilise l'assembleur dans une optique pédagogique, il permet de mieux comprendre la programmation. Il est néanmoins plus simple à utiliser que du langage machine direct à l'aide de texte, de mnémoniques et d'étiquettes, qui permettent de ne pas se soucier des calculs d'adresse.

Mais tout n'est pas simple en assembleur, il est difficile à écrire et maintenir et comme il est le reflet du jeu d'instructions du processeur, il y a autant d'assembleurs que de types d'architecture de processeurs.

Comme mentionné, voici quelques exemples de dialectes Intel et AT&T, respectivement.

```
1 mov eax, 5
2 mov ax, 5
3 mov al, 5
```

```
1 movl $5, %eax
2 movw $5, %ax
3 movb $5, %al
```

On peut aussi inclure de l'assembleur dans du code `C/C++`. Mais il faut utiliser le dialecte AT&T.

```
1 asm("movl %ebx, %eax"); /* moves the contents of ebx register to eax */
2 __asm__("movb %ch, (%ebx)"); /* moves the byte from ch to the memory pointed by ebx */
```

Bien qu'il soit assez vieux, il y a toujours des utilisations pour l'assembleur. Par exemple pour du code système : *drivers*, *handlers* d'interruption, `BIOS`, etc. Certaines portions du noyau Linux sont encore en assembleur. On utilise aussi l'assembleur pour les micro-contrôleurs et les systèmes embarqués même si ça se fait surtout en `C/C++`. Aussi, certaines applications qui nécessitent de lourds calculs et qui peuvent être optimisées avec des instructions particulières du processeur utilisent l'assembleur. Finalement, on peut aussi écrire des virus en assembleur.

Aujourd'hui, on utilise l'assembleur à des fins pédagogiques et pour des usages très particuliers qui nécessitent une optimisation fine mais on ne l'utilise plus pour des applications complètes.

6 Les modes d'adressage

On a souvent utiliser la manipulation de données dans le cours et dans les laboratoires. Maintenant, on peut se poser la question de ce que signifie **adresser** les données, ce qu'est l'adressage et les différentes manières de l'utiliser.

Il y a de nombreuses instructions pour manipuler les données, par exemple :

Transfert `mov rax, 0x34`

Calcul `add rax, rdx`

Test `bt r14, 0xA`

Il faut pouvoir indiquer où se trouve chaque donnée et où mettre chaque données. C'est ce qu'on appelle les modes d'adressage ou l'adressage de données.

6.1 Modes d'adressage de base

Voici quelques mots de vocabulaire et exemples utiles :

Immédiat La donnée est directement dans l'instruction, on fait directement référence à une valeur en décimal, octal, hexadécimal, binaire, etc.

```
mov r12, 0x445
```

Registre La donnée est ou doit être placée dans un registre.

```
mov rax, rbx
```

Direct La donnée est ou doit être placée à l'adresse donnée dans l'instruction.

```
mov rax, [0xB8A4]
mov [0xB8A0], rax
```

Indirect La donnée est ou doit être placée à l'adresse contenue dans le registre.

```
mov rax, [rcx]
mov [rcx], rax
```

Mais attention, il ne faut pas confondre une **adresse** avec le **contenu** d'une adresse. Par exemple :

```
mov rax, 0xB8A0 ; immédiat, RAX reçoit la valeur de 0xB8A0

mov rax, [0xB8A0] ; direct, RAX reçoit la valeur (8 bytes) à l'adresse 0xB8A0.

mov eax, [0xB8A0] ; direct, EAX reçoit la valeur (4 bytes) à l'adresse 0xB8A0.

mov ax, [0xB8A0] ; direct, AX reçoit la valeur (2 bytes) à l'adresse 0xB8A0.

mov al, [0xB8A0] ; direct, AL reçoit la valeur (1 byte) à l'adresse 0xB8A0.
```

Il faut aussi faire attention à l'utilisation des **labels** qui sont des noms symboliques pour une adresse.

```
mov rax, label1 ; immédiat, on met dans RAX l'adresse label1

mov rax, [label1] ; direct, RAX reçoit la valeur (8 bytes) à l'adresse label1.

mov al, [label1] ; direct, AL reçoit la valeur (1 byte) à l'adresse label1.
```

Ces trois modes d'adressage permettent de traduire les instructions simples des langages de haut niveau.

Par exemple $b \leftarrow a + 5$ pourrait se traduire par :

— `mov rax, [a]` : registre, direct
— `add rax, 5` : registre, immédiat
— `mov [b], rax` : direct, registre

Ceci est aussi valable pour les variables globales. En pratique, a et b sont probablement des variables locales. Elle seront dès lors stockées dans une pile, ce qui modifie un peu les instructions.

6.2 RISC vs CISC

Les processeurs peuvent avoir différentes architectures, typiquement les ordinateurs seront de type CISC et les *smartphones* de type RISC.

RISC *Reduced Instruction Set Computer*, utilise peu de modes d'adressage avec un processeur moins complexe.

CISC *Complex Instruction Set Compute*, utilise beaucoup de modes d'adressage avec un processeur plus complexe. L'architecture CISC permet de coder plus facilement des instructions de haut niveau.

6.3 Adressage indirect

Ici, on présente certains modes d'adressage indirect.

6.3.1 Registre

La donnée est une adresse donnée par un registre.

```
mov rbx, 0xB80A0 ; RBX contient l'adresse donnée

mov rax, [rbx] ; On met dans RAX la donnée (8 bytes) se trouvant à l'adresse 0xB8A0
```

Ce mode d'adressage est utile pour traduire les instructions manipulant les **points** et/ou les **références**.

6.3.2 Déplacement

L'adresse est obtenue en ajoutant un déplacement à une adresse dans un registre.

Par exemple, `mov rax, [rbx+4]` met dans `rax` la donnée se trouvant à l'adresse de `rbx` + 4. Comme on utilise le déréférencement, on a bien affaire à une donnée et pas une adresse.

Ce mode d'adressage est utile pour traduire les instructions manipulant des **structures**.

6.3.3 Indexé

Le déplacement est lui aussi dans un registre. On y applique un facteur multiplicatif.

Par exemple, `mov rax, [rbx+4*rcx]` met dans `rax` la donnée se trouvant à l'adresse de `rbx` + 4 × la valeur stockée dans `rcx`.

Ce mode d'adressage est utile pour traduire les instructions manipulant les **tableaux** comme le montre l'exemple suivant.

Imaginons un tableau `tab` pour lequel on veut `tab[3]` ← `1`.

```
mov rax, tab
mov rbx, 3
mov [rax + 8*rbx], 1 ; 8 représente la taille de la case du tableau
```

7 Le codage des instructions assembleur x86 64 bits