**第五章 时序逻辑电路**

**班级： 学号： 姓名：**

**一、填空题**

1、时序逻辑电路通常由 和 两部分组成。

2、根据时序逻辑电路按各位触发器接受 信号的不同，可分为 步时序逻辑电路和 步时序逻辑电路两大类。

3、通常用 、 和 来描述时序逻辑电路。

4、时序逻辑电路按照各位触发器触发器的时钟脉冲是否相同可分为 和

两大类。

5、时序逻辑电路中仅有存储电路输出时，构成的电路类型通常称为 型时序逻辑电路；如果电路输出除存储电路输出外，还包含组合逻辑电路输出端时，构成的电路类型称为

型时序逻辑电路。

6、可以用来暂时存放数据的器件称为 ，若要存储4位二进制代码，该器件必须有 触发器。

7、时序逻辑电路中某计数器中的无效码若在开机时出现，不用人工或其它设备的干预，计数器能够很快自行进入 ，使无效码不再出现的能力称为 能力。

8、若构成一个六进制计数器，至少要采用 位触发器，这时构成的电路有 个有效状态， 个无效状态。

9、移位寄存器除有 的功能外，还有 功能。

10、寄存器是可用来存放数码、运算结果或指令的电路，通常由具有存储功能的多位 器组合起来构成。一位 器可以存储1个二进制代码，存放n个二进制代码的寄存器，需用n位 器来构成。

11、74LS194是典型的四位 型集成双向移位寄存器芯片，具有 、并行输入、

和 等功能。

12、通常模值相同的同步计数器比异步计数器的结构 ，工作速度 。

**二、判断题**

1、集成计数器通常都具有自启动能力。 （ ）

2、使用3个触发器构成的计数器最多有8个有效状态。  （ ）

3、同步时序逻辑电路中各触发器的时钟脉冲*CP*不一定相同。 （ ）

4、利用一个74LS90可以构成一个十二进制的计数器。 （ ）

5、用移位寄存器可以构成8421BCD码计数器。 （ ）

6、moore时序逻辑电路，分析时可以不写输出方程。 （ ）

7、十进制计数器是用十进制数码“0～9”进行计数的。 （ ）

8、利用集成计数器芯片的预置数功能可获得任意进制的计数器。 （ ）

**三、选择题**

1、描述时序逻辑电路功能的两个必不可少的重要方程式是（ ）。

A、次态方程和输出方程 B、次态方程和驱动方程

C、驱动方程和时钟方程 D、驱动方程和输出方程

2、用8421BCD码作为代码的十进制计数器，至少需要的触发器个数是（ ）。

A、2 B、3 C、4 D、5

3、按触发器状态转换与时钟脉冲CP的关系分类，计数器可分为（ ）两大类。

A、同步和异步 B、加计数和减计数 C、二进制和十进制

6、下列叙述正确的是（ ）

A、译码器属于时序逻辑电路 B、寄存器属于组合逻辑电路

C、555定时器是典型的时序逻辑电路 D、计数器属于时序逻辑电路

8、设计1个能存放8位二进制代码的寄存器，需要（ ）触发器。

A、8位 B、2位 C、3位 D、4位

9、在下列器件中，不属于时序逻辑电路的是（ ）

A、计数器 B、序列信号检测器 C、全加器 D、寄存器

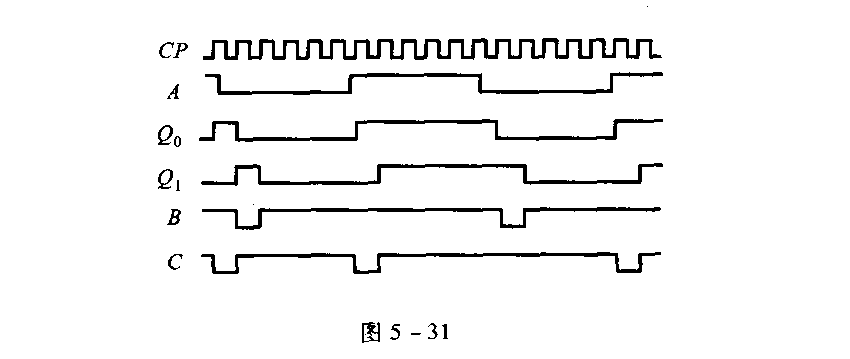
四、计算分析题

5.1 时序电路如图所示，起始状态Q0Q1Q2=001，画出电路的时序图。



5.4下图电路中，已知输入端A、CP的波形，试画出B、C端的波形，设触发器的起始状态为零。





5.16 试分别画出用74161的异步清零和同步置数功能构成的下列计数器的连线图。

（1）10进制计数器

（3）100进制计数器

5.17试分别画出用74290构成的下列计数器的连线图。

（1）9进制计数器

（3）88进制计数器