

## 实验六 触发器及其应用实验预习

一、预习 74LS74、74LS112 的逻辑功能和引脚图。

二、分析串行数值比较器工作原理。

三、分析图 2.37 所示同步时序逻辑电路图工作原理，画出波形图。

## 实验六 触发器及其应用

### 一、实验目的

1. 熟悉常用的触发器的基本结构及逻辑功能。
2. 掌握触发器的正确使用方法。

### 二、实验设备

1. 数字信源状态分析实验箱。
2. 双踪示波器、数字万用表。
3. 74LS00、74LS20、74LS74、74LS112。

### 三、实验原理

触发器是具有记忆功能、能存储数字信号的最常用的一种基本单元电路。是组成时序逻辑电路的主要元件。在数字系统和计算机中有着广泛的应用。触发器按逻辑功能可分为 RS 触发器、D 触发器、JK 触发器和 T 触发器。按电路结构可分为钟控式、维持阻塞式、主从式和边沿触发式。

RS 触发器具有置 0、置 1 及保持的功能，但存在  $RS=0$  的约束条件。JK 触发器是最主要的触发器之一，它的特性方程为  $Q^{n+1} = \overline{J}Q^n + \overline{K}Q^n$  它具有置 0、置 1 和翻转的功能。D 触发器是一种边沿触发器，它广泛应用于数据锁存、控制电路中，是组成移位、计数和分频电路的基本逻辑单元，它的特性方程是  $Q^{n+1} = D$ 。

### 四、实验内容与步骤

1. 基本 RS 触发器的构成和逻辑功能的测试
  - 1) 用 74LS00 中的两个与非门，按图 2.33 所示的电路接成基本 RS 触发器。

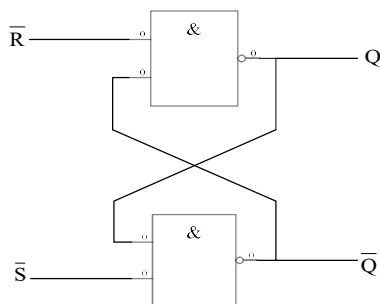


图 2.33

2) 按表 2-15 要求, 改变  $\overline{R}$  和  $\overline{S}$ , 观察并记录  $Q$  和  $\overline{Q}$  的状态。

表 2-15

$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$
0	0		
0	1		
1	0		
1	1		

2. JK 触发器（74LS112）功能测试

74LS112 是双下降沿 JK 触发器，引脚图如图 2.34 所示，功能表如表 2-16 所示：

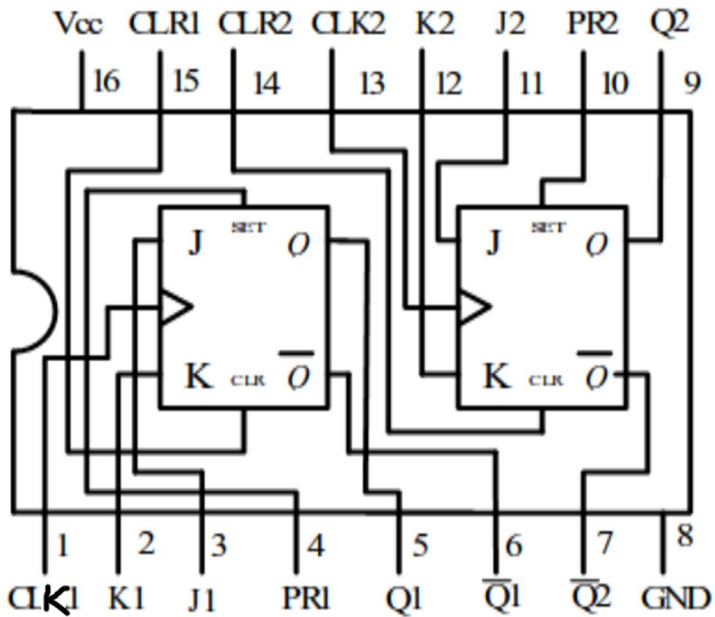


图 2.34 74LS112 引脚图

表 2-16 74LS112 功能表

Inputs					Outputs	
PR	CLR	CP	J	K	Q	$\overline{Q}$
0	1	×	×	×	1	0
1	0	×	×	×	0	1
0	0	×	×	×	$\Phi$	$\Phi$
1	1	↓	0	0	Hold	Hold
1	1	↓	0	1	1	0
1	1	↓	1	0	0	1
1	1	↓	1	1	Toggle	Toggle
1	1	1	×	×	Hold	Hold

1) 异步置位和复位功能的测试

按表 2-17 要求, 改变 PR 和 CLR, 观察并记录  $Q$  和  $\overline{Q}$  的状态。

表 2-17

CP	J	K	PR	CLR	Q	$\overline{Q}$
×	×	×	0	1		
×	×	×	1	0		
×	×	×	0	0		

2) JK 触发器功能测试

由 JK 触发器的异步置位和复位端分别将触发器的初始状  $Q^n$  预置为 0 态和 1 态，当 J、K 端为表 2-18 所示的状态时，在 CP 端加上单次脉冲，观察触发器输出端所对应的状态  $Q^{n+1}$ ，将结果记录于表 2-18 中。

表 2-18

输入端		触发器状态	
J	K	初态 ( $Q^n$ )	次态 ( $Q^{n+1}$ )
0	0	0	
		1	
0	1	0	
		1	
1	0	0	
		1	
1	1	0	
		1	

3) 当 J=1，K=1 时，由 CP 端加上连续脉冲，用双踪示波器观察 CP 端和 Q 的波形，比较两个波形频率的关系，并将观测的波形纪录与表 2-19 中。

表 2-19

CP 端	
Q 端	

3. D 触发器 (74LS74) 的功能测试

74LS74 是双上升沿 D 触发器，引脚图、功能表分别如图 2. 35 和表 2-20 所示：

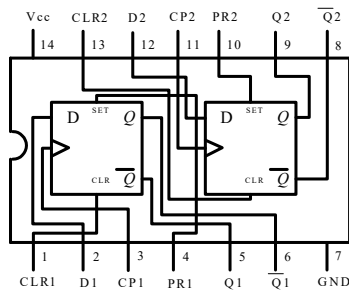


图 2.35 74LS74 引脚图

表 2-20 74LS74 功能表

Inputs				Outputs	
PR	CLR	CP	D	Q	$\overline{Q}$
0	1	×	×	1	0
1	0	×	×	0	1
0	0	×	×	$\Phi$	$\Phi$
1	1	↑	0	0	1
1	1	↑	1	1	0
1	1	0	×	Hold	Hold

1) 异步置位和复位逻辑功能的测试

选择 74LS74 双 D 触发器的任一个 D 触发器, 按表 2-21 要求, 改变 PR 和 CLR, 观察并记录 Q 和  $\overline{Q}$  的状态。

表 2-21

CP	D	PR	CLR	Q	$\overline{Q}$
×	×	0	0		
×	×	0	1		
×	×	1	0		

2) D 触发器逻辑功能的测试

将 D 触发器预置 0 态 (初态  $Q^n=0$ ), 输入端 D 为低电平 ( $D=0$ ), CP 端接单次脉冲, 观察触发器 Q 端对应的状态  $Q^{n+1}$ , 将观察结果记录于表 2-22 中; 将 D 触发器预置 1 态 (初态  $Q^n=1$ ), 重复以上步骤, 将结果记录于表 2-22 中;

将 D 触发器预置 0 态 (初态  $Q^n=0$ ), 输入端 D 为高电平 ( $D=1$ ), CP 端接单次脉冲, 观

察触发器 Q 端对应的状态  $Q^{n+1}$ ，将观察结果记录于表 2-22 中；将 D 触发器预置 1 态（初态  $Q^n=1$ ），重复以上步骤，将结果记录于表 2-22 中；

表 2-22

D	CP	触发器状态	
		初态 $Q^n$	次态 $Q^{n+1}$
0	↑	0	
	↑	1	
1	↑	0	
	↑	1	

4. 触发器应用

1) 串行数值比较器

用 JK 触发器 74LS112 和一片或非门 74LS02 组成如图 2.36 所示的串行数值比较器电路。数据输入为  $A_i$  和  $B_i$ ，输出为比较结果。若  $A_i=B_i$ ， $Q_2=1$ ，数据可逐位串行比较下去，直至  $A_i \neq B_i$  时为止。此时，若  $A_i > B_i$ ，则  $Q_1=1$ ，若  $A_i < B_i$ ，则  $Q_3=1$ 。通过清零后再进行比较。时钟用单次脉冲，比较结果  $Q_1$ 、 $Q_2$ 、 $Q_3$  用 LED 显示灯显示。将实验结果用真值表表示，并分析说明电路工作原理。

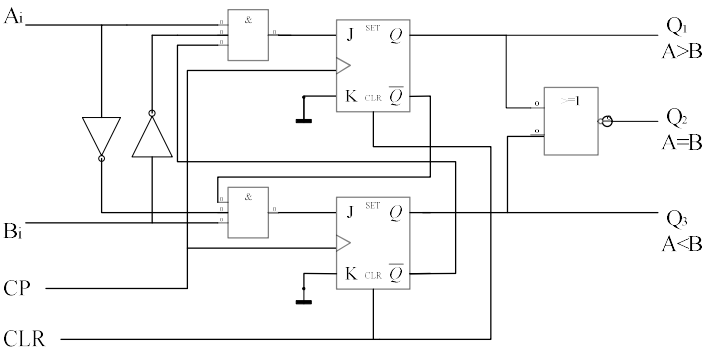


图 2.36

2) 一同步时序逻辑电路图如右图 2.37 所示，由一片 74LS74 和一片 74LS02 或非门组成，当 CP 为连续脉冲时，用数字信源状态分析实验箱观察并记录输出  $Q_1$ 、 $Q_2$ 、Z 的波形。观察输入 CP 与输出 Z 的波形关系。分析说明电路工作原理。

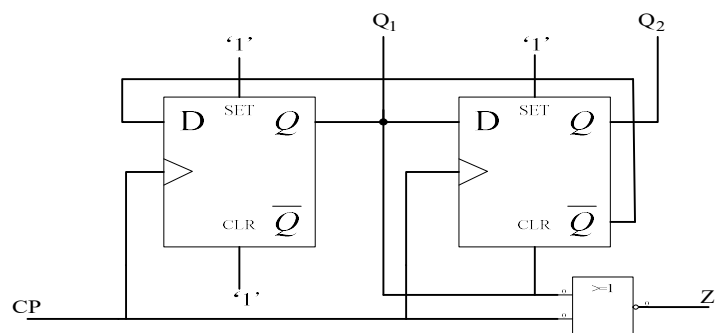


图 2.37 同步时序逻辑电路

## 五、思考题

1. 在串行数值比较器中，当一次比较结束后，为什么要清零后再继续进行比较，可否不清零就进行比较，为什么？
2. 用触发器设计分频器有哪些步骤？

## 六、实验报告要求

1. 写出实验目的、实验中使用的仪器仪表及器材。
2. 记录实验测试结果，分析实验中电路图的工作原理。
3. 分析实验过程中出现的问题以及解决的办法和本次实验的心得体会。
4. 回答实验思考题。