

实验四 组合逻辑电路的设计（数据选择器和全加器）实验预习

一、预习 74LS151、74LS283 的逻辑功能和引脚图。

二、写出以下实验的真值表，画出逻辑电路图。

1. 用 74LS151 设计一个 8421BCD 非法码检测电路。当为非法码组时，输出为 1，否则为零。

2. 用八选一数据选择器 74LS151 和门电路设计一个电路，要求输入为 4 位二进制数，当输入数据能被 2 或 5 整除时输出 1，否则为 0。

3. 用四位全加器 74LS283 实现 8421BCD 码至余 3BCD 码的转换。

4. 用四位全加器 74LS283 和门电路实现 2 位二进制数相乘。

实验四 组合逻辑电路的设计（数据选择器和全加器）

一、实验目的

1. 熟悉各种常用 MSI 组合逻辑电路的功能与使用方法。
2. 掌握多片 MSI 组合逻辑电路的级联、功能扩展。
3. 掌握使用数据选择器和全加器设计组合逻辑电路。

4. 进一步培养查找和排除数字电路常见故障的能力。

二、实验器件

1. 74LS151 八选一数据选择器
2. 74LS283 四位二进制全加器

三、实验原理

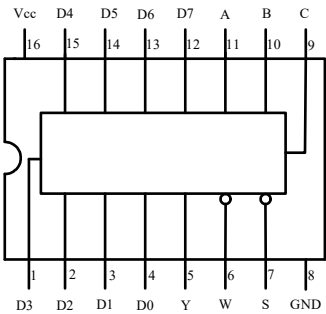
1. 数据选择器又叫多路开关。数据选择器在地址码（或叫选择控制）电位的控制下，从几个数据输入选择一个并将其送到一个公共的输出端。它的功能类似一个多掷开关。

2. 74LS151 为互补输出的 8 选 1 数据选择器，选择控制端（地址端）为 A、B、C，

表 2-13 74LS151 功能表

Inputs				Outputs	
Select			Strobe	Y	W
C	B	A			
×	×	×	1	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	1	0	D ₁	$\overline{D_1}$
0	1	0	0	D ₂	$\overline{D_2}$
0	1	1	0	D ₃	$\overline{D_3}$
1	0	0	0	D ₄	$\overline{D_4}$
1	0	1	0	D ₅	$\overline{D_5}$
1	1	0	0	D ₆	$\overline{D_6}$
1	1	1	0	D ₇	$\overline{D_7}$

图 2.25 74LS151 引脚图

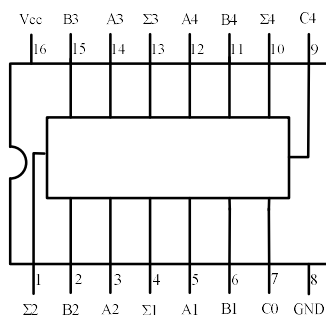


按二进制译码，从 8 个输入数据中选择一个需要的数据送到输出端 Y，S 为使能端，低电平有效。当 S=0 时，若 CBA=000 时，则选择 D_0 数据到输出端，即 $Y=D_0$ ，若 CBA=001 时，则选择 D_1 数据到输出端，即 $Y=D_1$ ，其余类推。引脚图如图 2.25，功能表如表 2-13 所示。

当函数输入变量数大于数据选择器地址端时，可以选用一个或几个变量做数据。

3. 全加器是数字系统尤其是计算机中最基本的运算单元电路，其主要功能是实现二进制数算数加法运算，所谓全加器是指既考虑低位来的进位也考虑对高位进位的加法器。以串行方式完成全加运算的逻辑电路，称为串行全加器；以并行方式完成全加运算的逻辑电路，称为并行全加器。我们常用的是具有超前进位功能的 4 位全加器 74LS283，是典型的中规模二进制超前进位全加器。 C_0 是最低位的进位输入， C_4 为相加后的进位输出，它可以完成 $A_4A_3A_2A_1 + B_4B_3B_2B_1 + C_0 = C_4S_3S_2S_1S_0$ 二进制加法运算，其引脚图如图 2.26 所示，功能表如表 2-14 所示。

表 2-14 74LS283 功能表



inputs				outputs					
				When C0=0			When C0=1		
A1	B1	A2	B2	Σ1	Σ2	C2	Σ1	Σ2	C2
A3	B3	A4	B4	Σ3	Σ4	C4	Σ3	Σ4	C4
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	0	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

图 2.26 74LS283 引脚图

四、设计举例

【例 3】使用全加器实现四位二进制相减。

原理：减去某个二进制数就是加上该数的补码（即反码加“1”），所以二进制数 A 和 B 相加，先将 B 变为反码，然后与数 A 相加，并令 C0=1，即可。电路如图 2.27 所示：

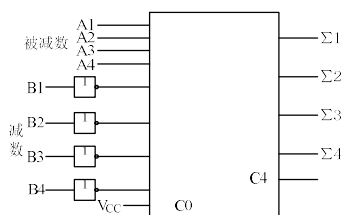


图 2.27 全加器实现四位二进制相减

【例 4】设计一四变量输入组合逻辑电路。当四个输入中有奇数个高电平“1”时输出高电平“1”，否则输出低电平“0”。

- (1) 设输入四变量为 DCBA，输出为 Y；
- (2) 由真值表画出卡诺图如图 2.28 (a) 所示；
- (3) 输出函数 Y 为：

$$\begin{aligned}
 Y(D, C, B, A) &= \sum m(1,2,4,7,8,11,13,14) \\
 &= \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}B\overline{A} + \overline{D}C\overline{B}\overline{A} + \overline{D}CBA + D\overline{C}\overline{B}\overline{A} + D\overline{C}B\overline{A} + DC\overline{B}A + DCB\overline{A}
 \end{aligned}$$

- (4) 画逻辑电路图。

用八选一数据选择器 74LS151 实现四变量逻辑函数时，以其中 3 个变量做地址，另外一个变量做数据。选 DCB 三变量作为地址，A 为数据，画出电路图如图 2.28 (b) 所示：

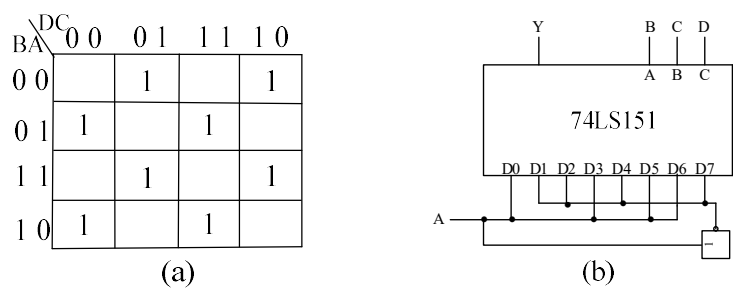


图 2.28 卡诺图和逻辑电路图

四、实验内容

1. 用八选一数据选择器 74LS151 设计一个 8421BCD 非法码检测电路，当输入为非法码组时，输出为 1，否则为零。
2. 用八选一数据选择器 74LS151 和门电路设计一个电路，要求输入为 4 位二进制数，当输入数据能被 2 或 5 整除时输出 1，否则为 0。
3. 用四位全加器 74LS283 实现 8421BCD 码至余 3BCD 码的转换。
4. 用四位全加器 74LS283 和门电路实现 2 位二进制数相乘。

五、实验思考题

1. 实验逻辑出现故障时采取哪些方法排查？
2. 用两片 74LS151 怎么实现 16 选 1 数据选择器？
3. 试设计一个 9 的补码发生器，器件自选。

六、实验报告要求

1. 写出实验目的、实验中使用的仪器仪表及器材。
2. 写出实验电路的设计过程，画出实验逻辑电路图。
3. 记录实验测试结果，并分析实验过程中出现的问题及实验结果，证明设计电路的正确性。
4. 写出实验故障的原因以及解决的办法和本次实验的心得体会。
5. 总结 SSI 和 MSI 器件的功能及使用方法。
6. 回答实验思考题。