

实验三 组合逻辑电路的设计（编码器和译码器）

一、实验目的

1. 掌握用 SSI 器件设计组合逻辑电路的方法。
2. 熟悉各种常用 MSI 组合逻辑电路的功能与使用方法。
3. 掌握多片 MSI 组合逻辑电路的级联、功能扩展。
4. 掌握用编码器、译码器设计组合逻辑电路。
5. 培养查找和排除数字电路常见故障的初步能力。

二、实验器材

1. 数字信源状态分析实验箱。
2. 双踪示波器、万用表。
3. 74LS00、74LS20、74LS148、74LS138、74LS139。

三、实验原理及设计步骤简介

组合逻辑电路是最常见的逻辑电路,其特点是在任何时刻电路的输出信号仅取决于该时刻的输入信号,而与信号作用前电路原来所处的状态无关。组合逻辑电路的设计,就是如何根据逻辑功能的要求及器件资源情况,设计出实现该功能的最佳电路。

在采用小规模器件 (SSI) 进行设计时,通常将函数化简成最简与—或表达式,使其包含的乘积项最少,且每个乘积项所包含的因子数也最少。最后根据所采用的器件的类型进行适当的函数表达式变换,如变换成与非—与非表达式、或非—或非表达式、与或非表达式及异或表达式等。

在数字系统中,常用的中规模集成器件 (MSI) 产品有编码器、译码器、全加器、数据选择/分配器、数值比较器等。用这些功能器件实现组合逻辑函数,基本采用逻辑函数对比方法。因为每一种中规模集成器件都具有某种确定的逻辑功能,都可以写出其输出和输入关系的逻辑函数表达式。在进行设计时,可以将要实现的逻辑函数表达式进行变换,尽可能变换成与某些中规模集成器件的逻辑函数表达式类似的形式。

组合电路的设计是由给定的逻辑功能要求,设计出实现该功能的逻辑电路,设计过程大致按下列步骤进行:

- (1) 分析设计要求,把用文字描述的形式的设计要求抽象成输入、输出变量的逻辑关系;
- (2) 根据分析出的逻辑关系,通过真值表或其他方式列出逻辑函数表达式;

- (3) 根据题目提供给你的芯片，将逻辑函数化简到所需要的函数式；
- (4) 画出逻辑电路图或电路原理图。

下面介绍常用的编码器和译码器：74LS148（8-3 线优先编码器）、74LS138（三—八译码器）、74LS139（二—四译码器）。

74LS148 编码器的引脚图及逻辑功能表如图 2.18 和表 2-8 所示。编码器 74LS148 有输入端 $\overline{I_0} \sim \overline{I_7}$ ，三个二进制码输出端 $\overline{Y_2}$ 、 $\overline{Y_1}$ 、 $\overline{Y_0}$ ，输入使能端 \overline{ST} ，输出使能端 Y_S 和优先编码工

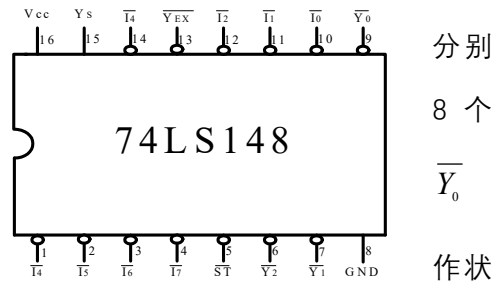


图 2.18 编码器 74LS148 引脚图

态标志 $\overline{Y_{EX}}$ 。优先级从 $\overline{I_7}$ 至 $\overline{I_0}$ 递减。是将输入端 $\overline{I_0} \sim \overline{I_7}$ 这 8 个状态分别编成二进制码输出。

表 2-8 74LS148 功能表

Inputs									Outputs				
\overline{ST}	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

74LS138 译码器的引脚图及逻辑功能表分别如图 2.19 和表 2-9 示。其中 A、B、C 为地址输入端，Y0~Y7 是译码输出端，G1，G2 是使能端。二进制译码器能方便地实现逻辑函数，如图 2.20 所示，实现的逻辑函数是 $Z = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$ 。

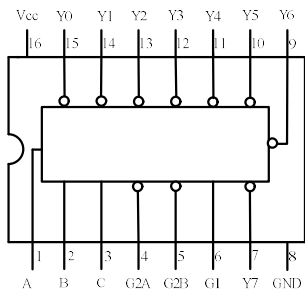


图 2.19 3-8 译码器 74LS138 引脚图

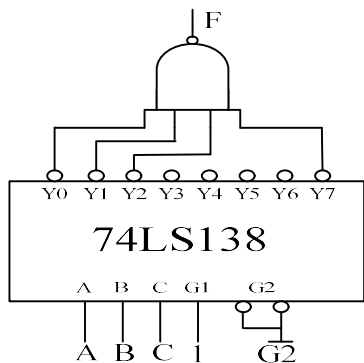
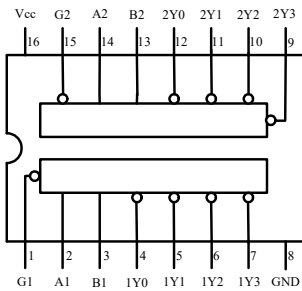


图 2.20 74LS138 实现逻辑函数图

表 2-9 74LS138 功能表

Inputs						Outputs							
Enable			Select										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
×	1	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

74LS139 译码器的引脚图及逻辑功能表分别如图 2.21 和表 2-10 示。它是由两个结构完全相同且独立的 2-4 译码器组成，每个 2-4 译码器各有 2 个输入端、4 个输出端和一个使能控制端。



Inputs			Outputs			
Enabl e	Select					
G	B	A	Y0	Y1	Y2	Y3
1	×	×	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

表 2-10 74LS139 功能表

图 2.21 74LS139 引脚图

对于 MSI 组合逻辑电路的设计是以所用 MSI 个数最少、品种最少，同时 MSI 间的连线

也最少作为最基本的原则。

下面使用中小规模器件我们各举一个例子。

【例 1】用与非门设计三位多数表决器。

- 步骤：(1) 定义输入变量 A、B、C，输出变量 F；
(2) 以题目要求画出真值表如表 2-11 所示；

表 2-11 三位多数表决器真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

- (3) 根据真值表写出逻辑表达式：

$$F = AB + BC + AC = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}};$$

- (4) 选用二输入与非门器件 74LS00，画出逻辑图，如图 2.22 示；

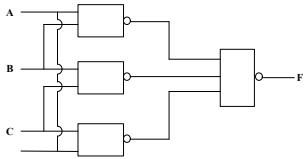


图 2.22 与非门实现多数表决器电路图

【例 2】用译码器 74LS138 设计一位全加器。

- 步骤：(1) 定义输入变量 A、B 为加数和被加数， C_0 为低位向本位的进位，输出变量 S 为全加和， C 为本位向高位的进位；
(2) 以题目要求画出真值表如表 2-12 示；

表 2-12 一位全加器真值表

A	B	C_0	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(3) 根据真值表写出全加器逻辑表达式：

$$\text{全加和} \quad S = \overline{A}\overline{B}C_0 + \overline{A}B\overline{C}_0 + A\overline{B}\overline{C}_0 + ABC_0$$

$$\text{进位} \quad C = \overline{A}BC_0 + A\overline{B}C_0 + AB\overline{C}_0 + ABC_0$$

$$\begin{aligned} (4) \text{ 将 } S、C \text{ 改写为 } S &= m_1 + m_2 + m_4 + m_7 = \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7} \\ &= \overline{y_1 \cdot y_2 \cdot y_4 \cdot y_7} \\ C &= m_3 + m_5 + m_6 + m_7 = \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7} \\ &= \overline{y_3 \cdot y_5 \cdot y_6 \cdot y_7} \end{aligned}$$

(5) 画出逻辑图，如图 2.23 所示

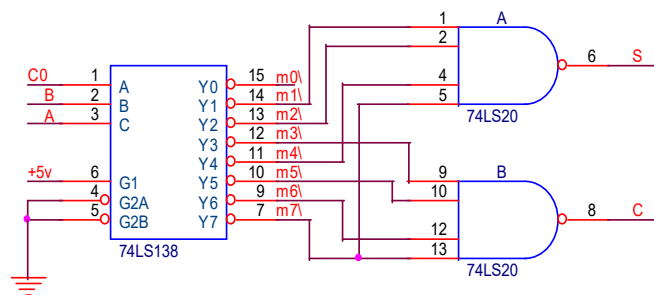


图 2.23 用 74LS138 设计全加器

若选用双 2 线/4 线译码器 74LS139，因该译码器只有两个地址输入端，只能对应两个输入变量，利用使能端可将其扩展为 3 线/8 线译码器。对于任意一个三变量的函数表达式总可以写成它的分解式。

$$F(A_2A_1A_0) = \overline{A_2} F_1(A_1A_0) + A_2 F_1(A_1A_0)$$

式中， $F_1(A_1A_0)$ 用 2 线/4 线译码器实现，则上式可用两个同样的译码器来连接，如图 2.24 所示。当 $A_2=0$ 时，译码器 (A) 工作，输出 $\overline{m_3} \sim \overline{m_0}$ ，当 $A_2=1$ 时，译码器 (B) 工作，输出 $\overline{m_7} \sim \overline{m_4}$ 。

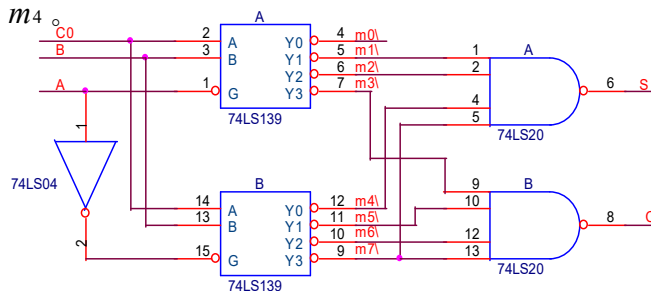


图 2.24 用双 2 线/4 线译码器 74LS139 实现全加器

四、实验内容

1. 测试 74LS148、74LS138 和 74LS139 的逻辑功能。
2. 用与非门实现一个 4 线-2 线编码器电路。

3. 用逻辑门设计一个判断三台仪器设备的工作状态(要求: 只有一台设备出现故障时, 第一个故障指示灯闪烁报警; 两台设备出现故障时, 第二个故障指示灯闪烁报警; 当三台设备都出现故障时, 则二个故障指示灯都闪烁报警)。

4. 用 74LS138 和与非门实现 $F = A\bar{B} + B\bar{C}$ 函数运算。

5. 用 74LS138 实现一位全减器。

6. 用 74LS139 实现奇偶校验电路 (三输入端二输出端)。

五、实验思考题

1. 实验中逻辑出现故障时采取哪些方法排查?

2. 用两片 74LS138 怎么实现 4—16 译码器?

六、实验报告要求

1. 写出实验目的、实验中使用的仪器仪表及器材。

2. 写出实验电路的设计过程, 画出实验逻辑电路图。

3. 记录实验测试结果, 并分析实验过程中出现的问题以及解决的办法和本次实验的心得体会。

4. 回答实验思考题, 总结 SSI 和 MSI 器件的功能及使用方法。