

## 实验八 计数器及其应用实验预习

一、预习 74LS161、74LS163、74LS290 的逻辑功能和引脚图。

二、完成实验内容中电路的设计。

1. 用 74LS161 和 74LS163 分别设计模  $N=8$  的加法计数器，用反馈清零法。

2. 设计一个十进制模  $N=36$  的加法计数器

# 实验八 计数器及其应用

## 一、实验目的

- 1. 熟悉计数器的工作原理，掌握中规模（MSI）计数器的逻辑功能及其应用。
- 2. 掌握计数器的级联方法。
- 3. 学会用中规模（MSI）计数器实现任意进制计数器。

## 二、实验器材

- 1. 数字信源状态分析实验箱
- 2. 74LS00、74LS20、74LS161、74LS163
- 3. 双踪示波器，数字万用表

## 三、实验原理

计数器是一种使用相当广泛的功能器件，现在无论是 TTL 还是 CMOS 集成电路，都有品种齐全的 MSI 计数器。

计数器按计数方式分为加法计数器、减法计数器，以及既可进行加，又可进行减的可逆计数器。按照工作方式可分为同步计数器和异步计数器。按照技术内容可分为二进制，十进制和任意进制计数器。

下面介绍常用的几种 MSI 计数器集成芯片。

### 1. 同步计数器

74LS161 是同步四位二进制可预置计数器，它具有异步清零的功能。它的引脚分布如图 2.44，功能表如表 2-25 所示。

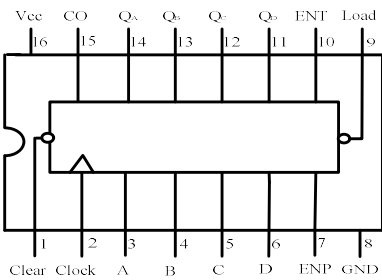


图 2.44 74LS161 引脚图

表 2-25 74LS161 功能表

Inputs									Outputs			
Clock	Clear	ENP	ENT	Load	D	C	B	A	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>

×	0	×	×	×	×	×	×	×	0	0	0	0
×	1	1	0	1	×	×	×	×	hold			
×	1	0	1	1	×	×	×	×	hold			
×	1	0	0	1	×	×	×	×	hold			
↑	1	×	×	0	d	c	b	a	d	c	b	a
↑	1	1	1	1	×	×	×	×	Increment Counter			

图 2.44 中:

CO—进位输出端, 当  $Q_D \sim Q_A$  为 1111 时,  $CO=1$ , 其余状态  $CO=0$ ;

Clock— 时钟输入端 (上升沿有效),

Clear— 清零端 (直接清零), 当  $CLEAR=0$ , 不管其它引脚为何状态, 输出均为零。

Load— 同步并行置入控制端 (低电平有效), 当  $Clear=1$ ,  $Load=0$ , 在 Clock 上升沿时, 将 DCBA 置入  $Q_D \sim Q_A$

ENP— 计数控制端, ENT— 计数控制端, 当  $Clear=1$ ,  $Load=1$  时,  $ENP*ENT=0$ , 计数器保持;  $ENP*ENT=1$ , 在 Clock 上升沿时实现同步计数。

DCBA— 并行数据输入端, D 为高位端;

$Q_D \sim Q_A$  — 输出端。  $Q_D$  为高位端。

●注意: 74LS163 跟 74LS161 引脚图完全一致, 只是在清零作用时, 必须满足  $Clear=0$ , Clock 为上升沿时才能清零。

应用举例:

【例 6】设计一个模  $N=5$  的计数器, 用 74LS161 和 74LS163 实现。

(1) 反馈清 “0” 法:

如果用 74LS161 实现, 计数到  $N$ , 异步清 “0”。其逻辑图如图 2.45 (a) 所示。该方法产生的波形有毛刺, 清 “0” 不可靠。

如果用 74LS163 实现, 计数到  $N-1$ , 同步清 “0”。其逻辑图如 2.45 (b) 所示。

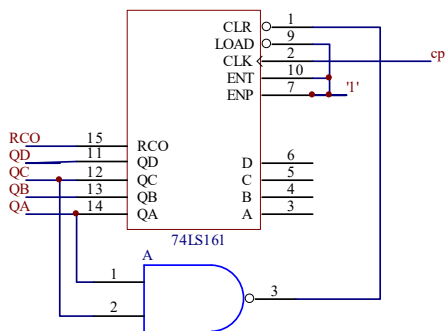


图 2.45 (a)

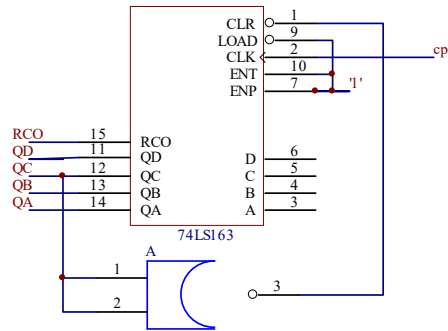


图 2.45 (b)

(2) 反馈置数法：检测末态，预置初态。此时 74LS161 和 74LS163 完全一样。

四位二进制计数器有十六种状态，任取其中五个连续状态作为计数序列。具体的做法有两种：

① 置计数器初态为  $S_0=0000$ ，计数器末态为  $S_{N-1}=0100$ ， $LOAD=\overline{Q_C}$ 。其逻辑图如图 2.45 (c) 所示。

② 利用串行进位输出 CO，同步预置补数  $(2^K - N)$ ， $N=5$ ，一片 74LS161， $K=4$ ，故预置数为  $2^4 - 5 = 11$   $(1011)_2$ ， $LOAD=\overline{CO}$ 。其逻辑图如图 2.45 (d) 所示。

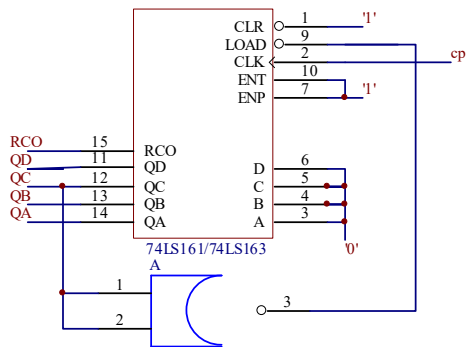


图 2.45 (c)

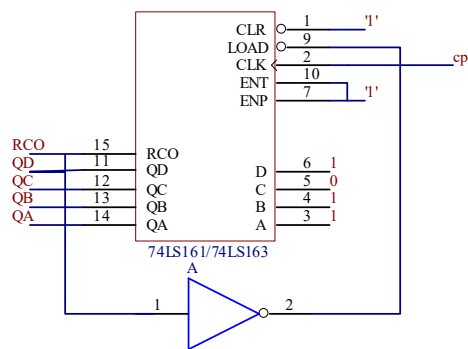


图 2.45 (d)

## 2. 异步计数器

74LS290 是异步二一五一十进制计数器。该计数器具有计数、清“0”及置“9”等功能，该计数器由四只下降沿触发的 JK 触发器构成。该计数器的基本用途是可获得模 N=2、5、10 三种计数功能。若引入适当反馈就可构成模 10 以内的任意进制计数器。引脚图如图 2.46 所示，功能表如表 2-26 所示。

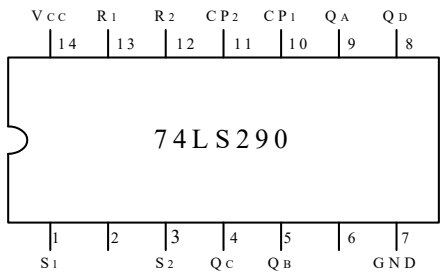


图 2.46 74LS290 引脚图

表 2-26 74LS290 功能表

Inputs					Outputs			
R1	R2	S1	S2	CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	1	0	×	×	0	0	0	0
		×	0					
×	×	1	1	×	1	0	0	1
×	0	×	0	↓	计数			
0	×	0	×	↓	计数			
0	×	×	0	↓	计数			
×	0	0	×	↓	计数			

现以模 N=7 的计数器为例说明如何构成任意进制计数器。

【例 7】用 74LS290 设计一个模 N=7 的计数器

(1) 反馈清“0”法：计数到 N，异步清“0”

$$S_N = S_7 = \left\{ \begin{array}{l} Q_D Q_C Q_B Q_A = 0111(8421\text{码}) \\ Q_A Q_D Q_C Q_B = 1010(5421\text{码}) \end{array} \right\}$$

图 2.47 (a) 是以 5421 码形式设计的七进制计数器，若用 8421 码形式，则需加逻辑门，故不可取。

(2) 反馈置数法：计数到 N-1，异步置 9

图 2.47 (b) 是以 8421 码形式构成的七进制计数器逻辑图。一片 74LS290 可实现模  $N \leq 10$  的任意进制计数。

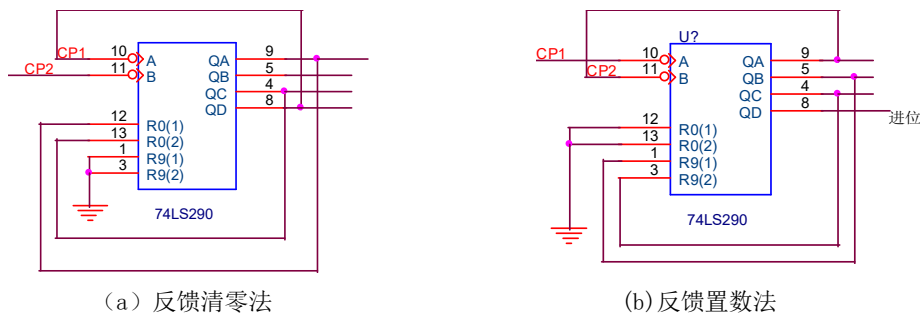


图 2.47 用 74LS290 构成模 N=7 计数器

(3) 计数器的级联

上面介绍的计数器的计数能力是有限的，一个十进制计数器只能表示 0~9 十个数，而一个十六进制计数器最多也只能表示 0~15 十六个数。在实际应用中，需计的数往往很大。解决这个问题的办法是把几个相同的计数器级联起来。

同步计数器都带有进位端子，可用进位输出端驱动下一级计数器，实现十六进制计数器。

如图 2.48 所示：

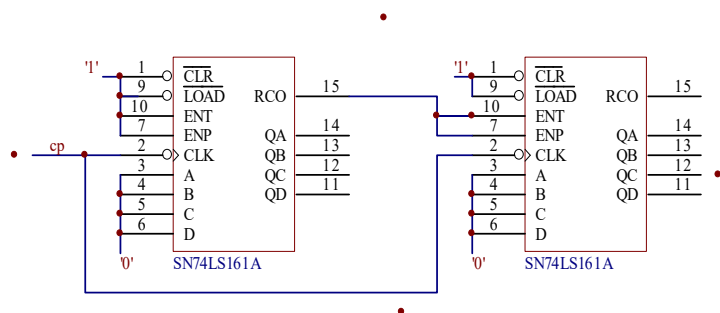


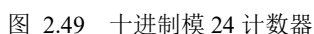
图 2.48 74LS161 级联实现模 24 计数器

(4) 实现任意进制计数

四位二进制计数器可实现任意  $M$  进制计数器 ( $M < 16$ )，下面以一个例子来说明任意进制计数器以及级联的实现。

【例 8】用 74LS161 实现十进制模 24 的计数器。

因为  $10^1 < 24 < 10^2$ ，所以选用两片 74LS161，输出为十进制 00~23。低位片从 0000 计数到 1001，当 1001 时，向高位片进位，同时低位片清零，即可实现十进制计数。电路图如图 2.49 所示：



## 五、思考题

1. 用反馈清零法设计计数器，74LS161 和 74LS163 有什么区别？
2. 用 74LS163 实现级联，进位端可否去激励下一级计数器的 Clock 端？

## 六、实验报告

1. 写出实验目的、实验中使用的仪器仪表及器材。
2. 写出实验电路的设计过程，画出实验逻辑电路图。
3. 分析实验过程中出现的问题以及解决的办法和本次实验的心得体会。
4. 总结各种计数器在使用上的异同点，总结实现 N 进制计数器的不同方法。