

实验七 小规模 SSI 计数器及其应用实验预习

一、完成实验内容中电路的设计，（要求画出卡诺图，写出逻辑表达式，完成电路图）。

1. 用 D 触发器和门电路设计一个同步带有借位输出端的三位二进制减法计数器。

2. 用 D 触发器和门电路设计如图 2.43 所示的四位扭环形计数器，能自启动。

3. 用 JK 触发器和门电路设计带有控制变量 X 的计数器，当 X=0 时为三进制计数器，当 X=1 时为四进制计数器，设置一位进位输出端 CO。

4. 用 JK 触发器设计一个单次脉冲发生器。

实验七 小规模 SSI 计数器及其应用

一、实验目的

1. 熟悉触发器的逻辑功能。
2. 掌握小规模时序逻辑电路的设计方法、安装及调试。
3. 学会用状态转换表、状态转换图和时序图来描述时序逻辑电路的逻辑功能。

二、实验器件

1. 数字信源状态分析实验箱。
2. 74LS00、74LS20、74LS74、74LS112。
3. 双踪示波器、数字万用表。

三、实验原理

1. SSI 时序逻辑电路设计原则和步骤：

SSI 时序逻辑电路设计原则是：当选用小规模集成电路时，所用的触发器和逻辑门电路的数目应最少，而且触发器和逻辑门电路输入端数目也应为最少，所设计出的逻辑电路应力求最简，并尽量采用同步系统。

同步时序电路设计步骤如下：

- (1) 根据设计要求，画出状态图和状态表。
 - (2) 状态编码。把状态表中各个字符表示的状态规定一个二进制代码，并使代码与各触发器的状态相对应。
 - (3) 选定触发器的类型。不同逻辑功能的触发器驱动方式不同，所以用不同类型触发器设计出的电路也不同。因此，在设计具体电路前必须根据需要选定触发器的类型。
 - (4) 根据代码形式的状态表和所选用的触发器直接写出输出方程。或者根据状态表画出每个输出的卡诺图，写出输出方程。
 - (5) 对照所选触发器的状态方程，画出逻辑电路图。
 - (6) 检查设计的电路能否自启动。
2. 应用举例

【例 5】设计一个带有进位输出端的六进制计数器。

- (1) 画出状态图和状态表

取进位信号为输出逻辑变量 CO，同时规定有进位输出时 CO=1，无进位输出时 CO=0，
六进制计数器应该有 6 个状态 $S_0 \sim S_5$ ，即可画出如图 2.38 所示的电路状态转换图。

(2) 状态编码

若无特殊要求，取自然二进制（000~101）为 $S_0 \sim S_5$ 的编码，于是便得到表 2-23 中所
示的状态编码表。

表 2-23 状态编码表

状态序号	状态编码			进位输出 CO
	Q_2	Q_1	Q_0	
S_0	0	0	0	0
S_1	0	0	1	0
S_2	0	1	0	0
S_3	0	1	1	0
S_4	1	0	0	0
S_5	1	0	1	1

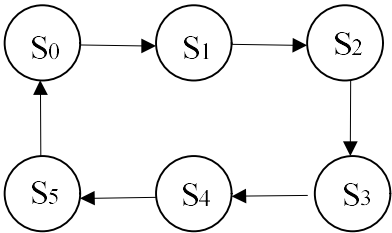


图 2.38 状态转换图

(3) 确定触发器的类型和个数

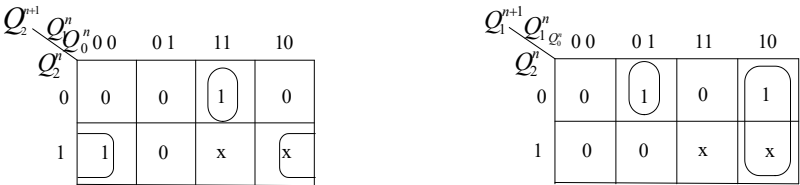
因为状态数 $M=6$ ，而 $2^2 < M < 2^3$ ，故取触发器个数 $n=3$ ，选取 JK 触发器（74LS112）或者 D
触发器（74LS74）。

(4) 根据编码后的状态表，列出状态转换表，画出卡诺图，写出状态方程：

表 2-24 状态转换表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CO
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1

根据状态转换表画出卡诺图如图 2.39：



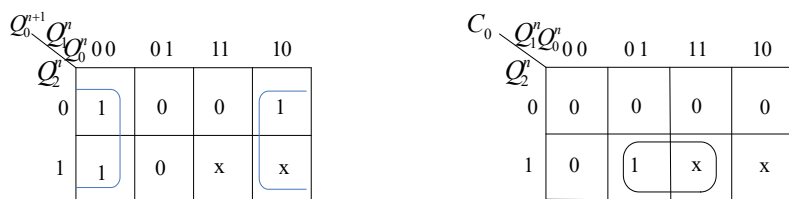


图 2.39

根据卡诺图得：

若选取 JK 触发器（74LS112）

$$Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_0^n} Q_2^n = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n$$

$$J_2 = Q_1^n Q_0^n$$

$$K_2 = Q_0^n$$

$$Q_0^{n+1} = \overline{Q_0^n} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n$$

$$J_0 = K_0 = 1$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n$$

$$J_1 = \overline{Q_2^n} Q_0^n$$

$$K_1 = Q_0^n$$

$$C_o = Q_2^n Q_0^n$$

若选取 D 触发器（74LS74）

$$Q_2^{n+1} = Q_1^n Q_0^n + \overline{Q_2^n} \overline{Q_0^n} = D_2$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n + Q_1^n \overline{Q_0^n} = D_1$$

$$Q_0^{n+1} = \overline{Q_0^n} = D_0$$

$$C_o = Q_2^n Q_0^n$$

(5) 由驱动方程和状态方程画出六进制计数器的逻辑图：

用 JK 触发器实现：

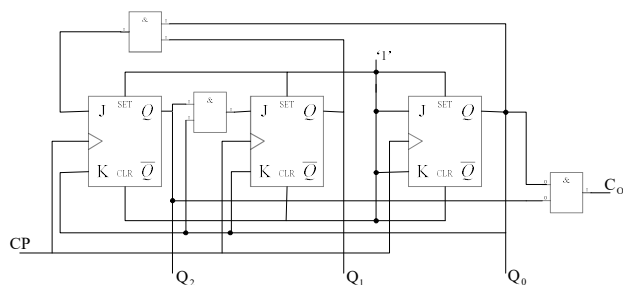


图 2.40

用 D 触发器实现：

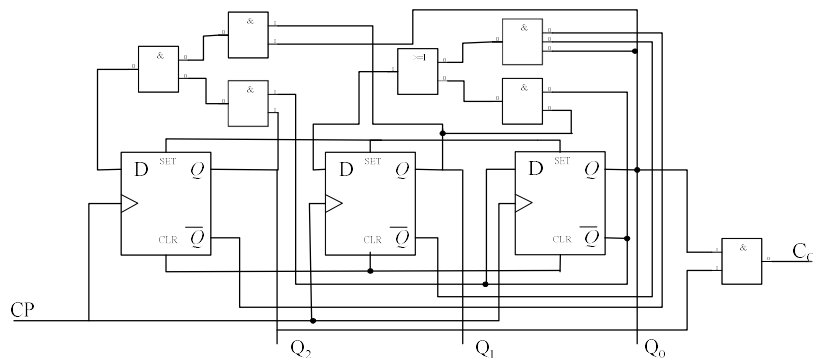


图 2.41

(6) 检查电路能否自启动。

将有效循环之外的 2 个状态 110 和 111 分别代入上式状态方程中计算，所得次态对应为 111 和 000，故电路能自启动。如图 2.42 是电路完整的状态转换图状态转换图：

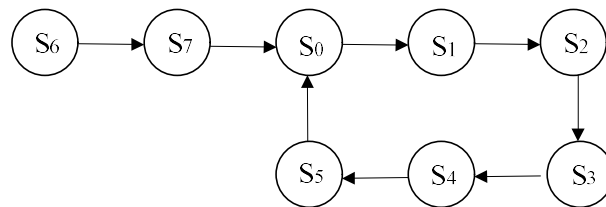


图 2.42

四、实验内容

1. 试用 D 触发器和门电路设计一个同步带有借位输出端的三位二进制减法计数器。
2. 试用 D 触发器和门电路设计一个四位扭环形计数器，并能自启动。状态转换图如图 2.43 所示：

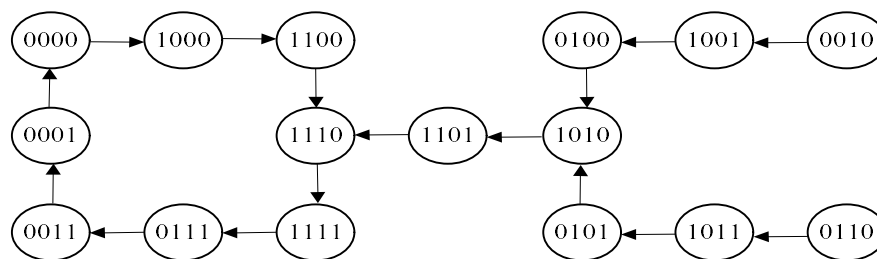


图 2.43

3. 试用 JK 触发器和门电路设计带有控制变量 X 的计数器，当 X=0 时为三进制计数器，当 X=1 时为四进制计数器，设置一位进位输出端 CO。
4. 试用 JK 触发器设计一个单次脉冲发生器。

五、思考题

1. 在设计时序逻辑电路时如何处理各触发器的置“0”端子和置“1”端子。
2. 如果设计的时序电路不能自启动应该如何处理？

六、实验报告

1. 写出实验目的、实验中使用的仪器仪表及器材。
2. 写出实验电路的设计过程，画出实验逻辑电路图。
3. 写出实验中所遇到的问题，分析其原因，提出解决问题的办法。
4. 总结 SSI 同步时序电路设计思路。
5. 回答实验思考题。