



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 07/08/2025

NOTA:

Aluno: _____ Matrícula:

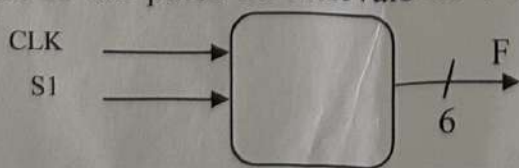
--	--	--	--	--	--	--	--	--	--

(Questão 1) Implemente um circuito **contador** que conte de **0 até 48** usando Flip-Flop JK. Ao chegar à contagem em **48**, o circuito deve reiniciar contando em **0** (o número 48 deve aparecer para o usuário em um display de 7 segmentos). Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário pode usar Preset e Clear. (2,0 pontos) *Obs: Usar FF JK. Não precisa implementar o FF. FF ativo na transição negativa.*

(Questão 2) Implemente o **registrador** de deslocamento SHIFT RIGHT de 5 bits com entrada serial (I) e saída serial (F) usando o Flip-Flop JK da questão anterior. Mostre o **diagrama de tempo** (formas de onda) que implementa o circuito para a entrada "11001" especificando os valores disponíveis nas saídas do registrador, a cada pulso de clock (bit mais significativo à esquerda). O primeiro bit a entrar é o menos significativo. Considere este diagrama de tempo para 10 pulsos de relógio. Mostrar os valores para todas as saídas (Q) dos FFs. (2,0 pontos).

(Questão 3) Usando **Máquinas de Estados**, implemente em **Verilog** o controle de um sistema embarcado com a seguinte lógica. Dado um clock de 2MHz e um sinal de reset (RST), após um pulso completo do RST (0→1→0), incremente a saída S de 1 a cada 5 pulsos de clock. A saída S deve iniciar de zero e sempre que houver um pulso do RST, o contador deve zerar. Caso a saída S ultrapasse 200, a saída S deve zerar novamente. Desenhe o **Diagrama de Estados** da máquina de estados. (3,0 pontos).

(Questão 4) Implemente um **circuito sequencial usando FlipFlops JK** e componentes combinacionais que forneça a funcionalidade a seguir. A ideia é que de 4 em 4 segundos, o circuito indicado abaixo incremente de 1 a saída F de 6 bits. Mas a saída F só será atualizada (incrementada) se houve pelo menos um evento com pulso 0→1→0 na entrada S1 no último ciclo de 4 segundos. A cada 4 segundos a contagem deve ser resetada. O circuito tem um clock de entrada CLK = 10Hz. A saída F deve iniciar de 0, e ao chegar ao final, ele deve reiniciar do zero e continuar o processo. Mesmo que haja mais de um pulso no intervalo de 4 segundos, considerar apenas um incremento. (3,0 pontos).



Obs: Se for detectado plágio em alguma prova, todos os envolvidos terão nota zero.