



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 07/12/2010

NOTA:

Aluno: _____ Matrícula:

--	--	--	--	--	--	--	--	--	--

(Questão 1) Implemente um circuito **contador** que conte de 0 até 87 usando Flip-Flop JK. Ao chegar a contagem em 87, o circuito deve reiniciar contando em 0. Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário pode usar Preset e Clear. Caso ocorra situações especiais de inicialização, descreva detalhadamente o que o projetista deve fazer com todos os valores de sinais nas entradas dos Flip-Flops. (2,5 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio.

Não é necessário implementar o Flip Flop JK.

(Questão 2) Implemente o **registrador** de deslocamento SHIFT RIGHT de 6 bits com entrada serial (I) e saída serial (F) usando o Flip-Flop JK. Mostre o diagrama de tempo que implementa o circuito para a entrada "100011" especificando os valores disponíveis nas saídas do registrador, a cada pulso de clock (bit mais significativo a esquerda). Considere este diagrama de tempo para 15 pulsos de relógio (2,5 pontos).

(Questão 3) Usando **Máquinas de Estados**, implemente em **Verilog** o controle de um semáforo que funciona da seguinte forma: O sistema possui 3 saídas para os LEDs (vermelho, amarelo e verde). Os LEDs são acessos em nível lógico '1'. Inicialmente o sinal verde fica aceso durante 20 segundos, em seguida o sinal amarelo fica aceso durante 5 segundos e finalmente o sinal verde fica aceso durante 30 segundos. Em seguida o ciclo se repete. O sistema possui um RESET ativo em nível 1 e um sinal de clock de 10Hz. Desenhe também o diagrama de máquina de estados do controle. (2,5 pontos).

(Questão 4) **Implemente** um divisor de frequência em **Verilog** que gere 3 saídas de frequências 500KHz, 125kHz e 31,25kHz. O circuito deve conter duas entradas: Um clock de 1MHz e um sinal de reset ativo em nível lógico 1. Mostre o diagrama de tempo que implementa o circuito (2,5 pontos).