



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 23/08/2023

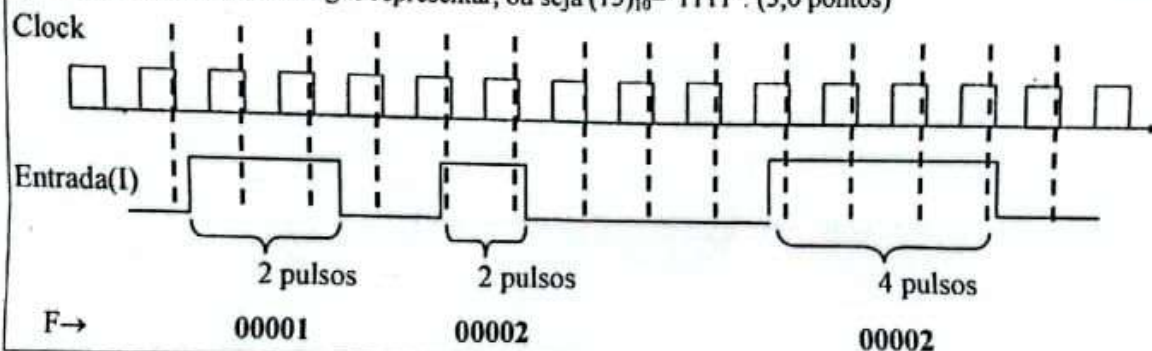
NOTA:

Aluno: _____

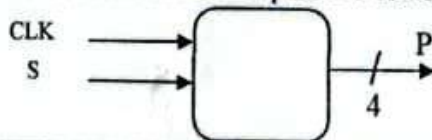
Matrícula: _____

(Questão 1) Implemente um circuito contador que conte de 0 até 33 usando Flip-Flop JK. Ao chegar à contagem em 33, o circuito deve reiniciar contando em 0 (o número 33 deve aparecer para o usuário em um display de 7 segmentos). Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário pode usar Preset e Clear. (2,0 pontos)

(Questão 2) Projete um circuito usando JK e portas lógicas que receba uma entrada I aperiódica e um sinal de clock como indicado na figura. O objetivo é contar a quantidade de pulsos de tamanho 2 (ou seja, quantidade de transições negativas igual a 2 quando I = '1') enquanto Entrada é igual a '1'. O circuito deve ter uma saída de 4 bits representando a quantidade de pulsos de tamanho 2 que se passaram até o momento (é mostrado um exemplo usando a unidade decimal na figura). No máximo o circuito indicará na saída F uma quantidade que 4 bits consegue representar, ou seja $(15)_{10} = "1111"$. (3,0 pontos)



(Questão 3) Usando Máquina de Estados Finitos, implemente um circuito em Verilog que forneça a funcionalidade a seguir. A ideia é que de 6 em 6 segundos, o circuito indicado abaixo possa incrementar de 1 a saída P de 4 bits. A saída P deve ser incrementada de 1 se houver pelo menos um evento com pulso completo 0→1→0 na entrada S no último ciclo de 6 segundos. A saída P cada 6 segundos a contagem deve ser resetada. O circuito tem um clock de entrada CLK=2Hz. O Contador deve iniciar de 0 e ao chegar ao final ele deve reiniciar e continuar o processo. Desenhe o Diagrama de Estados da máquina de estados (3,0 pontos).



(Questão 4) Usando Máquina de estados, implemente em Verilog um divisor de frequência que gere 3 saídas (F1, F2 e F3) de frequências 16MHz, 4MHz e 1MHz respectivamente. O circuito deve ter um clock de 32MHz como entrada. Mostre também o diagrama de estados da máquina de estados que implementa o circuito para as três saídas. (2,0 pontos)

Obs: Se for detectado plágio em alguma prova, todos os envolvidos terão nota zero.