



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 13/06/2011

NOTA:

Aluno: _____ Matrícula:

--	--	--	--	--	--	--	--	--	--	--	--

(Questão 1) Implemente um circuito **contador** que conte de 0 até 65 usando Flip-Flop JK. Ao chegar a contagem em 65, o circuito deve reiniciar contando em 0. Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário, pode usar Preset e Clear. Caso ocorra situações especiais de inicialização, descreva detalhadamente o que o projetista deve fazer com todos os valores de sinais nas entradas dos Flip-Flops. (2,5 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio.

Não é necessário implementar o Flip Flop JK.

(Questão 2) Implemente um **registrador** de deslocamento SHIFT RIGHT de 5 bits com entrada paralela ($I_4I_3I_2I_1I_0$) de 5 bits, onde o mais significativo é o bit mais a esquerda, e saída serial (F) usando o Flip-Flop JK. O circuito deve conter sinal de controle de enable (E) para sincronizar entrada paralela. **Mostre o diagrama de tempo** (formas de onda) que implementa o circuito para a entrada "10011" especificando os valores disponíveis nas saídas do registrador, a cada pulso de clock (bit mais significativo a esquerda). Considere este diagrama de tempo para 15 pulsos de relógio. (2,5 pontos).

Obs: Indicar como deve estar os valores de cada bit de controle na construção do circuito.

(Questão 3) Usando **Máquinas de Estados**, implemente em **Verilog** o controle de um semáforo que funciona da seguinte forma: O sistema possui 3 saídas para os LEDs (vermelho, amarelo e verde). Os LEDs são acessos em nível lógico '1'. Inicialmente o sinal vermelho fica aceso durante 10 segundos, em seguida o sinal amarelo fica aceso durante 5 segundos e finalmente o sinal verde fica aceso durante 20 segundos. Em seguida o ciclo se repete. O sistema possui um RESET ativo em nível 1 e um sinal de clock de 10Hz. Quando o reset é ativado, o circuito inicia com o sinal vermelho. Desenhe também o **Diagrama** de máquina de estados do controle. (2,5 pontos).

(Questão 4) **Projete** um circuito usando JK e portas lógicas que recebe uma entrada I aperiódica um sinal de clock como indicado na figura. O objetivo é obter o tempo a cada nível da entrada I, ou seja, quantos ciclos se passaram quando a entrada for '1' e quantos ciclos quando a entrada for '0'. O circuito deve ter uma saída de 4 bits representando a quantidade de pulsos que se passaram a cada nível (é mostrado um exemplo usando a unidade decimal na figura). O circuito deve zerar a quantidade a cada transição de 1→0 ou de 0→1 e recomear todo o processo. No máximo o circuito indicará uma quantidade que 4 bits consegue representar caso a entrada venha demorar muito tempo para variar, ou seja $(15)_{10} = "1111"$. (2,5 pontos)

