

Aluno:

UNIVERSIDADE FEDERAL DE PERNAMBUCO CURSO DE ENGENHARIA DA COMPUTAÇÃO

NOTA:

Disciplina: Sistemas Digitais (IF675) Prof. Abel Guilhermino

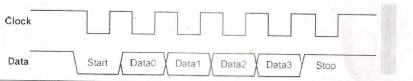
Segunda Prova --- Turma: E2 --- Data: 04/05/2022

14		

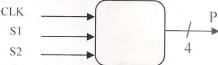
Aluno:	Matrícula:
(Questão 1) Implemente um circuito	contador que conte de 0 até 54 usando Flip-Flop JK. Ao
chegar a contagem em 54, o circuito de	eve reiniciar contando em 0 (o número 54 deve anarecer para
o usuario em um display de 7 segmento	os). Indicar todas as entradas e saídas do circuito hem como o
bit mais significativo e menos signifi	cativo. Caso seia necessário node usar Preset e Clear (2.0

(Questão 2) Implemente o registrador de deslocamento SHIFT RIGHT de 5 bits com entrada serial (I) e saída serial (F) usando o Flip-Flop JK da questão anterior. Mostre o diagrama de tempo (formas de onda) que implementa o circuito para a entrada "11001" especificando os valores disponíveis nas saídas do registrador, a cada pulso de clock (bit mais significativo à esquerda). O primeiro bit a entrar é o menos significativo. Considere este diagrama de tempo para 10 pulsos de relógio. Mostrar os valores para todas as saídas (Q) dos FFs. (2,0 pontos).

(Questão 3) Usando Máquinas de Estados, implemente em Verilog o protocolo de comunicação conforme figura abaixo. O sistema deve colocar S=1 quando o usuário digitar a tecla (1), representada pelo binário "1001" e deve colocar S=0 quando digitar a tecla (2), representada pelo binário "1010". Desenhe o Diagrama de Estados da máquina de estados. Além do clock e Data indicados na figura, que são entradas, há um clock (CCC) de 5MHz e um reset (Reset) ativo em nível lógico 1. (3,0 pontos).



(Questão 4) Implemente um circuito sequencial usando FlipFlops e componentes combinacionais que forneça a funcionalidade a seguir. A ideia é que de 5 em 5 segundos, o circuito indicado abaixo incremente de 1 a saída P de 4 bits. Mas a saída P só será atualizada (incrementada) se houve pelo menos um evento com pulso 0→1→0 em pelo menos uma das entradas S1 ou S2 no último ciclo de 5 segundos. A cada 5 segundos a contagem deve ser resetada. O circuito tem um clock de entrada CLK=2Hz. O Contador deve iniciar de 0 e ao chegar ao final ele deve reiniciar e continuar o processo. Caso ocorra o mesmo evento para ambas entradas S1 e S2 ao mesmo tempo, considerar apenas um incremento. (3,0 pontos).



pontos) Obs: Usar FF JK. Não precisa implementar o FF

Obs: Se for detectado plágio em alguma prova, todos os envolvidos terão nota zero.