



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 30/06/2014

NOTA:

Aluno: _____ Matricula:

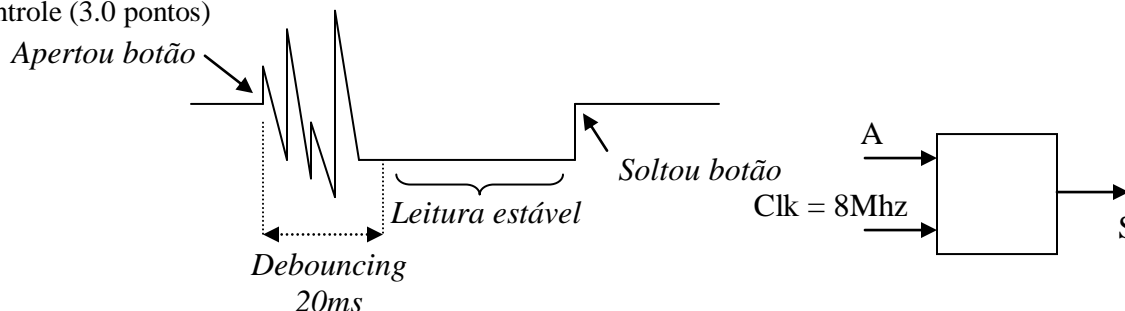
--	--	--	--	--	--	--	--	--	--

(Questão 1) Implemente um circuito **contador** que conte de 0 até 82 usando Flip-Flop JK. Ao chegar a contagem em 82, o circuito deve reiniciar contando em 0. Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário, pode usar Preset e Clear. Caso ocorra situações especiais de inicialização, descreva detalhadamente o que o projetista deve fazer indicando o circuito completo que forneça a funcionalidade de desejada. (3,0 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio (não use o inversor no clk).

Não é necessário implementar o Flip Flop JK.

(Questão 2) Usando **máquina de estados**, implemente em **Verilog** uma lógica para controle de “debouncing” de um botão A que é entrada para o circuito indicado na figura. Também é entrada do circuito, um clock de 8Mhz. Quando o usuário pressionar o botão A, o circuito deve ligar o led (S), caso o led esteja desligado, caso o led esteja ligado o circuito deve desligar o led (S). Desenhe o **diagrama da máquina de estados** do controle (3.0 pontos)



(Questão 3) Implemente o **registrador** de deslocamento SHIFT LEFT de 6 bits com entrada serial (I) e saída serial (F) usando Flip-Flop JK. Mostre o **diagrama de tempo** (formas de onda) que implementa o circuito para a entrada "100110" especificando os valores disponíveis em todas as saídas do registrador, a cada pulso de clock (bit mais significativo à esquerda). O primeiro bit a entrar é o menos significativo. Considere este diagrama de tempo para 20 pulsos de relógio (2,0 pontos).

(Questão 4) Implemente um divisor de frequência que gere 2 saídas (F1 e F2) de frequências 500kHz e 125kHz. O circuito deve conter duas entradas: O circuito deve ter um clock de 8MHz como entrada. Mostre o **diagrama de tempo** (formas de onda) que implementa o circuito para as duas saídas. (2,0 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio (não use o inversor no clk).

Não é necessário implementar o Flip Flop JK.