



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 23/11/2011

NOTA:

Aluno: _____

Matricula: _____

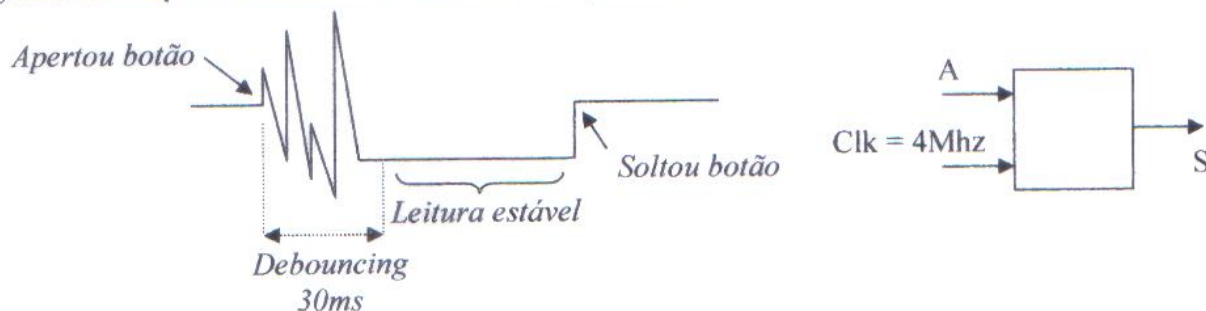
--	--	--	--	--	--	--	--	--	--

(Questão 1) Implemente um circuito **contador** que conte de 0 até 47 usando Flip-Flop JK. Ao chegar a contagem em 47, o circuito deve reiniciar contando em 0. Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário, pode usar Preset e Clear. Caso ocorra situações especiais de inicialização, descreva detalhadamente o que o projetista deve fazer indicando o circuito completo que forneça a funcionalidade de desejada. (3,0 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio.

Não é necessário implementar o Flip Flop JK.

(Questão 4) Usando **máquina de estados**, implemente em Verilog uma lógica para controle de "debouncing" de um botão A que é entrada para o circuito indicado na figura. Também é entrada do circuito, um clock de 4Mhz. Quando o usuário pressionar o botão A, o circuito deve ligar o led (S), caso o led esteja desligado, caso o led esteja ligado o circuito deve desligar o led (S). Desenhe o diagrama da máquina de estados do controle (3.5 pontos)



(Questão 4) **Projete** um circuito usando JK e portas lógicas que recebe uma entrada I aperiódica e um sinal de clock como indicado na figura. O objetivo é contar a quantidade de pulsos de tamanho 2 (ou seja, quantidade de transições negativas igual a 2 quando I = '1') enquanto Entrada é igual a '1'. O circuito deve ter uma saída de 4 bits representando a quantidade de pulsos de tamanho 2 que se passaram até o momento (é mostrado um exemplo usando a unidade decimal na figura). No máximo o circuito indicará como saída uma quantidade que 4 bits consegue representar, ou seja $(15)_{10} = "1111"$. (3,5 pontos)

