



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

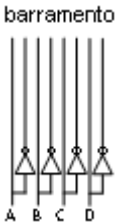
Primeira Prova --- Turma: E2 --- Data: 06/10/2010

NOTA:

Aluno: _____ Matricula:

--	--	--	--	--	--	--	--	--	--

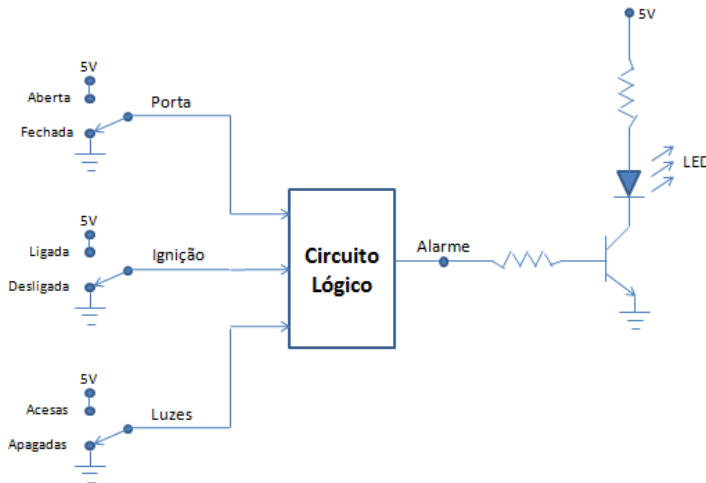
(Questão 1) Dado a seguinte expressão: $Y = (C+D)' + A'.C.D' + A.B'.C' + A'.B'.C.D + A.C.D'$



Porta	Área mm ²
AND	10
OR	3
NAND	10
NOR	10
XNOR	23
XOR	4.8
NOT	2

- a) O **circuito lógico** que representa esta expressão booleana e a **Tabela da verdade** (sem otimizações). (1,0 ponto)
- b) Usando Mapa de Karnaugh, **reduza** ao máximo a expressão booleana e construa o **circuito digital reduzido**. Indicar a **Área Total** em ambos os casos (2,0 ponto)
- Obs: Usar o barramento ao lado e apenas portas lógicas de 2 entradas nos itens a) e b)

(Questão 2) A figura abaixo mostra um diagrama para um circuito de alarme de automóvel usado para detectar uma determinada condição indesejada. As três chaves são usadas para indicar respectivamente o estado da porta do motorista, o estado da ignição e o estado dos faróis. Projete um circuito lógico com essas três chaves como entrada de forma que o alarme seja ativado sempre que ocorrer uma das seguintes condições: (i) Os faróis estão acesos e a ignição está desligada; (ii) A porta está aberta e a ignição está ligada.



Implemente:

- a) O circuito lógico com Tabela da Verdade e Mapa K (2,0 ponto)
- b) O circuito lógico usando apenas NAND (1,0 ponto)

Obs: Usar barramento e portas lógicas de 2 entradas em a) e b)

(Questão 3) Projete um circuito lógico que realize as seguintes operações no código abaixo. Considerar **x, y, w, z, F, G e M** sinais de 4 bits cada um (4,0 pontos)

```
if (F != G) {  
    if (F == M)  
        result = (x' + y).(w.z)';  
    else  
        result = (z' + w).(x' + y);  
} else  
    result = 0;
```

Obs: O projeto completo do circuito com tabelas, mapas e componentes lógicos usando portas de 2 entradas e barramento.