



UNIVERSIDADE FEDERAL DE PERNAMBUCO
CURSO DE ENGENHARIA DA COMPUTAÇÃO

Disciplina: Sistemas Digitais (IF675)

Prof. Abel Guilhermino

Segunda Prova --- Turma: E2 --- Data: 14/02/2014

NOTA:

Aluno: _____ Matrícula:

--	--	--	--	--	--	--	--	--	--	--	--

(**Questão 1**) Implemente um circuito **contador** que conte de **0 até 51** usando Flip-Flop JK. Ao chegar à contagem em **51**, o circuito deve reiniciar contando em **12** (o número 51 deve aparecer para o usuário). Indicar todas as entradas e saídas do circuito bem como o bit mais significativo e menos significativo. Caso seja necessário pode usar Preset e Clear. Caso ocorram situações especiais de inicialização, descreva detalhadamente o que o projetista deve fazer com todos os valores de sinais nas entradas dos Flip-Flops. (2,5 pontos)

Obs: Considere que o FF JK é ativo na transição negativa do relógio. Não precisa implementar o FF

(**Questão 2**) Implemente o **registrador** de deslocamento SHIFT RIGHT de 5 bits com entrada serial (I) e saída serial (F) usando o Flip-Flop JK da questão anterior. Mostre o **diagrama de tempo** (formas de onda) que implementa o circuito para a entrada "10011" especificando os valores disponíveis nas saídas do registrador, a cada pulso de clock (bit mais significativo à esquerda). O primeiro bit a entrar é o menos significativo. Considere este diagrama de tempo para 20 pulsos de relógio (2,5 pontos).

(**Questão 3**) Usando **Máquinas de Estados**, implemente em **Verilog** o controle de um semáforo que funciona da seguinte forma: O sistema possui 3 saídas para os LEDs (vermelho, amarelo e verde). Os LEDs são acessos em nível lógico '1'. Inicialmente o sinal verde fica aceso durante 20 segundos, em seguida o sinal amarelo fica aceso durante 5 segundos e finalmente o sinal verde fica aceso durante 30 segundos. Só fica aceso um sinal por vez, enquanto um está aceso os outros estão apagados. Em seguida o ciclo se repete. O sistema possui um RESET ativo em nível 1 e um sinal de clock de 60MHz. Desenhe o diagrama da **máquina de estados** do controle. (2,5 pontos).

(**Questão 4**) **Projete** um circuito usando JK e portas lógicas que recebe uma entrada **M** aperiódica um sinal de **clock** como indicado na figura. O objetivo é fazer um circuito que conte a quantidade pulsos aperiódicos e disponibilizar este valor em **Saída**. Se o contador atingir o valor 74, **Sirene** deve ser acionado. A saída Sirene é ativada em nível lógico 1. Ao atingir o valor 74, o contador para de contar e a sirene fica ativa indefinidamente (2,5 pontos).

