**中山大学本科生期末考试**

**考试科目：《数字电路与逻辑设计》（A卷）**

学年学期：**2018**学年第**1**学期 姓 名：

学 院/系：电子与通信工程学院 学 号：

考试方式：闭卷 年级专业：

考试时长：**120**分钟 班 别：

警示 《中山大学授予学士学位工作细则》第八条：“考试作弊者，不授予学士学位。”

------------以下为试题区域，共5道大题，总分100分,考生请在答题纸上作答-----------

**一、填空题（共 10 小题，每空 2 分，共 20 分）**

1. 有一数码组1001 0101，作为自然二进制数时，它相当于十进制数\_\_\_149\_，作为8421BCD码时，它相当于十进制数\_95\_\_\_。

2. 要扩展成8K8 RAM，需要用5124的RAM 32 片。



3. 一个JK触发器有 2 个稳态（0、1），它可储存 1 位的二进制数。

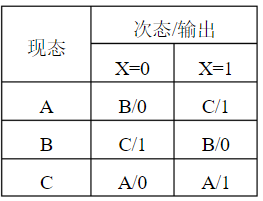
4. 已知某触发器的特性表如下（A、B为触发器的输入），则其输出信号的表达式为 \_ \_\_。



5. 74LS138是3线-8线译码器，译码为输出低电平有效，若输入为 时，其输出 应为\_\_\_10111111 \_。

6. 三态门的输出状态有\_高电平 \_ \_\_、\_低电平\_ \_\_、\_高阻\_ \_\_ 三种状态。

7. 某同步时序逻辑电路的状态表如下表所示，若电路初始状态为B，输入序列X=011101，则电路产生的输出序列为\_\_ 111100 \_\_。

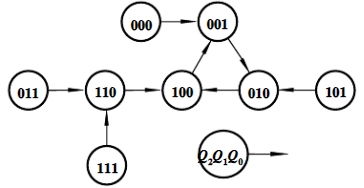


8. N个输入端的二进制译码器，共有\_2^N\_\_\_个输出端。对于每一组输入代码，有\_\_1\_\_个输出端是有效电平。

9. 写出的最小标准式 。



10. 在下图所示的同步时序逻辑电路的状态图中，需要\_\_3\_\_个触发器来实现对应的逻辑电路图，有\_\_0\_\_个无效状态。



**二、选择题（共 10 小题，每小题 2 分，共 20 分）**

1. 表示任意两位无符号十进制数需要( )位二进制数。

A.6 B.7 C.8 D.9

2.带符号二进制数11011011，其补码是( )。

A. 01011011 B. 10100100 C.10100101 D. 11011011

3. 下列四种类型的逻辑门中，可以用( )实现三种基本运算。

A.与门 B.或门 C.非门 D.与非门

4. 已知逻辑函数 ，与其相等的函数为( )。

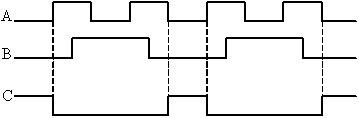
A.AB B. C. D.AB+C

5. 下列不属于组合逻辑电路的部件是( )。

A.编码器 B.寄存器 C.触发器 D.计数器

6. 一门电路的输入端A、B和输出端C的波形如下图所示，该门电路为( D )。

A．与门 B. 或门 C. 与非门 D. 或非门



7. 为实现JK触发器转换为D触发器，应使( )。

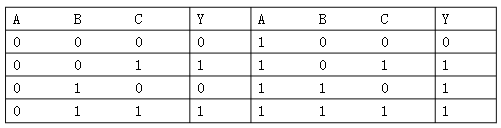
A.J=D，K= B.K=D，J= C.J=K=D D.J=K=

8. N个触发器可以构成能寄存( )位二进制数码的寄存器。

A.N-1 B.N C.N+1 D.2N

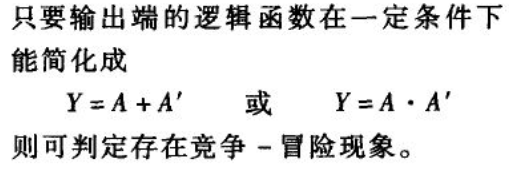
9. 已知某电路的真值表如下表所示，则该电路的逻辑表达式为( )。

A.Y=C B.Y=ABC C.Y=AB+C D.B+C



10. 函数F=，当变量取值为( )时，将不会出现冒险现象。

A.B=C=1 B.B=C=0 C.A=1，C=0 D.A=0，B=0



法二：每次只改变一个信号，观察该信号会不会对输出端两路以上的信号造成影响。

**三、化简题（共 2 小题，每小题 5 分，共 10 分）**

1.5CM

1*.* 用卡诺图法化简下面的逻辑函数

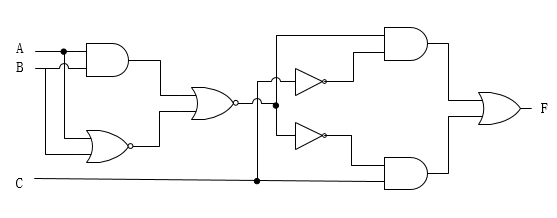
*= A’+B+C+D*

2. 用公式法化简下面的逻辑函数

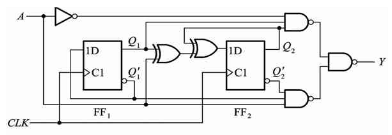
=1

**四、分析题（共 2 小题，每小题 10 分，共 20 分），**

1. 已知逻辑电路如下图所示，分析该电路的功能。



1. 试分析下图电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，并检查电路能否自启动。（当电路的状态为无效循环里的某个状态时，都能进入有效循环里去，也就是电路能够自启动。）



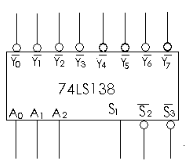
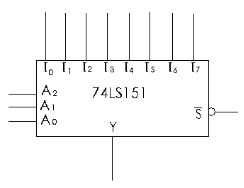
输出方程Y=

驱动方程D1=、D2=Q2⨁(A⨁Q1)

状态方程，，=D2==Q2⨁(A⨁Q1)

**五、设计题（共 2 小题，每小题 15 分，共 30 分），**

1. 仅用下列器件实现函数A+B+C，画出逻辑图。
2. 非门和与非门；
3. 3线-8线译码器（74LS138, S为使能端口）和与非门；
4. 八选一数据选择器（74LS151，S为使能端口）。

1. 利用上升沿触发的JK触发器设计一个可变模同步计数器，当控制端X＝0时为5进制加法计数器；X＝1时为7进制减法计数器。加法计数过程为0－>4，当加法计数计到最大值4时，输出端Z＝1；减法计数过程为6－>0，当减法计数计到最小值0时，输出端Z＝1。要求画出状态转移图（转换表），写出驱动方程、状态方程、输出方程，并检查你设计的系统能否自启动。