

# Circuitos Electrónicos Digitales (CED-ISW) 2024-25

## Boletín 3: Subsistemas Combinacionales

### Problema 1

Realice la función  $f = \Sigma(0,3,6)$  con los siguientes componentes:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Con un decodificador con salidas activas en alto y puertas NOR.

### Problema 2

Realice las siguientes funciones haciendo uso de los dispositivos que se dan en cada uno de los apartados:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Utilizando un decodificador con salidas activas en alto y puertas NOR.

$$F1 = \Sigma(0,9,11,15) + d(1,2,3)$$

$$F2 = \Pi(0,3,5) \cdot d(1,2)$$

$$F3 = \Pi(1,3,4,6,9,11) \cdot d(7,12,14)$$

$$F4 = \Pi(1,2,3,7,8,9)$$

### Problema 3

Diseñe un circuito de 4 entradas ( $a, b, c, d$ ) y 3 salidas ( $z_2, z_1, z_0$ ) que realice las siguientes funciones:

$z_0$  vale 1 cuando tres o más entradas sean 1.

$z_1$  vale 1 cuando haya el mismo número de unos que de ceros.

$z_2$  vale 0 cuando dos o más entradas sean 1.

Para ello se dispone de:

- Un decodificador con salidas activas en nivel alto y puertas NOR.
- Un decodificador con salidas activas en bajo y puertas NAND.

### Problema 4

Utilizando decodificadores de menos entradas que el dado, proponga varias soluciones para implementar:

- Un DEC 2:4
- Un DEC 3:8
- Un DEC 4:16

Indique en cada apartado qué alternativa conduce al menor número de decodificadores.

### Problema 5

Utilizando multiplexores de menos entradas de selección que el dado, se pide:

- ¿Cómo implementaría un MUX de 3 entradas de selección (MUX8:1)?
- ¿Cómo implementaría un MUX de 4 entradas de selección (MUX16:1)?

### Problema 6

Realice las funciones de conmutación siguientes utilizando multiplexores de 4 canales (MUX 4:1). Considere las variables en doble rail.

$$a) F = \Sigma(0,1,3,4)$$

$$b) F = \Sigma(2,4,5,7)$$

$$c) F = \Sigma(0,3,4)$$

$$d) F = \Sigma(1,2,3,6,7)$$

### Problema 7

Realice las funciones del ejercicio anterior con: a) MUX-1; b) MUX-3

### Problema 8

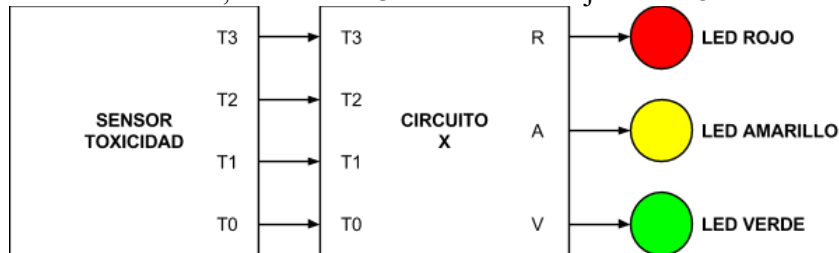
- Muestre la tabla de funcionamiento y diseñe, a nivel de puertas, un DEC2:4 con salidas activas en bajo y ENABLE activo en alto.
- Especifique un módulo Verilog que implemente el decodificador del apartado anterior.
- Muestre la tabla de funcionamiento y diseñe, a nivel de puertas, un MUX4:1.

d) Especifique un módulo Verilog que implemente el multiplexor del apartado anterior.

### Problema 9

En un laboratorio químico, se desea instalar un sistema de seguridad que alerte de la toxicidad del aire. Para ello se cuenta con un sensor con salida **T** en formato **BCD** (T3,T2,T1,T0) que indica el grado de toxicidad. A dicho sensor se desea conectar un semáforo (ver figura) que indique de forma luminosa la información suministrada por el mismo:

Verde si  $T \leq 4$ , Amarillo si  $5 \leq T \leq 7$  o Rojo si  $T \geq 8$ .



Se pide:

- realice un diseño eficiente del **circuito X** utilizando un decodificador y puertas NAND.
- Especifique un módulo Verilog que implemente el circuito X utilizando una descripción procedimental (always). Utilice la siguiente cabecera de definición de puertos:

```
module circuitox (  
    input wire t3,t2,t1,t0,  
    output reg r,a,v);
```

- Programa un banco de pruebas en Verilog para comprobar el correcto funcionamiento del módulo diseñado

### Problema 10

Especifique un módulo Verilog correspondiente a un multiplexor de cuatro canales (MUX 4:1).

- Utilizando asignación continua con operadores lógicos (assign)
- Utilizando una descripción procedimental (always)

### Problema 11

Especifique un módulo Verilog correspondiente a un demultiplexor de cuatro canales (DEMUX 1:4), utilizando asignación continua (assign).

### Problema 12

Diseñe un módulo Verilog correspondiente a un decodificador DEC4:16, con salidas activas en alto utilizando asignación continua (assign). Utilice la siguiente definición de puertos:

```
module dec4_16 (  
    input [3:0]in,  
    output [15:0]q);
```

### Problema 13

- Obtenga la tabla de verdad de un convertidor de código BCD a 7-segmentos (salidas activas en alto)
- Diseñe un módulo Verilog correspondiente a convertidor de código BCD a 7-segmentos, con salidas activas en alto utilizando descripción procedimental (always). Utilice la siguiente definición de puertos:

```
module conv_bin_7seg(  
    input [3:0]in,  
    output reg a,b,c,d,e,f,g);
```

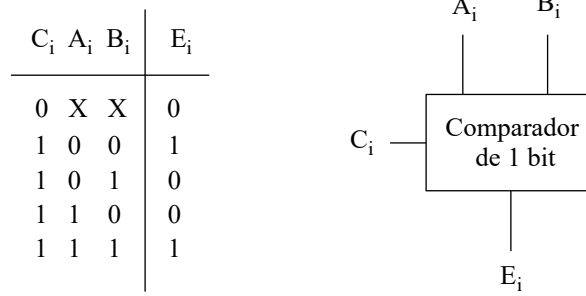
### Problema 14

Diseñe un módulo Verilog correspondiente a un codificador de prioridad 4 a 2, con entradas y salidas activas en alto, utilizando descripción procedimental (always). Utilice la siguiente definición de puertos:

```
module cod_pri_4_2 (  
    input [3:0] in,  
    output reg [1:0]q);
```

### Problema 15

La figura muestra un comparador de dos números de 1 bit con entrada de conexión en cascada y su tabla de verdad.



- Diseñe un comparador de números de 4 bits utilizando exclusivamente comparadores de 1 bit.
- Especifique un módulo Verilog correspondiente al comparador de 1 bit.
- A partir del circuito diseñado en el apartado a y el módulo del apartado b, diseñe un módulo Verilog para el comparador de números de 4 bits, utilizando una descripción estructural interconectando comparadores de 1 bit.
- Diseñe un módulo Verilog circuito comparador de igualdad para números binarios de 4 cuatro bits mediante una descripción procedimental (always). Utilice la siguiente definición de puertos:

```
module comparador(  
    input [3:0] x, [3:0]y  
    output reg e);
```