Documentação do Laboratório de VHDL

Aluno: Luigi Muller Sousa Linhares

Matrícula: 2017009506

Disciplina: Arquitetura e Organização de Computadores 2018.2

Componente 1)

Registrador tipo D:

Arquivo: registrador\_tipo\_d.vhd

Portas de entrada:

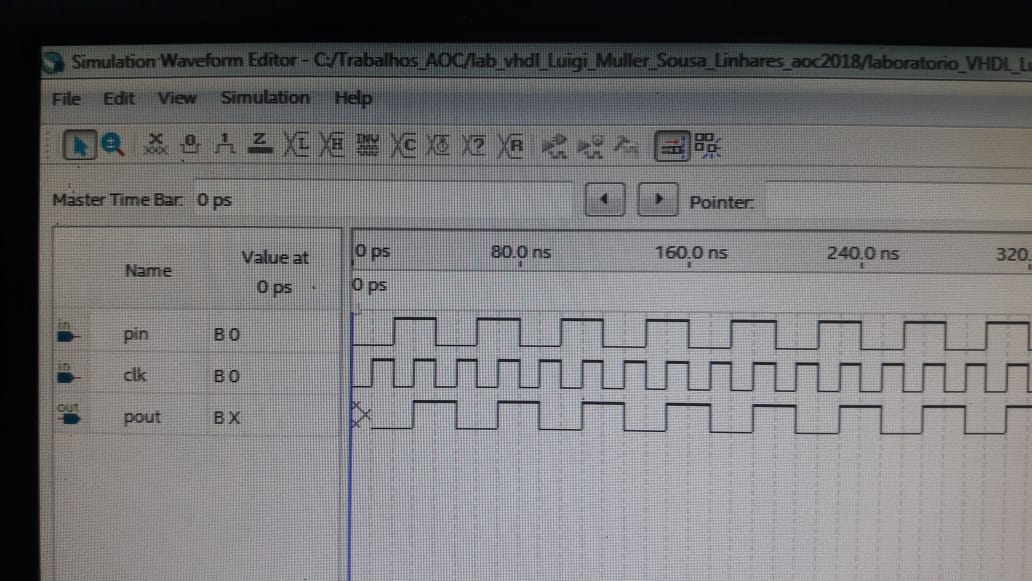
clk -> porta referente ao clock;

pin -> porta de entrada de dados.

Portas de saída:

pout -> porta de saída de dados.

Esse registrador transfere o bit da entrada (porta pin) para a saída (porta pout) somente quando há um pulso de clock.



Ele está inicialmente sem valor definido já que ele aguarda que o clock esteja ativado para receber o valor da entrada. Caso o clock já viesse em borda alta, não haveria isso.

Registrador tipo JK:

Arquivo: registrador\_tipo\_jk.vhd

Portas de entrada:

clock -> porta referente ao clock;

J -> porta de entrada de dados;

K -> porta de entrada de dados.

Portas de saída:

Q -> porta de saída de dados;

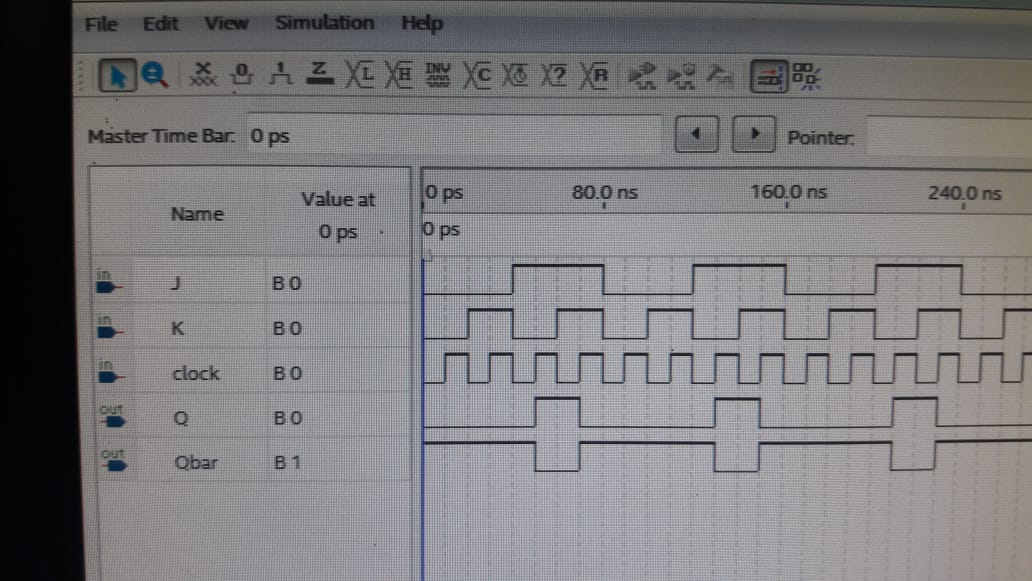
Qbar -> porta de saída de dados;

Esse registrador somente trata os bits de entrada de dados para retornar nas saídas J e K. Ele trata da seguinte forma:

|  |  |  |
| --- | --- | --- |
| J | K | Q |
| 1 | 1 | Q’ |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 0 | 0 | Q |

OBS: Q’ significa Q negado.

A porta Qbar é sempre a negação da porta Q.



Analisando as bordas de cada porta, entende-se que ela segue conforme o desejado.

Componente 2)

Componente 5)

Memória ROM de 16 bits

Arquivo: memoria\_ROM\_16\_bits.vhd

Portas de entrada:

adress -> endereço da ROM que será lido ou escrito;

enable -> flag de leitura, caso ativado, ele lê no endereço o que está contida na memória ROM no endereço contido em adress;

Portas de entrada/saída:

saida -> porta de saída de dados.

Essa implementação simula uma memória ROM, como ela é só de escrita, não há uma flag de escrita de dados. O endereço é colocado e a saida será os dados daquele endereço.

Componente 6)

Memória RAM de 16 bits

Arquivo: memoria\_ram\_16\_bits.vhd

Portas de entrada:

adress -> endereço da RAM que será lido ou escrito;

wr -> flag de escrita, caso ativado, ele escreve no endereço o que está contida na porta data;

rd -> flag de leitura, caso ativado, ele lê no endereço o que está contida na memória RAM no endereço contido em adress;

Portas de entrada/saída:

data -> porta de saída de dados.

Essa implementação simula uma memória RAM, ela possui a funcionalidade de escrita e leitura.

Componente 12)

Arquivo: maquina\_de\_estados.vhd

Portas de entrada:

P -> porta de entrada de dados;

clock -> porta referente ao clock.

Portas de saída:

R -> porta de saída de dados.

O código é uma implementação da máquina de estados;