

**UNIVERSIDADE DE SÃO PAULO**  
**ESCOLA POLITÉCNICA**  
**DEPARTAMENTO DE ENGENHARIA DE COMPUTAÇÃO E**  
**SISTEMAS DIGITAIS**  
**PCS3635 - LABORATÓRIO DIGITAL I**



**RELATÓRIO DA EXPERIÊNCIA 5**

Felipe Luis Korbes - NUSP: 13682893

Henrique Eduardo dos Santos de Souza - NUSP: 13679972

João Felipe de Souza Melo - NUSP: 13682913

**Turma: 5**

**Professor: Reginaldo Arakaki**

**Data da experiência: 7/02/2024**

São Paulo

2024

# Sumário

<b>1. Introdução e Objetivos.....</b>	<b>1</b>
<b>2. Atividades pré-laboratório.....</b>	<b>1</b>
<b>2.1. Atividade 1 - Adaptações do Projeto.....</b>	<b>1</b>
<b>2.1.1 Testes.....</b>	<b>5</b>
<b>3. Planejamento da aula prática.....</b>	<b>12</b>
<b>3.1. Atividade 2 - Montagem e programação da FPGA.....</b>	<b>13</b>
<b>4. Relatório.....</b>	<b>14</b>
<b>4.1. Atividade 2: Testes e sinais de depuração.....</b>	<b>14</b>
<b>4.2. Atividade 3 – Desafio: Modificação do Sistema Digital.....</b>	<b>15</b>
<b>4.2.1. Testes e sinais de depuração.....</b>	<b>16</b>



## 1. Introdução e Objetivos

Nesta experiência, será desenvolvido um sistema digital acionado por um clock periódico. O sistema engloba fluxo de dados e unidade de controle, sendo verificado com ModelSim, sintetizado no Quartus Prime e testado em uma placa FPGA. A parte experimental visa criar um circuito que opera com sinal periódico como clock e processa dados de jogadas acionadas por chaves, adaptando o circuito anterior para utilizar esse clock e interface de entrada de dados com chaves.

## 2. Atividades pré-laboratório

### 2.1. Atividade 1 - Adaptações do Projeto

Para este experimento, foram introduzidos dois novos módulos no circuito para permitir a adaptação do experimento 4. Um desses módulos é o *edge\_detector*, que recebe como entrada o sinal de *clock*, *reset* e um *signal* que indica alterações nas chaves, indicando uma jogada realizada. O segundo módulo adicionado é um novo contador. Em comparação com o contador usado anteriormente, que incrementava a contagem em cada borda de subida do *clock*, este novo contador incrementa a contagem apenas quando recebe um sinal de contagem, eliminando a dependência intrínseca do contador em relação a cada borda de subida do *clock*. Além disso, esse novo contador é parametrizado, sendo possível mudar o número máximo da contagem.

Inicialmente, foi implementado o fluxo de dados do circuito para essa experiência, adicionando uma porta *OR* responsável por indicar quando uma jogada foi realizada, onde suas entradas são as chaves. Foi introduzido também o módulo *edge\_detector* mencionado anteriormente. Esse módulo recebe o sinal da porta *OR* e tem a responsabilidade de notificar quando uma nova jogada ocorreu, enviando esse sinal para a unidade de controle para a gestão dos estados, a entrada *reset* deste módulo tem o valor lógico LOW. A representação do diagrama de blocos do fluxo de dados está na Figura 1. Juntamente com o *edge\_detector*, foi substituído também o contador antigo pelo novo contador.

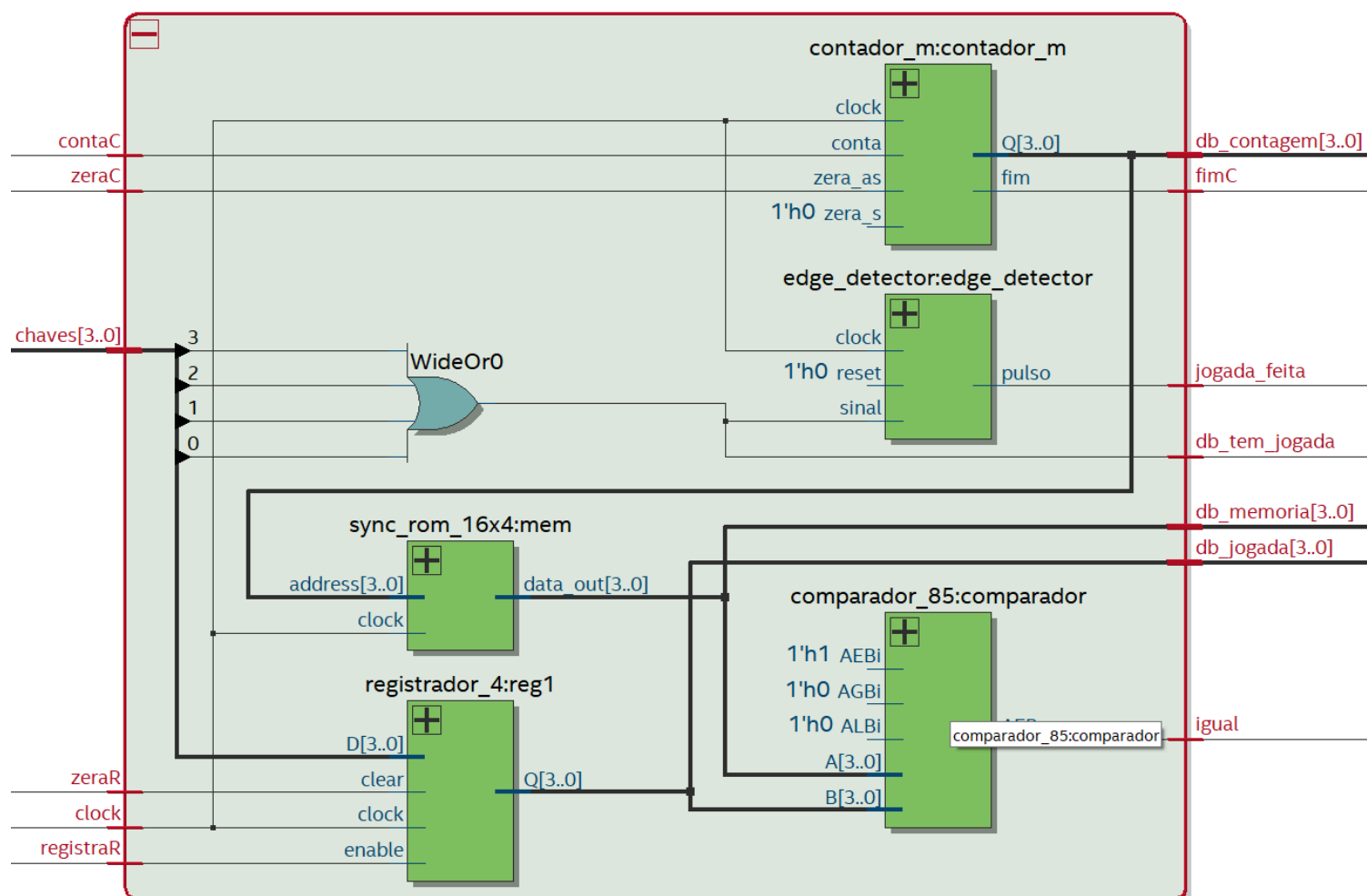


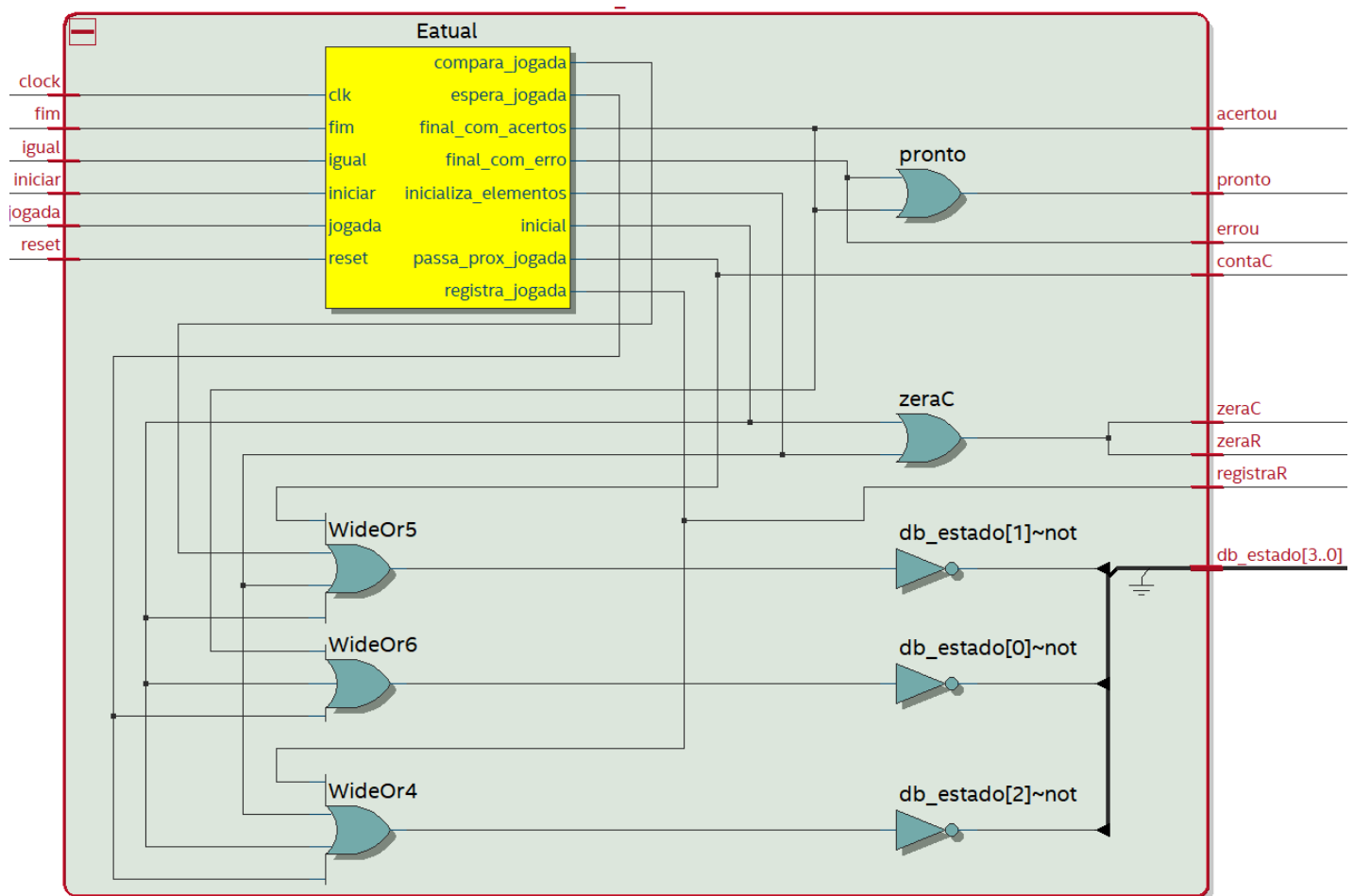
Figura 1 - Diagrama de blocos do fluxo de dados

Após a conclusão da implementação do fluxo de dados, adaptou-se a unidade de controle. Adicionou-se a entrada *jogada* e incluiu-se um novo estado, um que aguarda uma jogada. A lógica de mudança de estados também se alterou. Além dessas adições, os estados do circuito se mantêm semelhantes com o da última experiência, mudando somente pelo nome para torná-los mais intuitivos. Ademais, outras mudanças na lógica do circuito foram implementadas para acomodar o estado em que o circuito espera o jogador fazer uma jogada. O diagrama de estados do circuito está representado na Figura 2 e o diagrama de bloco da unidade de controle na Figura 3.

O funcionamento do circuito ocorre da seguinte maneira: quando ligado, o circuito começa no estado 0, iniciando efetivamente quando o sinal "iniciar" é ativado. Em seguida, passa para o estado 1 para inicializar os elementos, avançando diretamente para o estado 2, onde aguarda uma jogada do usuário.

[illegible]

*Figura 2 - Diagrama de estados do experimento*



*Figura 3 - Diagrama de blocos do da unidade de controle*

Após a finalização da unidade de controle, procedeu-se com a conexão de todos os componentes para formar o circuito final da experiência. Este circuito está representado na Figura 4. É importante observar que vários sinais de depuração presentes no circuito da experiência 4 foram removidos, devido à quantidade excessiva e à falta de relevância de alguns desses sinais.

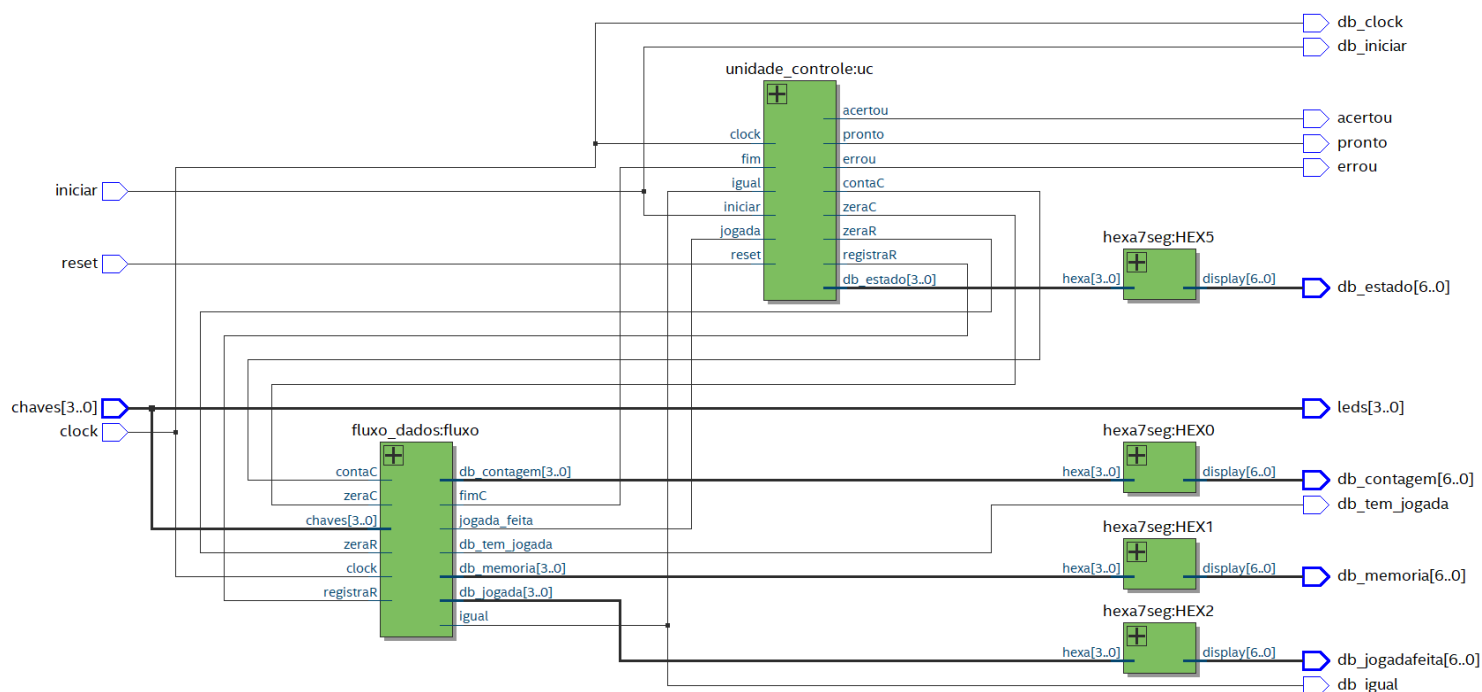







Figura 4 - Diagrama de blocos completo do circuito do experimento

### 2.1.1 Testes

Para validar a implementação mencionada, foram conduzidos dois testes de depuração. No primeiro teste são realizadas quatro jogadas corretas, seguidas por um erro na quinta jogada, enquanto no segundo teste, se obtém 16 acertos. As tabelas correspondentes a esses testes estão apresentadas nas Tabelas 1 e 2.

Cenário 1 - Erro na posição 4 da memória					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i.	Condições iniciais	reset=0 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	✓
1	Resetar o circuito	reset=1 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0	acertou=0 errou=0 pronto=0 db_igual=0	✓



			db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
2	Iniciar	reset=0 iniciar=1 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	
3	Faz jogada 0001	reset=0 iniciar=0 chaves=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	
4	Faz jogada 0010	reset=0 iniciar=0 chaves=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	
5	Faz jogada 0100	reset=0 iniciar=0 chaves=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	
6	Faz jogada 1000	reset=0 iniciar=0 chaves=1000	acertou=0 errou=0 pronto=0 db_igual=0-1-0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100	acertou=0 errou=0 pronto=0 db_igual=0-1-0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100	











			db_estado=3-4-5-2 db_jogada=1000	db_estado=3-4-5-2 db_jogada=1000	
7	Faz jogada 0001	reset=0 iniciar=0 chaves=0001	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-7 db_jogada=0001	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-7 db_jogada=0001	

Tabela 1 - Teste do circuito para erro na posição 4 de memória

Cenário 2 - 16 Acertos					
#	Operação	Sinais de entrada	Resultado esperado	Resultado observado	Veredito
c.i.	Condições iniciais	reset=0 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
1	Iniciar	reset=0 iniciar=1 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0010 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0010 db_jogada=0000	
2	Faz jogada 0001	reset=0 iniciar=0 chaves=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	
3	Faz jogada 0010	reset=0 iniciar=0 chaves=0010	acertou=0 errou=0 pronto=0	acertou=0 errou=0 pronto=0	

			db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	
4	Faz jogada 0100	reset=0 iniciar=0 chaves=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	
5	Faz jogada 1000	reset=0 iniciar=0 chaves=1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-5-2 db_jogada=1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-5-2 db_jogada=1000	
6	Faz jogada 0100	reset=0 iniciar=0 chaves=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0101 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0101 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0100	
7	Faz jogada 0010	reset=0 iniciar=0 chaves=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0110 db_memoria=0001 db_estado=3-4-5-2 db_jogada=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0110 db_memoria=0001 db_estado=3-4-5-2 db_jogada=0010	
8	Faz jogada 0001 (2x)	reset=0 iniciar=0 chaves=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 0111-1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 0111-1000	






			db_memoria varia 0001-0010 db_estado=3-4-5-2 (2x) db_jogada=0001	db_memoria varia 0001-0010 db_estado=3-4-5-2 (2x) db_jogada=0001	
9	Faz jogada 0010 (2x)	reset=0 iniciar=0 chaves=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1001-1010 db_memoria varia 0010-0100 db_estado=3-4-5-2 (2x) db_jogada=0010	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1001-1010 db_memoria varia 0010-0100 db_estado=3-4-5-2 (2x) db_jogada=0010	
10	Faz jogada 0100 (2x)	reset=0 iniciar=0 chaves=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1101-1110 db_memoria varia 1000-0001 db_estado=3-4-5-2 (2x) db_jogada=1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1101-1110 db_memoria varia 1000-0001 db_estado=3-4-5-2 (2x) db_jogada=1000	
11	Faz jogada 1000 (2x)	reset=0 iniciar=0 chaves=1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1101-1110 db_memoria varia 1000-0001 db_estado=3-4-5-2 (2x) db_jogada=1000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem varia 1101-1110 db_memoria varia 1000-0001 db_estado=3-4-5-2 (2x) db_jogada=1000	
12	Faz jogada 0001	reset=0 iniciar=0 chaves=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=1111 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=1111 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0001	
13	Faz jogada 0100	reset=0 iniciar=0 chaves=0100	acertou=1 errou=0 pronto=1 db_igual=1 db_iniciar=0 db_tem_jogada=1-0 db_contagem=1111 db_memoria=0100 db_estado=3-4-8 db_jogada=0100	acertou=1 errou=0 pronto=1 db_igual=1 db_iniciar=0 db_tem_jogada=1-0 db_contagem=1111 db_memoria=0100 db_estado=3-4-8 db_jogada=0100	

Tabela 2 - Teste do circuito para 16 acertos

Abaixo estão as figuras dos testes do código *circuito\_exp5.v* realizados no ModelSim:

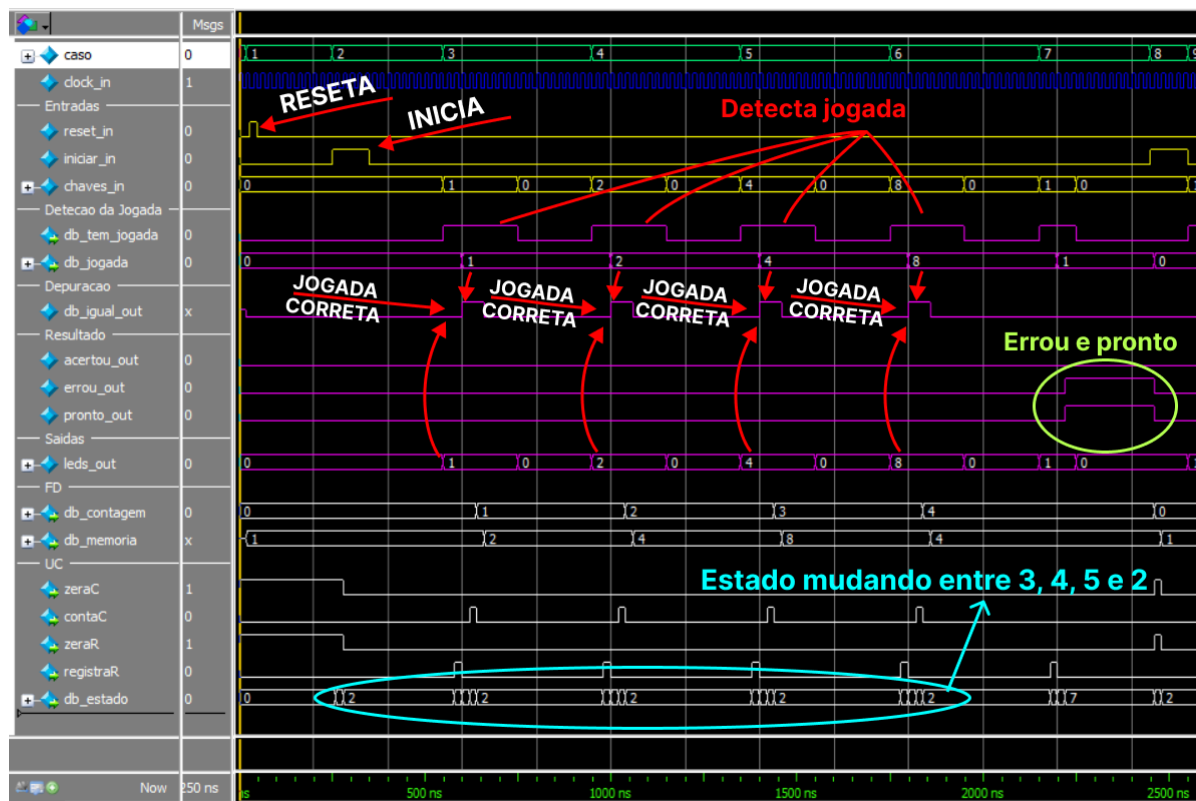


Figura 5 - Testes da tabela 1 realizados no ModelSim

Observe que no teste acima, os estados ficam alternando entre *registra\_jogada*, *compara\_jogada*, *passa\_prox\_jogada* e *espera\_jogada*.

Para o teste da tabela 2, devido a repetição de sinais, optou-se por incluir somente o começo das ondas e o final das ondas:

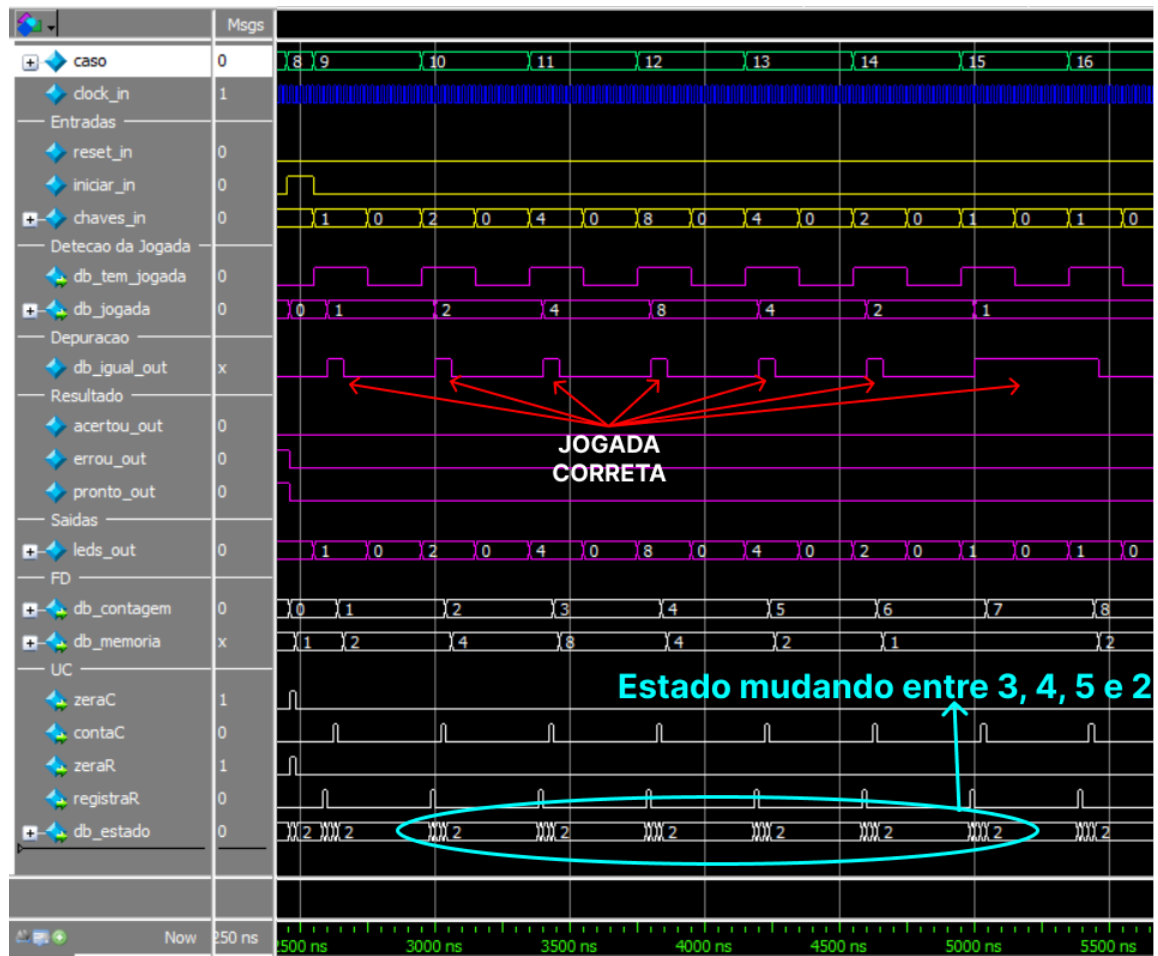


Figura 6 - Início dos testes da tabela 2 realizados no ModelSim

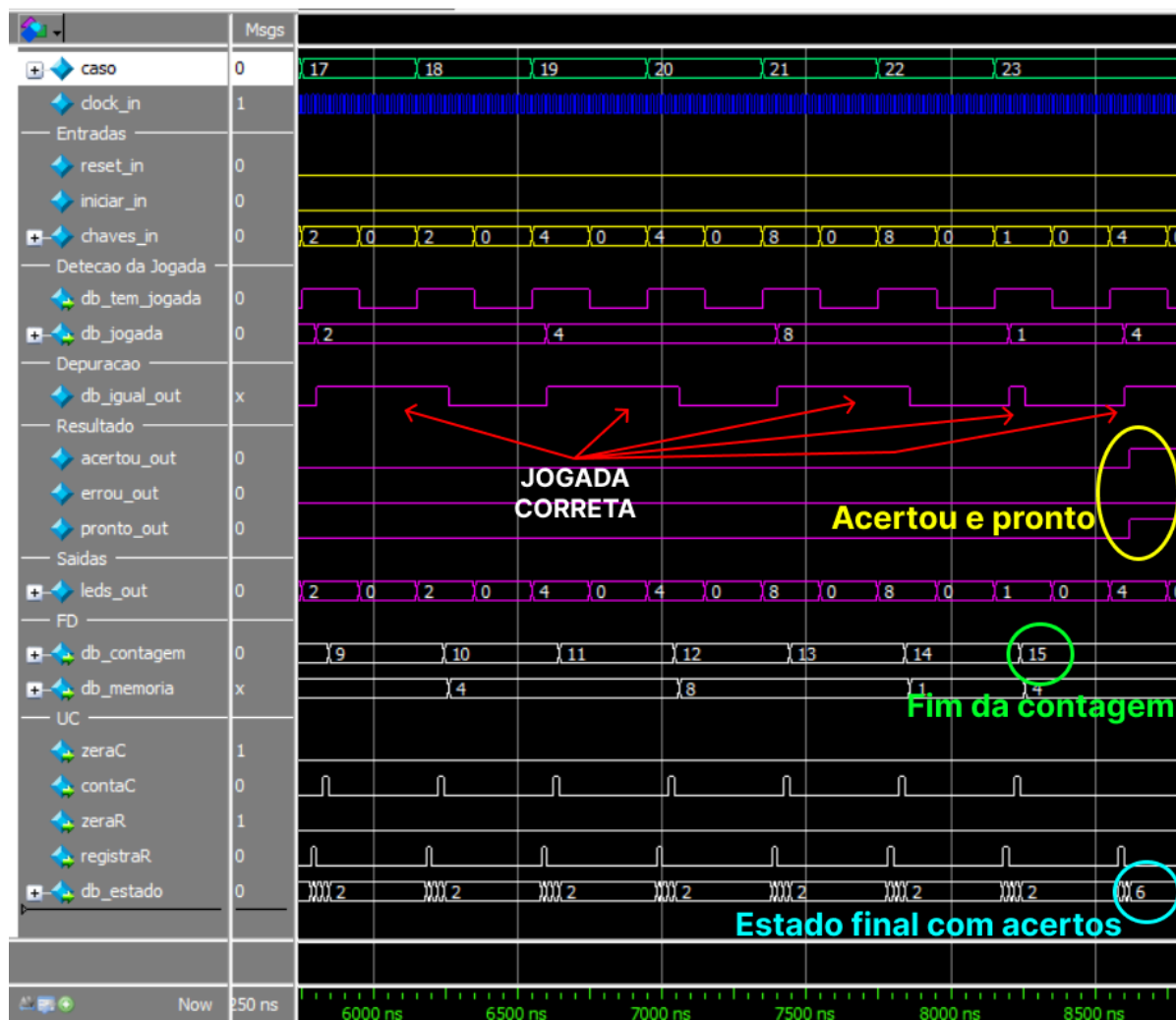


Figura 7 - Final dos testes da tabela 2 realizados no ModelSim

### 3. Planejamento da aula prática

Iniciará-se a aula prática com o download de todos os arquivos produzidos durante a etapa de planejamento e sua alocação no repositório local do computador do laboratório. Em seguida, conectará-se os pinos da placa Analog Discovery e da FPGA DE0-CV, de acordo com a tabela 3. Por fim, no Intel Quartus, realizará-se a síntese e a compilação dos arquivos, para verificar integridade e funcionamento. Caso não haja problema com essas etapas, programa-se então a placa FGPA DE0-CV com o circuito e inicia-se a bateria de testes sequencialmente. Se o circuito for aprovado nos testes, registra-se o resultado no relatório técnico. Em caso de falha, a equipe irá: (a) observar o comportamento dos sinais de depuração, em especial, os dos leds, (b) discutir as hipóteses para o problema, (c) discutir a lógica

do circuito nos arquivos verilog e (d) testar o circuito feitas as devidas correções. Esse ciclo deve repetir-se até que todos os testes sejam executados e aprovados.

Concluída essa etapa, a equipe receberá o desafio do professor. A partir daí, passará a discutir a nova lógica do circuito, avaliando quais as necessidades de mudança possíveis no fluxo de dados, na unidade de controle, na máquina de estados ou nos módulos individuais que compõem o circuito. Com o projeto da nova solução, refatorará-se o código para que se adapte às mudanças propostas e programará-se a FPGA com o novo circuito. Então, submeterá-se o circuito a uma nova bateria de testes, feitas de acordo com o desafio. Em caso de ele não ser aprovado na bateria de testes, realizará-se um dos testes anteriores, a fim de verificar se o circuito ainda mantém-se funcional e correto para os casos já previstos; se estiver, então ele é retrocompatível com a lógica antiga; caso contrário, revisará-se as mudanças e discutirá-se as possíveis fontes de erro. Esse ciclo deve repetir-se até que o circuito seja capaz de cumprir o desafio.

### 3.1. Atividade 2 - Montagem e programação da FPGA

Abaixo está a tabela dos pinos dos dados de entradas, saídas e sinais de depuração utilizados pelo grupo:

Sinal	Pino na Placa DE0-CV	Pino na FPGA	Analog Discovery
CLOCK	GPIO_0_D0	PIN_N16	StaticIO – LED – DIO0 e Patterns – Clock – 1 kHz
RESET	GPIO_0_D1	PIN_B16	StaticIO – Button 0/1 – DIO1
INICIAR	chave SW0	PIN_U13	-
CHAVES(0)	GPIO_0_D11	PIN_R22	StaticIO – Button 0/1 – DIO2
CHAVES(1)	GPIO_0_D13	PIN_T22	StaticIO – Button 0/1 – DIO3
CHAVES(2)	GPIO_0_D15	PIN_N19	StaticIO – Button 0/1 – DIO4
CHAVES(3)	GPIO_0_D17	PIN_P19	StaticIO – Button 0/1 – DIO5
LEDS(0)	Led LEDR0	PIN_AA2	-
LEDS(1)	Led LEDR1	PIN_AA1	-
LEDS(2)	Led LEDR2	PIN_W2	-



LEDS(3)	Led LEDR3	PIN_Y3	-
PRONTO	Led LEDR4	PIN_N2	-
ACERTOU	Led LEDR5	PIN_N1	-
ERROU	Led LEDR6	PIN_U2	-
DB_IGUAL	Led LEDR7	PIN_U1	-
DB_CLOCK	Led LEDR8	PIN_L2	-
DB_TEM_JOGA DA	Led LEDR9	PIN_L1	-
DB_CONTAGEM	Display HEX0	DB_CONTAGEM[0]=PIN_U21 DB_CONTAGEM[1]=PIN_V21 DB_CONTAGEM[2]=PIN_W22 DB_CONTAGEM[3]=PIN_W21 DB_CONTAGEM[4]=PIN_Y22 DB_CONTAGEM[5]=PIN_Y21 DB_CONTAGEM[6]=PIN_AA22	-
DB_MEMORIA	Display HEX1	DB_MEMORIA[0]=PIN_AA20 DB_MEMORIA[1]=PIN_AB20 DB_MEMORIA[2]=PIN_AA19 DB_MEMORIA[3]=PIN_AA18 DB_MEMORIA[4]=PIN_AB18 DB_MEMORIA[5]=PIN_AA17 DB_MEMORIA[6]=PIN_U22	-
DB_JOGADAFEITA	Display HEX2	DB_JOGADAFEITA[0]=PIN_Y19 DB_JOGADAFEITA[1]=PIN_AB17 DB_JOGADAFEITA[2]=PIN_AA10 DB_JOGADAFEITA[3]=PIN_Y14 DB_JOGADAFEITA[4]=PIN_V14 DB_JOGADAFEITA[5]=PIN_AB22 DB_JOGADAFEITA[6]=PIN_AB21	-
DB_ESTADO	Display HEX5	DB_ESTADO[0]=PIN_N9 DB_ESTADO[1]=PIN_M8 DB_ESTADO[2]=PIN_T14 DB_ESTADO[3]=PIN_P14 DB_ESTADO[4]=PIN_C1 DB_ESTADO[5]=PIN_C2 DB_ESTADO[6]=PIN_W19	-

*Tabela 3 - Designação de Pinos para a Atividade 2*

## 4. Relatório

### 4.1. Atividade 2: Testes e sinais de depuração

Ao chegar no laboratório, foi realizada a configuração inicial, aberto o circuito nos quartos, ajustando o Waveforms e conectando o Analog Discovery à placa. Durante esse processo, registramos todos os sinais dos LEDs, chaves e displays

para facilitar a verificação subsequente. Com a conclusão bem-sucedida da etapa de configuração, foi transferido o circuito para a placa e procedeu-se à execução dos testes conforme especificados nas Tabelas 2 e 3. Todos os testes foram bem-sucedidos, tanto em baixas frequências, como 1 Hz, quanto em frequências mais elevadas, como 1 KHz e 1 MHz.

#### 4.2. Atividade 3 – Desafio: Modificação do Sistema Digital

O desafio desta experiência consistiu em implementar um mecanismo para detectar a inatividade do jogador por um período de 3 segundos, e que após esse tempo o circuito passa para o estado de final com erro. A abordagem adotada para resolver esse problema envolveu a adição de um *contador\_163*, que passaria a contar a partir de cada jogada, e um novo estado “*timeout*” ao circuito. Quando a contagem chega ao fim, envia-se um sinal de fim “inativo”, que irá provocar a transição do estado *espera\_jogada* para o estado *final\_com\_erro*. Esse contador executa a contagem ao longo de 3000 ciclos de clock, correspondendo a 3 segundos para um sinal de clock de 1 KHz.

O diagrama de estados atualizado para esse circuito pode ser visualizado na Figura 8 e o diagrama de blocos do circuito na Figura 9. Para facilitar a depuração, foram adicionados outros sinais, incluindo um sinal indicando o término da contagem dos 3 segundos, que foi integrado ao Waveforms. Além disso, foi introduzido um novo display de 7 segmentos, responsável por contar até 3 a cada 1000 ciclos de clock.

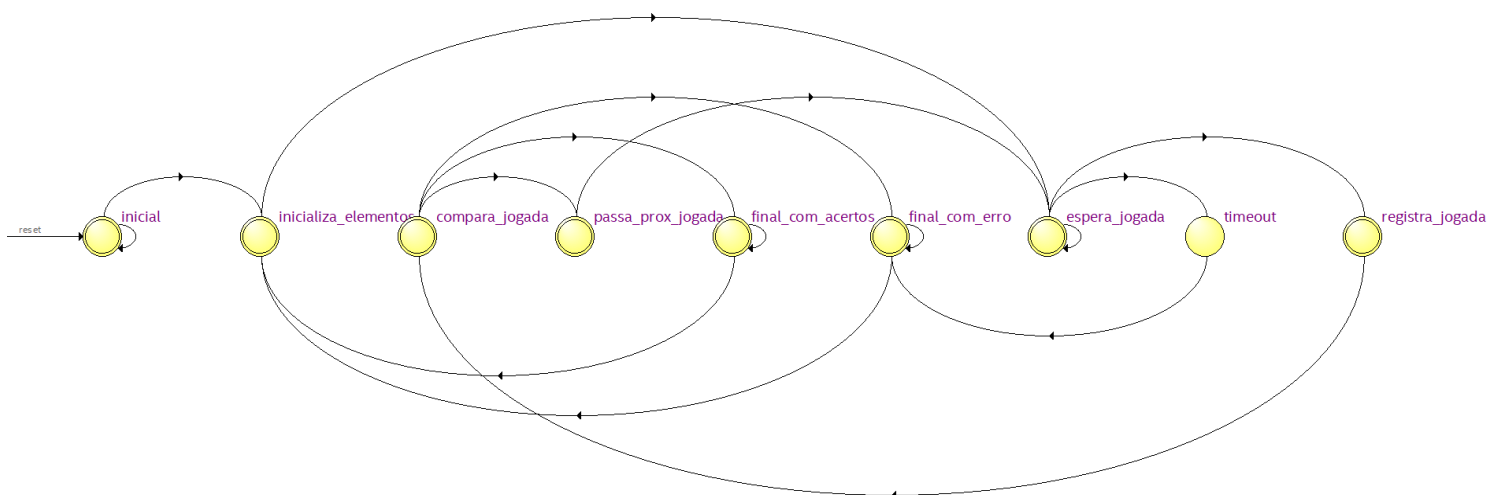


Figura 8 - Diagrama de estados do circuito do desafio

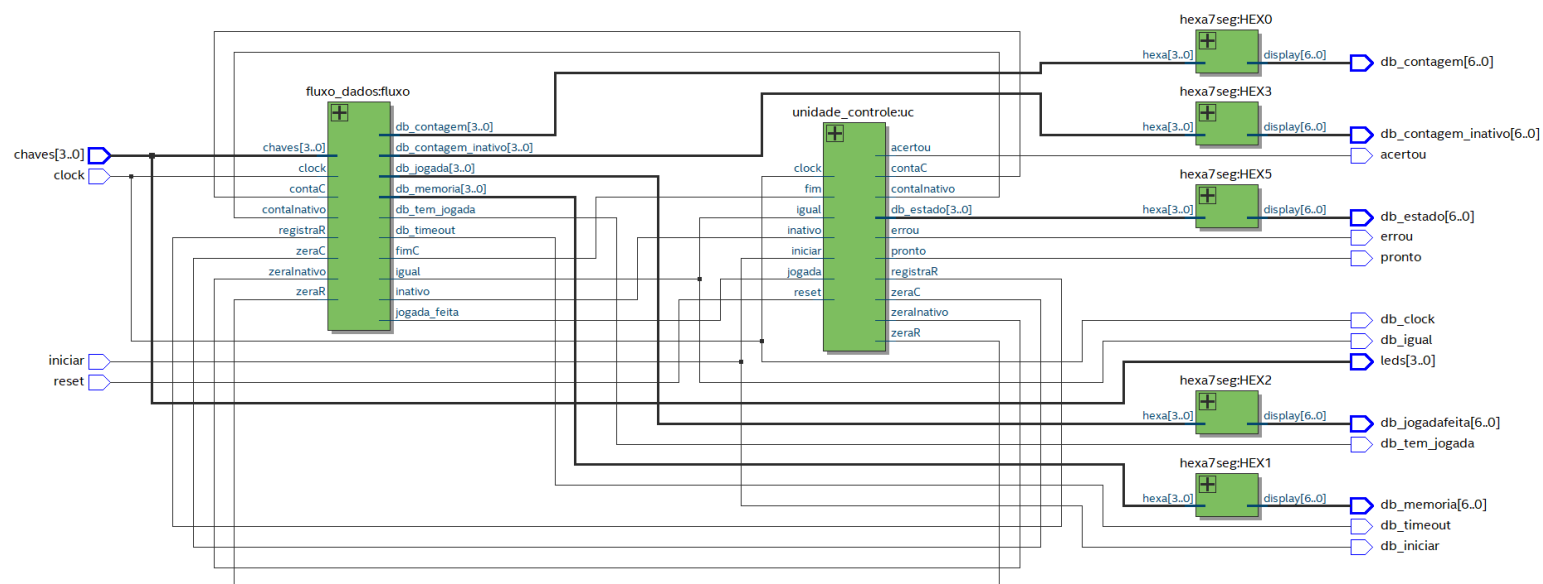


Figura 9 - Diagrama de blocos do circuito do desafio






A tabela de pinos continua sendo os mesmos da tabela 3, adicionando-se os seguintes pinos:




Sinal	Pino na Placa DE0-CV	Pino na FPGA	Analog Discovery
db_timeout	GPIO_0_D19	PIN_P17	StaticIO - LED - DIO7
db_contagem_inativo	Display HEX3	db_contagem_inativo[0]=PIN_Y16 db_contagem_inativo[1]=PIN_W16 db_contagem_inativo[2]=PIN_Y17 db_contagem_inativo[3]=PIN_V16 db_contagem_inativo[4]=PIN_U17 db_contagem_inativo[5]=PIN_V18 db_contagem_inativo[6]=PIN_V19	-

Tabela 4 - Designação de Pinos para desafio


#### 4.2.1. Testes e sinais de depuração




Com os sinais de depuração selecionados de acordo com a tabela 4 e o programa carregado na placa, ajustou-se os testes do circuito anterior para testar os sinais do circuito do desafio.

Cenário 1 - Inatividade na posição 4 da memória					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i	Condições iniciais	reset=0 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
1	Resetar circuito	reset=1 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
2	Iniciar	reset=0 iniciar=1 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	
3	Faz jogada 0001	reset=0 iniciar=0 chaves=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0001 db_memoria=0010 db_estado=3-4-5-2 db_jogada=0001	
4	Faz jogada 0010	reset=0 iniciar=0 chaves=0010	acertou=0 errou=0 pronto=0	acertou=0 errou=0 pronto=0	

			db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0010 db_memoria=0100 db_estado=3-4-5-2 db_jogada=0010	
5	Faz jogada 0100	reset=0 iniciar=0 chaves=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_tem_jogada=1-0 db_contagem=0011 db_memoria=1000 db_estado=3-4-5-2 db_jogada=0100	
6	Faz jogada 1000	reset=0 iniciar=0 chaves=1000	acertou=0 errou=0 pronto=0 db_igual=0-1-0 db_iniciar=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-5-2 db_jogada=1000	acertou=0 errou=0 pronto=0 db_igual=0-1-0 db_iniciar=0 db_timeout=0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=3-4-5-2 db_jogada=1000	
7	Inatividade	reset=0 iniciar=0 chaves=0000	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_timeout=1-0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=8-7 db_jogada=0100	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_timeout=1-0 db_tem_jogada=1-0 db_contagem=0100 db_memoria=0100 db_estado=8-7 db_jogada=0100	

*Tabela 5 - Teste do circuito para inatividade na posição 4 de memória*

Cenário 2 - Inatividade sem jogar					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i .	Condições iniciais	reset=0 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0	

			db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
1	Resetar o circuito	reset=1 iniciar=0 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=0000 db_jogada=0000	
2	Iniciar	reset=0 iniciar=1 chaves=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	acertou=0 errou=0 pronto=0 db_igual=0 db_iniciar=0 db_timeout=0 db_tem_jogada=0 db_contagem=0000 db_memoria=0001 db_estado=1-2 db_jogada=0000	
3	Não joga	reset=0 iniciar=0 chaves=0000	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_timeout=1-0 db_tem_jogada=1-0 db_contagem=0000 db_memoria=0001 db_estado=8-7 db_jogada=0000	acertou=0 errou=1 pronto=1 db_igual=0 db_iniciar=0 db_timeout=1-0 db_tem_jogada=1-0 db_contagem=0000 db_memoria=0001 db_estado=8-7 db_jogada=0000	

*Tabela 6 - Teste do circuito para inatividade sem jogar*

Além dos testes das Tabelas 5 e 6, foram também conduzidas análises das formas de onda do circuito para verificar o funcionamento dos sinais internos do circuito, as quais podem ser vistas na Figura 10.

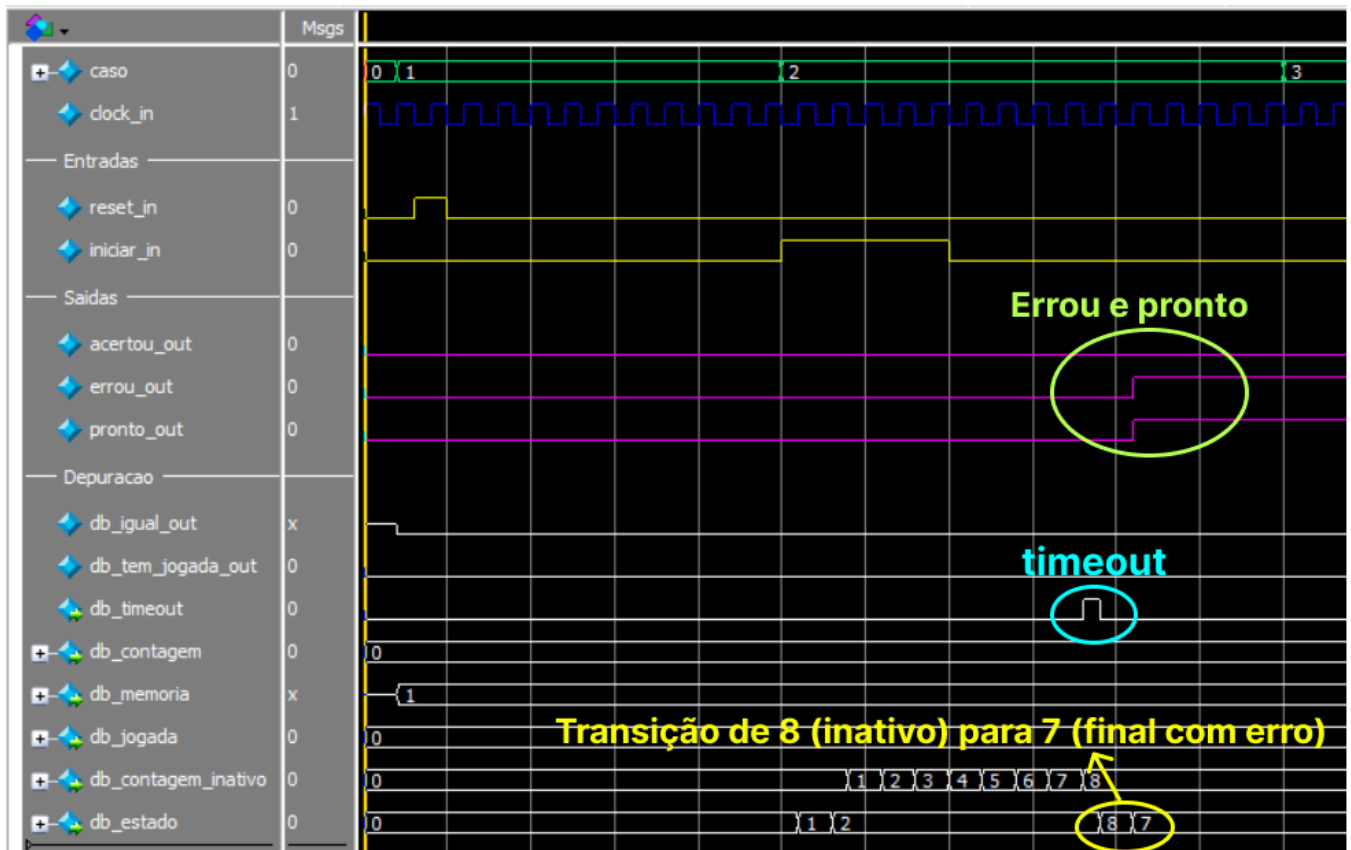


Figura 10 - Sinal de ondas do desafio no Modelsim

Observe as transições de estado, onde, a partir do sinal timeout ocorre a transição de estados para o 8 (*timeout*) e para o 7 (*final\_com\_erro*).