

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ENGENHARIA DE COMPUTAÇÃO E
SISTEMAS DIGITAIS
PCS3635 - LABORATÓRIO DIGITAL I



PLANEJAMENTO DA EXPERIÊNCIA 6

Felipe Luis Korbes - NUSP: 13682893

Henrique Eduardo dos Santos de Souza - NUSP: 13679972

João Felipe de Souza Melo - NUSP: 13682913

Turma: 5

Professor: Reginaldo Arakaki

Data da experiência: 21/02/2024

São Paulo

2024

Sumário

1. Introdução e Objetivos.....	1
2. Atividades pré-laboratório.....	1
2.1. Atividade 1: Projeto Lógico.....	1
2.1.1 Testes.....	4
2.2. Atividade 2 – Implementação e Síntese.....	15
3. Planejamento da aula prática.....	16
4. Relatório.....	16
4.1. Atividade 2: Testes e sinais de depuração.....	16
4.2. Atividade 3 – Desafio: Modificação do Sistema Digital.....	16
4.2.1. Testes e sinais de depuração.....	17

1. Introdução e Objetivos

Esta experiência propõe a criação de uma versão inicial do circuito do Jogo do Desafio da Memória, inspirado nos brinquedos Genius (Estrela) e Simon (Hasbro). Seguindo as especificações da apostila e as dicas de projeto fornecidos, o desenvolvimento segue com o modelo do projeto anterior, passando por algumas mudanças para a adaptação dessa experiência. O circuito será testado e verificado com uma tabela de testes, cuja simulação será feita no ModelSim, e após isso será preparado para síntese com o Intel Quartus Prime.

2. Atividades pré-laboratório

2.1. Atividade 1: Projeto Lógico

Iniciou-se a montagem do circuito mediante a adaptação da unidade de controle, incorporando alguns estados adicionais. Para isso, utilizou-se como guia o diagrama de estados fornecido, o qual está representado na Figura 1.

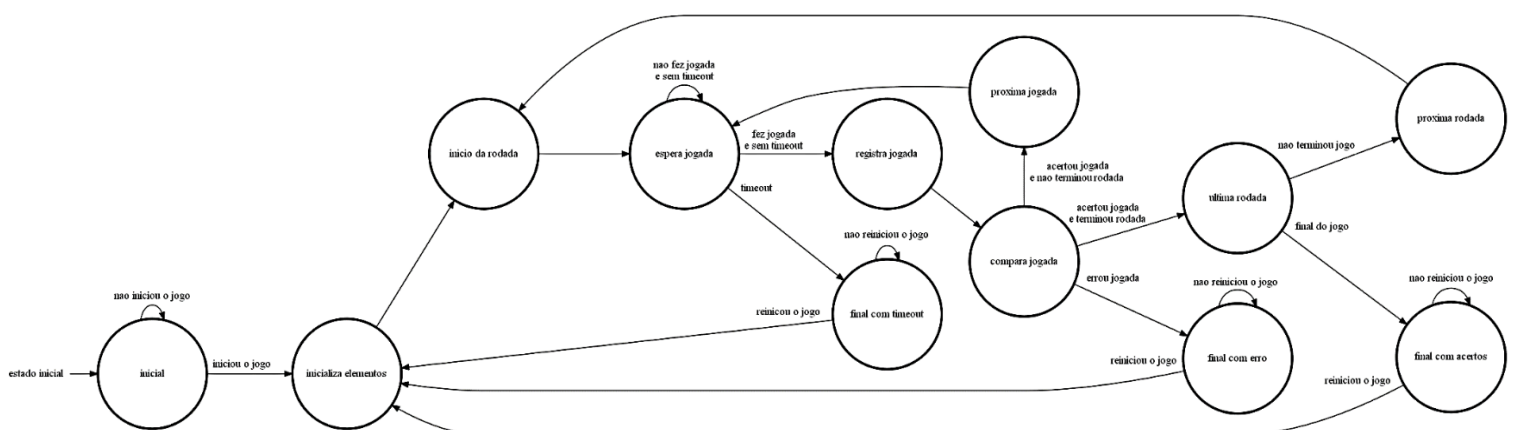


Figura 1 - Diagrama de estados de alto nível do diagrama da experiência

Após a conclusão dessa adaptação, procedeu-se à instanciização de um novo contador no fluxo de dados, e o *circuito_jogo_base* foi ajustado para acomodar essas alterações. Além disso, foi feita a modificação dos nomes das entradas dos módulos, bem como o nome dos arquivos e suas conexões internas, assegurando assim a consistência e alinhamento com as especificações do projeto.

A estrutura de fluxo de dados do projeto é composta por dois contadores binários com reset e contagens assíncronas, uma ROM que armazena as jogadas a serem realizadas, um registrador que registra a jogada feita pelo jogador, dois comparadores (um utilizado para comparar as jogadas e outro como controle para

as rodadas), um *edge_detector* e uma porta OR que colaboram para o registro da jogada do jogador. Por fim, há um contador normal síncrono destinado a contabilizar a inatividade do jogador. O diagrama de blocos do fluxo de dados pode ser visualizado na Figura 2.

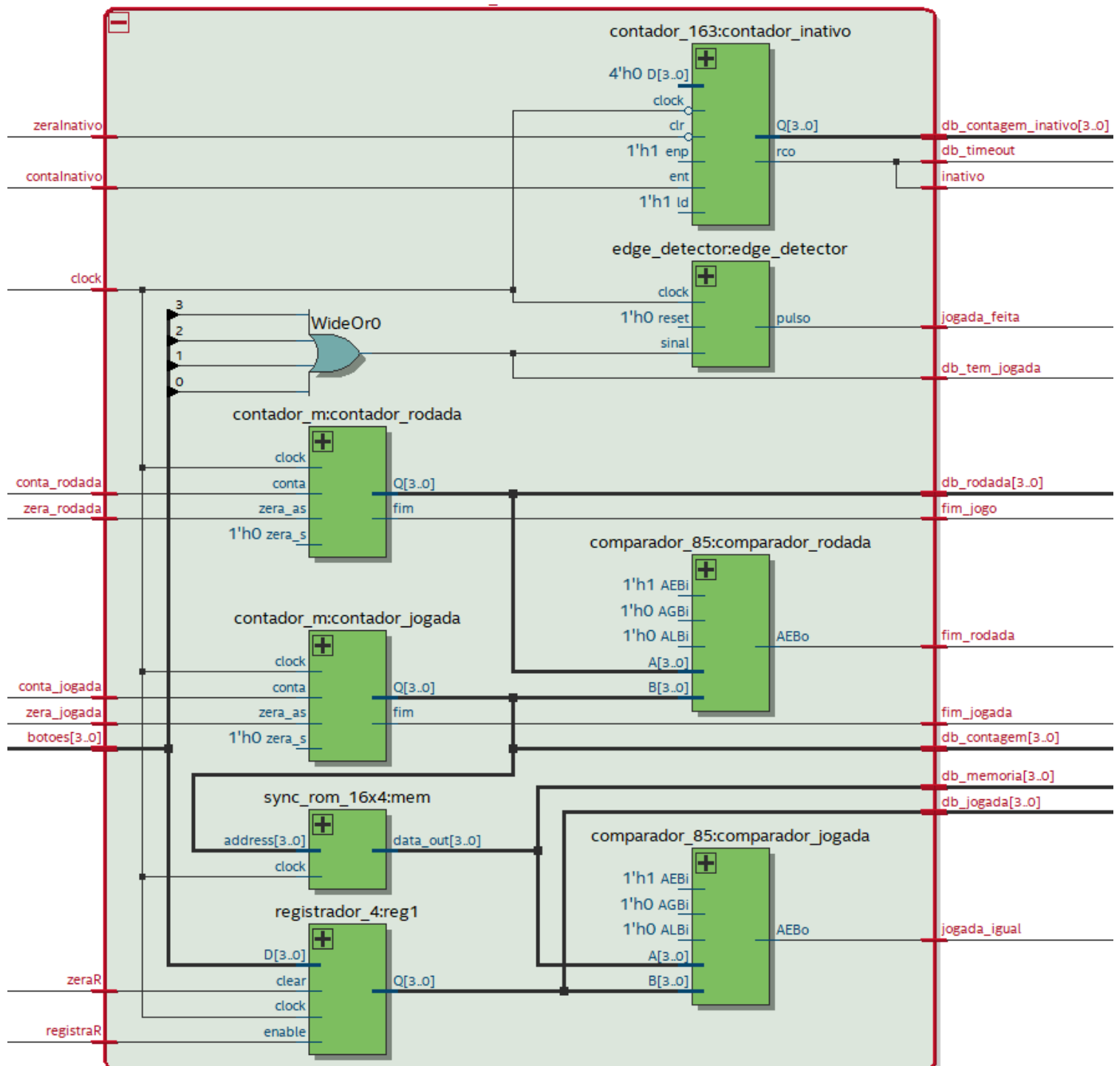


Figura 2 - Diagrama de blocos do fluxo de dados

Abaixo está o diagrama de transição de estados em um nível mais detalhado do fluxo de dados do circuito.

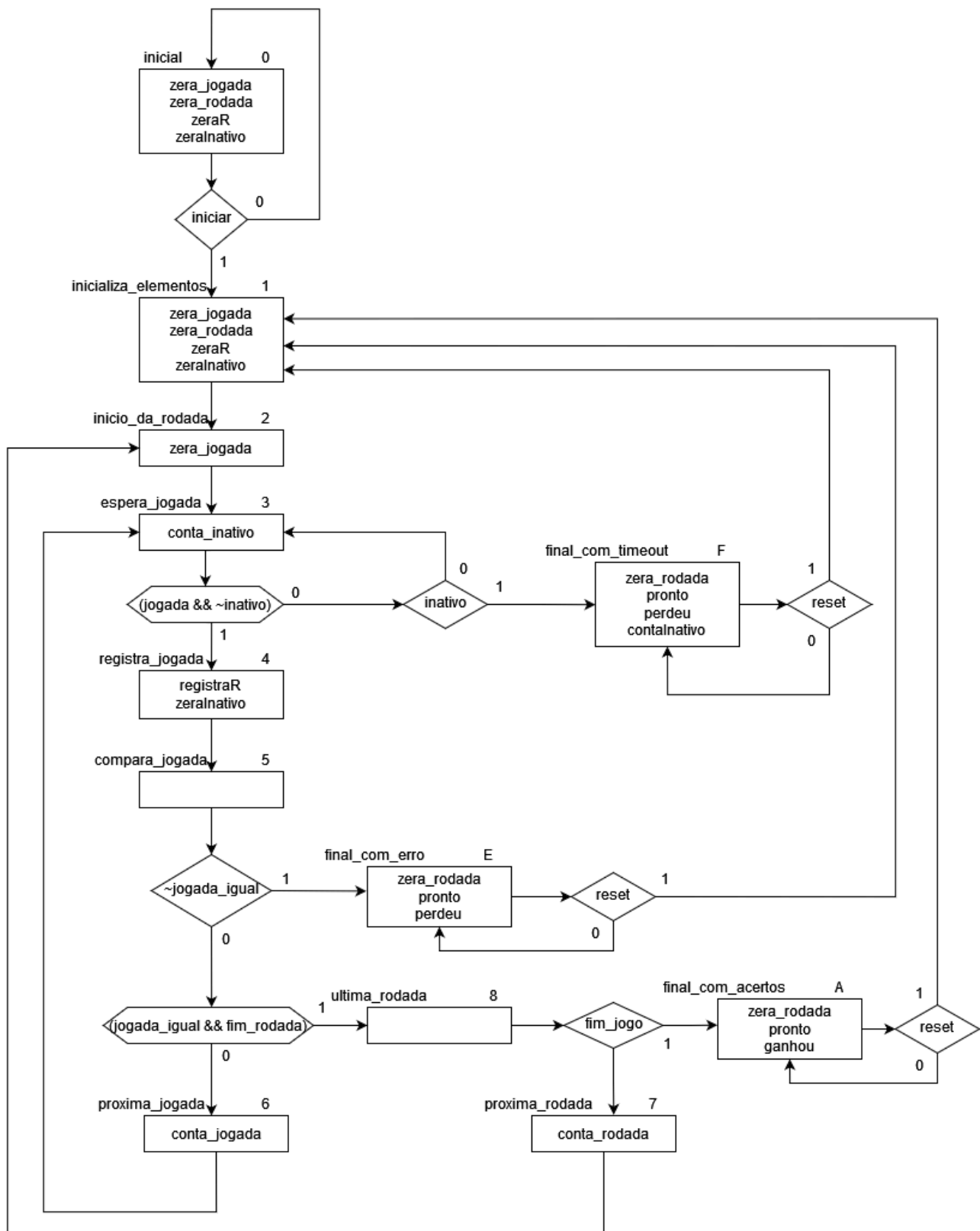


Figura 3 - Diagrama de transição de estados

2.1.1 Testes

Com o fluxo de dados concluído e o circuito implementado em Verilog, foram criados três casos de teste para avaliar o desempenho do circuito. Cada um desses casos de teste está detalhado nas tabelas a seguir.

Cenário 1 - Erro na rodada 4					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i	Condições iniciais	reset=0 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
1	Resetar o circuito	reset=1 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
2	Iniciar	reset=0 iniciar=1	ganhou=0 perdeu=0 pronto=0 db_iniciar=0-1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	
3	Joga rodada 1	reset=0 iniciar=0 botões=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0-1 db_tem_jogada=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=1 db_tem_jogada=0	

			timeout=0 db_jogadafeita=1 db_rodada=1 db_contagem=0 db_memoria=1 db_estado=4-5-8-7-2-3	timeout=0 db_jogadafeita=1 db_rodada=1 db_contagem=0 db_memoria=1 db_estado=4-5-8-7-2-3	
4	Continua jogando até rodada 4	reset=0 iniciar=0 botões=0-1 0-1-2 0-1-2-3 3 (jogada errada)	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0-1 db_tem_jogada=0 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=2-3-4 db_contagem=1-2-3 db_memoria=1-2-4-8 db_estado=4-5-6-3 e 4-5-8-7-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=1 db_tem_jogada=0 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=2-3-4 db_contagem=1-2-3 db_memoria=1-2-3-4 db_estado=4-5-6-3 e 4-5-8-7-2-3	
5	Erra jogada	reset=0 iniciar=0 chaves=3	ganhou=0 perdeu=1 pronto=1 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=8 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=4-5-E	ganhou=0 perdeu=1 pronto=1 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=8 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=4-5-E	

Tabela 1 - Teste do circuito para erro na rodada 4

Cenário 2 - Acertar todas as rodadas					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i.	Condições iniciais	reset=0 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
1	Resetar o circuito	reset=1 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0	

			db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
2	Iniciar	reset=0 iniciar=1	ganhou=0 perdeu=0 pronto=0 db_iniciar=0-1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	
3	Jogar até a rodada E	reset=0 iniciar=0 botões= 0-1 0-1-2 0-1-2-3 0-1-2-3-2 0-1-2-3-2-1 0-1-2-3-2-1-0 0-1-2-3-2-1-0-0 0-1-2-3-2-1-0-0-1 0-1-2-3-2-1-0-0-1-1 0-1-2-3-2-1-0-0-1-1-2 0-1-2-3-2-1-0-0-1-1-2-2 0-1-2-3-2-1-0-0-1-1-2-2-3 0-1-2-3-2-1-0-0-1-1-2-2-3-3 0-1-2-3-2-1-0-0-1-1-2-2-3-3-0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0-1 db_tem_jogada=0-1 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=1-2-3-4-5-6-7-8-9-A-B-C-D-E db_contagem=1-2-3-4-5-6-7-8-9-A-B-C-D-E db_memoria=1-2-4-8 db_estado=4-5-6-3 e 4-5-8-7-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0-1 db_tem_jogada=0-1 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=1-2-3-4-5-6-7-8-9-A-B-C-D-E db_contagem=1-2-3-4-5-6-7-8-9-A-B-C-D-E db_memoria=1-2-4-8 db_estado=4-5-6-3 e 4-5-8-7-2-3	
4	Jogar última rodada	reset=0 iniciar=0 botões= 0-1-2-3-2-1-0-0-1-1-2-2-3-3-1-2	ganhou=1 perdeu=0 pronto=1 db_iniciar=0 db_igual=0-1 db_tem_jogada=0 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=E-F db_contagem=1-2-3-4-5-6-7-8-9-A-B-C-D-E-F db_memoria=1-2-4-8 db_estado=4-5-6-3 e 4-5-8-A	ganhou=1 perdeu=0 pronto=1 db_iniciar=0 db_igual=0-1 db_tem_jogada=0 timeout=0 db_jogadafeita=1-2-4-8 db_rodada=E-F db_contagem=1-2-3-4-5-6-7-8-9-A-B-C-D-E-F db_memoria=1-2-4-8 db_estado=4-5-6-3 e 4-5-8-A	

Tabela 2 - Teste do circuito de acertar todas as rodadas

Cenário 3 - Inatividade na rodada 3					
#	Operação	Sinais de controle	Resultado esperado	Resultado observado	Veredito
c.i.	Condições iniciais	reset=0 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
1	Resetar o circuito	reset=1 iniciar=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=0	
2	Iniciar	reset=0 iniciar=1	ganhou=0 perdeu=0 pronto=0 db_iniciar=0-1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=1 db_igual=0 db_tem_jogada=0 timeout=0 db_jogadafeita=0 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=1-2-3	
3	Joga até a rodada 3	reset=0 iniciar=0 botões=0 0-1 0-1-2	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=0-1 db_tem_jogada=0 timeout=0 db_jogadafeita=1-2-4 db_rodada=1-2-3 db_contagem=1-2 db_memoria=1-2-4 db_estado=4-5-6-3 e 4-5-8-7-2-3	ganhou=0 perdeu=0 pronto=0 db_iniciar=0 db_igual=1 db_tem_jogada=0 timeout=0 db_jogadafeita=1 db_rodada=1 db_contagem=0 db_memoria=1 db_estado=4-5-8-7-2-3	
4	Inatividade	reset=0	ganhou=0	ganhou=0	

		iniciar=0	perdeu=1 pronto=1 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=1-0 db_jogadafeita=4 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=F	perdeu=1 pronto=1 db_iniciar=0 db_igual=0 db_tem_jogada=0 timeout=1-0 db_jogadafeita=4 db_rodada=0 db_contagem=0 db_memoria=1 db_estado=F	
--	--	-----------	---	---	--

Tabela 3 - Teste do circuito para inatividade na rodada 3

Abaixo, na figura 4, o resultado da simulação do cenário 1, para o qual há erro na rodada 4.

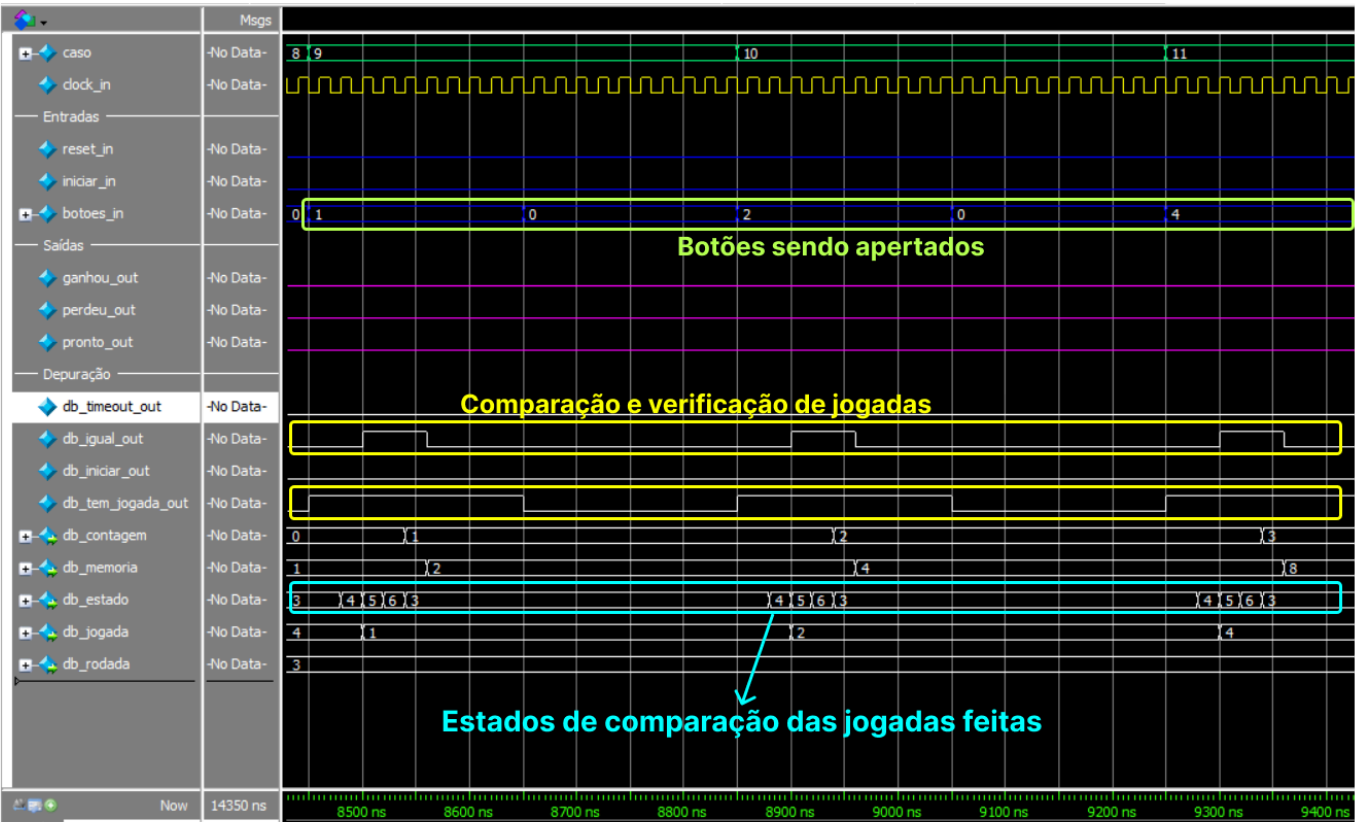


Figura 4 - Formato de onda das jogadas do cenário 1

Nessa figura, percebe-se as jogadas do jogador nos instantes de ativação de “botoes_in”. Para as três primeiras jogadas da rodada, percebe-se que o estado varia na sequência 4, 5, 6 e 3, que corresponde às transições para o caso de sucesso, ou seja, jogadas certas.

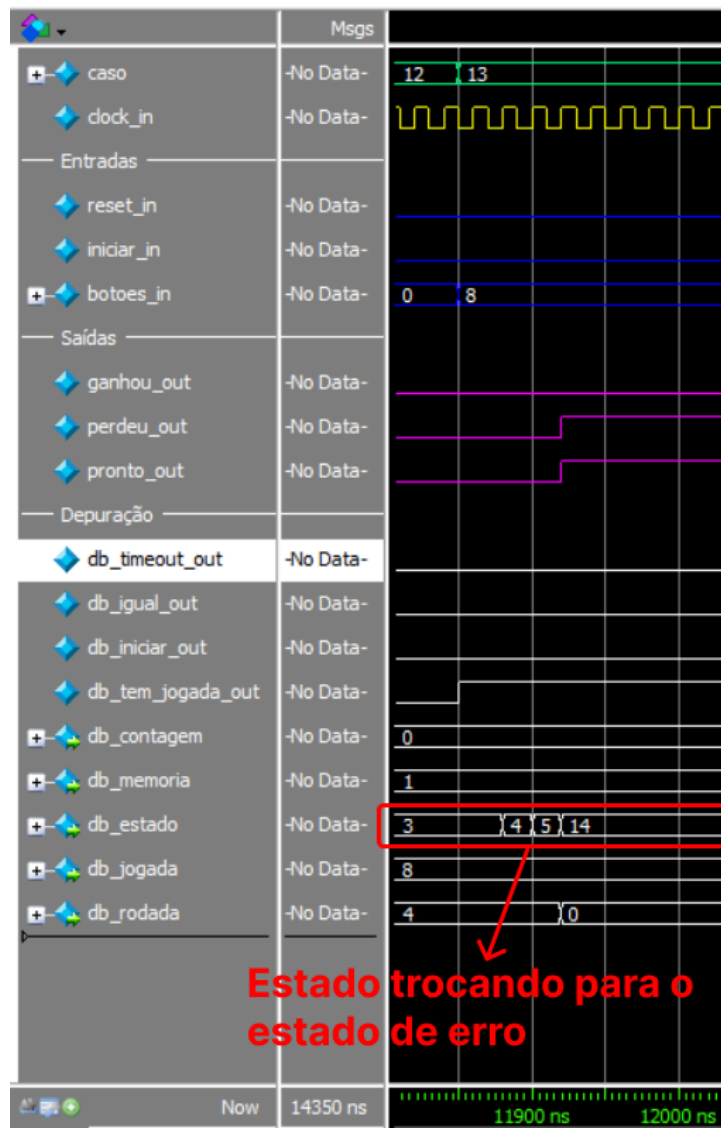


Figura 5 - Formato de onda das jogadas do caso 1 com erro

Para a quarta e última jogada, representada na figura 5, a transição observada foi 4, 5, 14, que corresponde ao final com erro, em conformidade com o esperado pelo caso de teste.

Além dos testes acima, foram também testadas e verificadas as formas de ondas do caso 2 e caso 3, como podem ser vistos nas figuras abaixo.

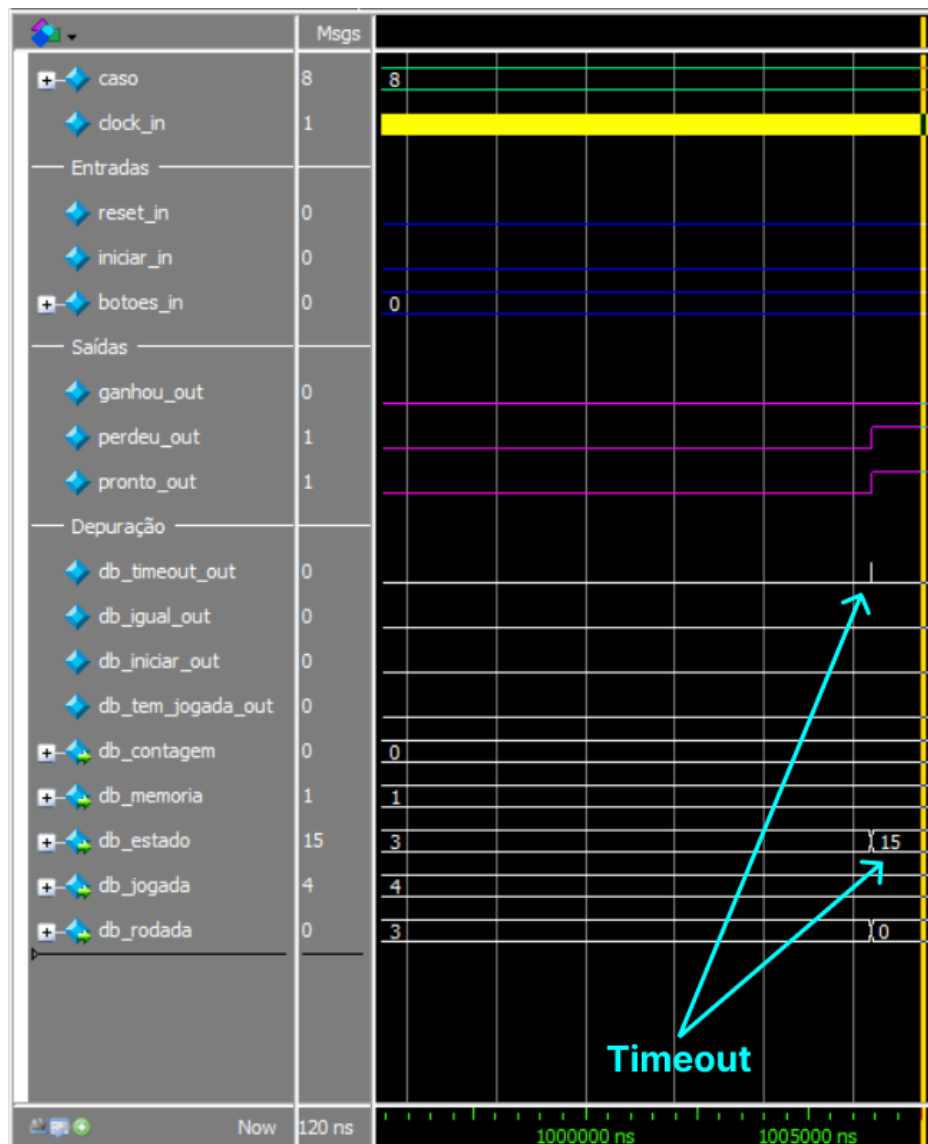


Figura 7 - Formato de onda das jogadas do caso 3 com "timeout"

As figuras 8 e 9 contém, respectivamente, o diagrama de blocos do circuito completo e a máquina de estados finita descrita pelo código em verilog, gerados pela ferramenta TRL Viewer do Quartus. Em relação ao diagrama de blocos, pode-se verificar que ele está consistente com a arquitetura proposta. A máquina de estados, por sua vez, também está de acordo com a que foi projetada. Portanto, ao nível de arquitetura, o circuito programado em verilog corresponde ao circuito que se deseja implementar.

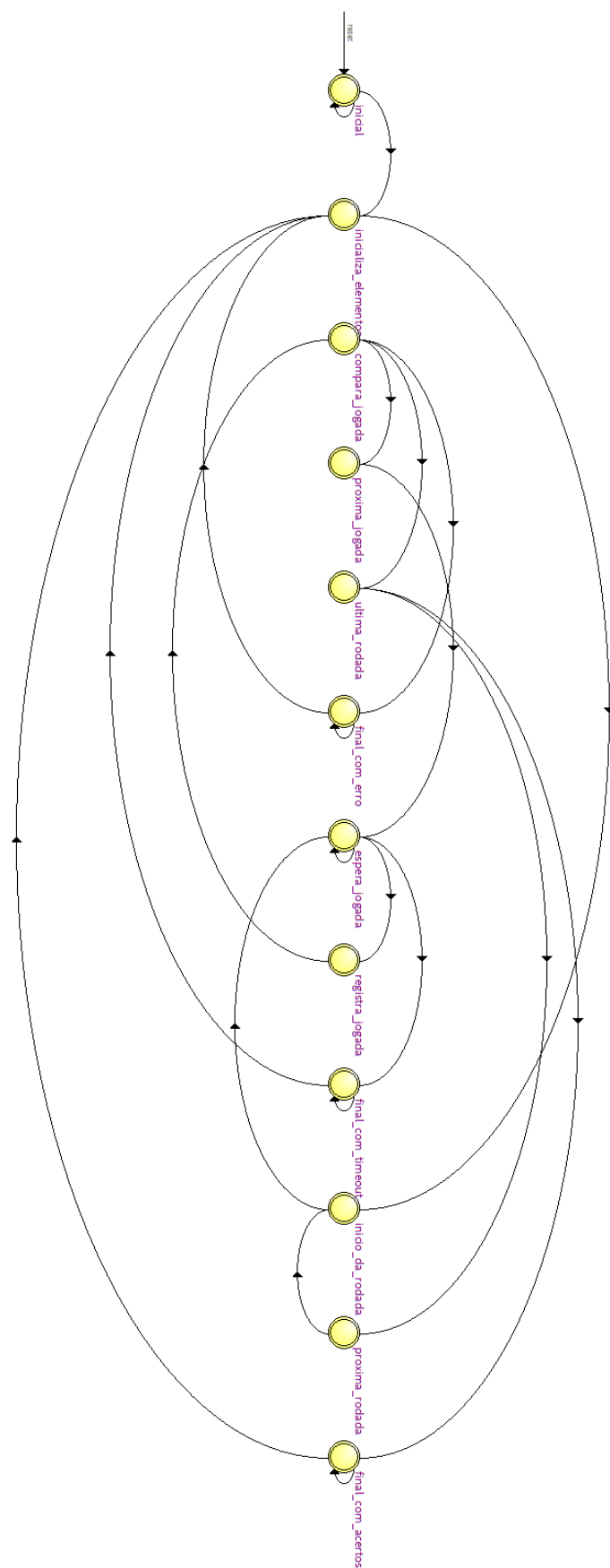


Figura 9 - Diagrama de transição de estados gerado pelo Quartus

2.2. Atividade 2 – Implementação e Síntese

Para essa experiência, a designação de pinos proposta encontra-se na tabela 4. Utilizou-se os leds e os displays para os sinais de depuração e os sinais da Analog Discovery para entradas do circuito e visualização dos principais sinais de controle.

Sinal	Pino na Placa DE0-CV	Pino na FPGA	Analog Discovery
CLOCK	GPIO_0_D0	PIN_N16	StaticIO – LED – DIO0 e Patterns – Clock – 1 kHz
RESET	GPIO_0_D1	PIN_B16	StaticIO – Button 0/1 – DIO1
JOGAR	GPIO_0_D3	PIN_C16	StaticIO – Button 0/1 – DIO2
BOTOES(0)	GPIO_0_D11	PIN_R22	StaticIO – Button 0/1 – DIO4
BOTOES(1)	GPIO_0_D13	PIN_T22	StaticIO – Button 0/1 – DIO5
BOTOES(2)	GPIO_0_D15	PIN_N19	StaticIO – Button 0/1 – DIO6
BOTOES(3)	GPIO_0_D17	PIN_P19	StaticIO – Button 0/1 – DIO7
LEDS(0)	GPIO_1_D17	PIN_A15	StaticIO - LED - DIO12
LEDS(1)	GPIO_1_D19	PIN_L8	StaticIO - LED - DIO13
LEDS(2)	GPIO_1_D21	PIN_B15	StaticIO - LED - DIO14
LEDS(3)	GPIO_1_D23	PIN_E14	StaticIO - LED - DIO15
PRONTO	GPIO_1_D15	PIN_J11	StaticIO - LED - DIO10
GANHOU	GPIO_1_D13	PIN_G11	StaticIO - LED - DIO9
PERDEU	GPIO_1_D11	PIN_J18	StaticIO - LED - DIO8
DB_IGUAL	Led LEDR7	PIN_U1	-
DB_CLOCK	Led LEDR0	PIN_AA2	-
DB_INICIAR	Led LEDR1	PIN_AA1	-
DB_TEM_JOGADA	Led LEDR2	PIN_W2	-

TIMEOUT	Led LEDR3	PIN_Y3	-
DB_CONTAGEM	Display HEX0	DB_CONTAGEM[0]=PIN_U21 DB_CONTAGEM[1]=PIN_V21 DB_CONTAGEM[2]=PIN_W22 DB_CONTAGEM[3]=PIN_W21 DB_CONTAGEM[4]=PIN_Y22 DB_CONTAGEM[5]=PIN_Y21 DB_CONTAGEM[6]=PIN_AA22	-
DB_MEMORIA	Display HEX1	DB_MEMORIA[0]=PIN_AA20 DB_MEMORIA[1]=PIN_AB20 DB_MEMORIA[2]=PIN_AA19 DB_MEMORIA[3]=PIN_AA18 DB_MEMORIA[4]=PIN_AB18 DB_MEMORIA[5]=PIN_AA17 DB_MEMORIA[6]=PIN_U22	-
DB_JOGADAFEITE	Display HEX2	DB_JOGADAFEITA[0]=PIN_Y19 DB_JOGADAFEITA[1]=PIN_AB17 DB_JOGADAFEITA[2]=PIN_AA10 DB_JOGADAFEITA[3]=PIN_Y14 DB_JOGADAFEITA[4]=PIN_V14 DB_JOGADAFEITA[5]=PIN_AB22 DB_JOGADAFEITA[6]=PIN_AB21	-
DB_ESTADO	Display HEX5	DB_ESTADO[0]=PIN_N9 DB_ESTADO[1]=PIN_M8 DB_ESTADO[2]=PIN_T14 DB_ESTADO[3]=PIN_P14 DB_ESTADO[4]=PIN_C1 DB_ESTADO[5]=PIN_C2 DB_ESTADO[6]=PIN_W19	-
DB_RODADA	Display HEX3	DB_RODADA[0]=PIN_Y16 DB_RODADA[1]=PIN_W16 DB_RODADA[2]=PIN_Y17 DB_RODADA[3]=PIN_V16 DB_RODADA[4]=PIN_U17 DB_RODADA[5]=PIN_V18 DB_RODADA[6]=PIN_V19	-

Tabela 4 - Designação de Pinos para a Atividade 2

3. Planejamento da aula prática

4. Relatório

4.1. Atividade 2: Testes e sinais de depuração

4.2. Atividade 3 – Desafio: Modificação do Sistema Digital

4.2.1. Testes e sinais de depuração