**UNIVERSIDADE DE SÃO PAULO**

**ESCOLA POLITÉCNICA**

**DEPARTAMENTO DE ENGENHARIA DE COMPUTAÇÃO E SISTEMAS DIGITAIS**

**PCS3635 - LABORATÓRIO DIGITAL I**

****

**RELATÓRIO DA EXPERIÊNCIA 2**

Felipe Luis Korbes - NUSP: 13682893

Henrique Eduardo dos Santos de Souza - NUSP: 13679972

João Felipe de Souza Melo - NUSP: 13682913

**Turma:** 5

**Bancada:** B5

**Professor:** Reginaldo Arakaki

**Data da** **experiência**: 17/janeiro/2024

São Paulo

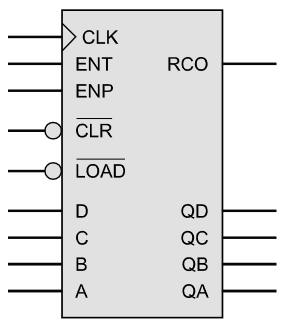
2024

1. **Objetivos**

Os objetivos desta experiência consistem na revisão de conceitos fundamentais da disciplina de Sistemas Digitais, abrangendo tópicos como a representação de números binários e comparação. Adicionalmente, pretende-se realizar a elaboração de um circuito digital simples, com ênfase na prática de montagem, instrumentação e documentação do projeto.

1. **Atividades pré-laboratório**

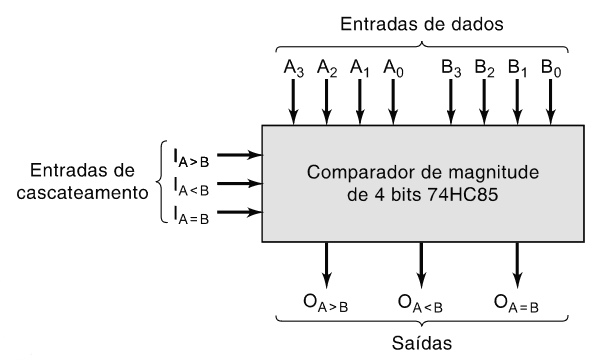
Ao realizar a análise do circuito 74163, foram identificadas as seguintes características: o circuito possui nove entradas de controle, nomeadamente CLK, LOAD, CLEAR, ENT, ENP, A, B, C e D, e apresenta cinco saídas designadas como RCO, QA, QB, QC e QD. A operação LOAD permite carregar um valor determinado pelos dados presentes nos pinos A, B, C e D, enquanto o CLEAR reinicia a contagem. Os sinais ENT e ENP controlam a pausa ou continuidade da contagem. A saída RCO torna-se ativa quando o contador atinge seu valor máximo (1111). As saídas QA, QB, QC e QD fornecem as representações do valor atual do contador. O sinal CLK é responsável pelo incremento da contagem e pela execução das demais operações, como LOAD (Carregar um valor da entrada), CLEAR (Limpar a contagem), ENT e ENP (Parar de contar ou contar). A figura 1 mostra o símbolo lógico do 74163.



*Figura 1: símbolo do CI 74163*

Além disso, o intervalo de saída abrange valores de zero a quinze, sendo que o contador é incrementado em 1 a cada subida da borda de CLK. O reinício da contagem pode ser realizado ativando o sinal CLEAR com LOW, tendo em vista que na entrada do pino tem um inversor. Para carregar um valor específico, é necessário inserir os dados nos pinos D, C, B e A (sendo o D o MSB) seguido pela ativação do sinal LOAD em nível LOW. Após esse procedimento, na próxima transição de subida da borda de CLK, o valor é carregado e LOAD é posteriormente configurado para HIGH. É importante destacar que ao longo desse processo, o valor de CLR permanece configurado como HIGH.

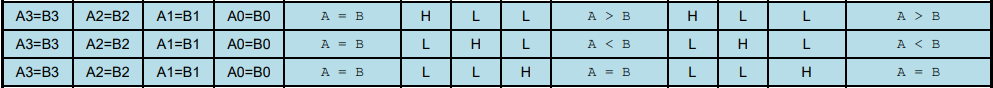
No que se refere ao componente 7485, trata-se de um comparador de 4 bits com um total de 11 entradas, das quais 3 são destinadas ao cascateamento e as 8 restantes são utilizadas para representar os bits a serem comparados, distribuídos em 4 bits para cada número. Adicionalmente, o componente possui 3 saídas que indicam os resultados da comparação, identificando se um número é maior que, menor que ou igual ao outro. A Figura 2 apresenta o símbolo lógico correspondente ao componente 7485.



*Figura 2: símbolo lógico do 7485*

É possível aumentar o número de bits a serem comparados com o processo de cascateamento ao alocar um conjunto de comparadores individuais em série.

Em seguida, obtém-se o resultado da comparação dos 4 pares de bits de cada comparador; esse sinal é passado adiante na cascata, para realização da comparação completa dos números. As entradas , e recebem os resultados das comparações dos bits menos significativos dos outros grupos.

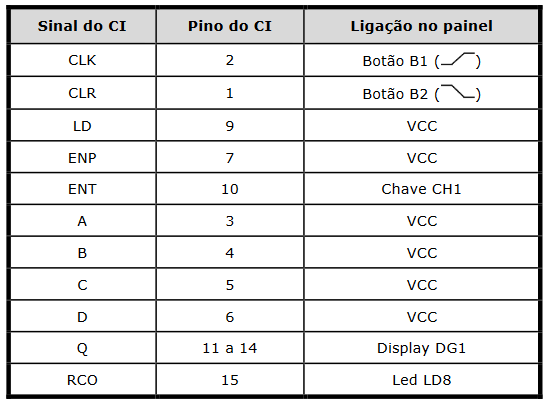


*Tabela 1 - Tabela funcional interpretada do Circuito Integrado 7485 nos casos em que os 4 bits mais significativos são iguais*

Na tabela, as três linhas azuis representam o caso em que os 4 bits mais significativos são iguais; assim, o critério de comparação é verificar se os outros bits menos significativos do primeiro número A são maiores, menores ou iguais aos do segundo número B. Isso é feito pelo cascateamento de comparadores e a comparação é decidida pelas entradas , e , se forem iguais, A = B; se forem maiores, A > B; se forem menores, A < B.

1. **Planejamento da aula prática**

No estágio inicial do planejamento experimental, dar-se-á início à fase de montagem e familiarização do contador, portanto, este circuito 1 utilizará somente o contador hexadecimal. Isso será realizado por meio da conexão dos pinos de alimentação GND (pino 8) e VCC (pino 16) utilizando jumpers. Posteriormente, procederemos à interligação dos sinais de entrada no painel de montagem experimental, seguindo as orientações da Tabela 1 fornecida, que pode ser vista abaixo.



*Tabela 2: Ligações dos pinos ao circuito de familiarização*

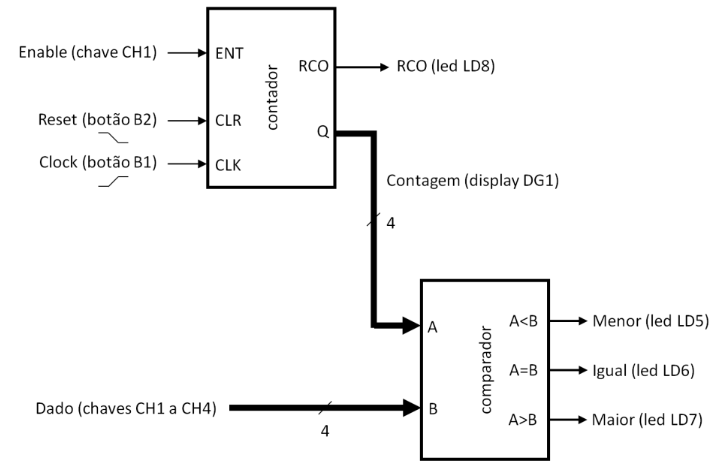
Após a conexão dos pinos e sinais, será conduzida uma série de testes conforme detalhado na Tabela 2:

| Teste (função executada) | Sequência de sinais | Resultado final | Resultado experimental |
| --- | --- | --- | --- |
| 1. zerar a saída Q | adicionar o botão RESET e adicionar CLOCK 1 vez (simultaneamente) | Q=0000 (0) | Q=0000 (0) |
| 1. contagem de 0 a 5 | ENABLE=1 e acionar o CLOCK 5 vezes | Q=0101 (5) | Q=0101 (5) |
| 1. desativa ENT e acionar CLOCK 2 vezes | ENABLE=0 e acionar o CLOCK 2 vezes | Q=0101 (5) | Q=0101 (5) |
| 1. contar mais 10 vezes | ENABLE=1 e acionar o CLOCK 10 vezes | Q=1111 (15) e RCO=1 | Q=1111 (15) e RCO=1 |
| 1. desativar ENT | ENABLE=0 | Q=1111 (15) e RCO=0 | Q=1111 (15) e RCO=0 |
| 1. desativar ENT e acionar o CLOCK 2 vezes | ENABLE=0 e acionar o CLOCK 2 vezes | Q=1111 (15) e RCO=0 | Q=1111 (15) e RCO=0 |
| 1. ativar ENT, acionar CLR e adicionar CLOCK 2 vezes | ENABLE=1, acionar RESET e acionar o CLOCK 2 vezes | Q=0000 (0) | Q=0000 (0) |

*Tabela 3: plano de testes para a familiarização do contador 7163*

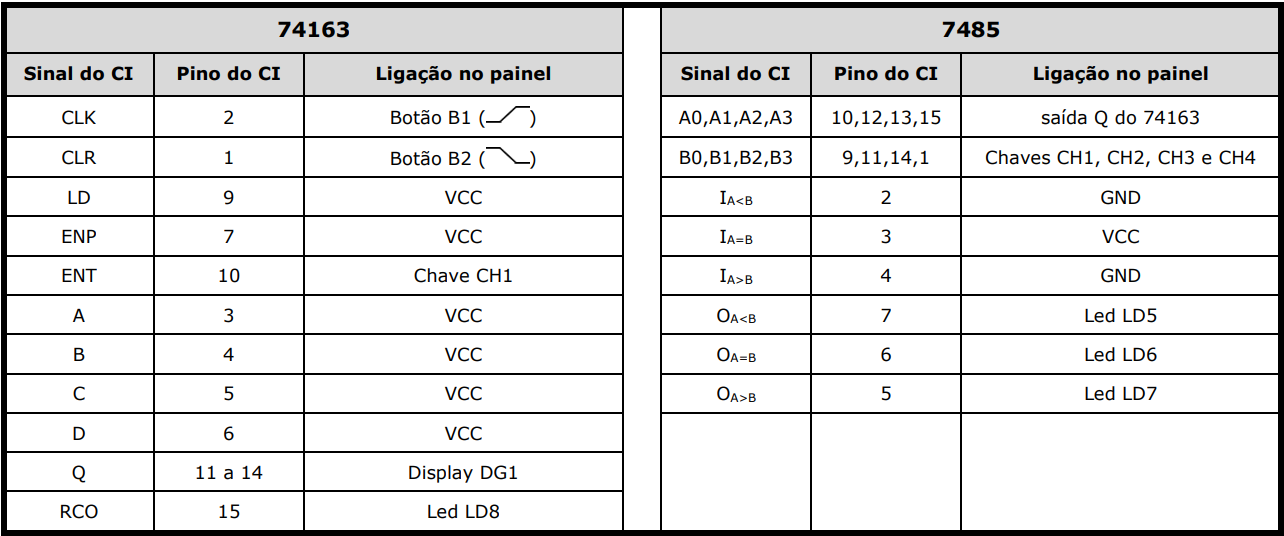
No teste 7, como o botão do reset (botão) se mantem em nível lógico 1 após ser ativado

Após a conclusão dos testes do circuito 1, procederemos ao circuito 2 que realiza a conexão do contador hexadecimal com o comparador, conforme ilustrado na Figura 3 apresentada abaixo:



*Figura 3: diagrama esquemático do circuito digital*

Com os seguintes pinos de conexão:



*Tabela 4: Ligação dos pinos do circuito 2*

Após a montagem do circuito 2, será realizado uma sequência de testes para verificar sua consistência e determinar o comportamento do circuito, os testes são dados pela Tabela abaixo:

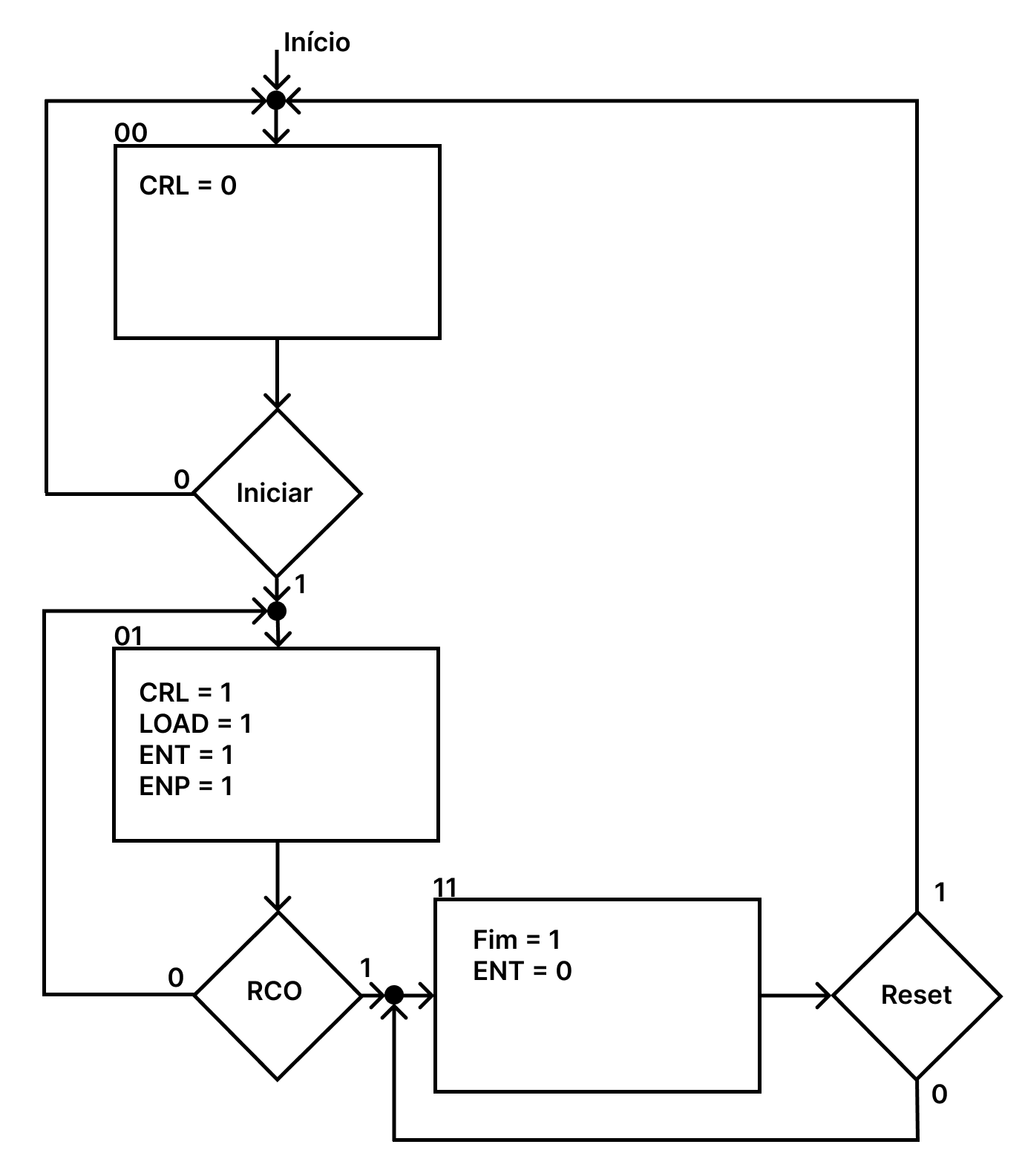
| Teste (função executada) | Sequência de sinais | Resultado final | Resultado experimental |
| --- | --- | --- | --- |
| 1. zerar saída do contador e ajustar o DADO=0000 | acionar RESET | contagem=0, RCO=0, maior=0, menor=0, igual=1 | contagem=0, RCO=0, maior=0, menor=0, igual=1 |
| 1. mudar para DADO=0001 | ajustar DADO=0001 | contagem=0, RCO=0, maior=0, menor=1, igual=0 | contagem=0, RCO=0, maior=0, menor=1, igual=0 |
| 1. incrementa contador e DADO=0001 | ajustar ENABLE=1, DADO=0001, e acionar CLOCK | contagem=1, RCO=0, maior=0, menor=0, igual=1 | contagem=1, RCO=0, maior=0, menor=0, igual=1 |
| 1. contagem de 1 a 9 e DADO=1001 | ajustar ENABLE=1, DADO=1001 e acionar CLOCK 8 vezes | contagem=9, RCO=0, maior=0, menor=0, igual=1 | contagem=9, RCO=0, maior=0, menor=0, igual=1 |
| 1. mudar para DADO=1111 | ajustar DADO=1111 (consequentemente ENABLE = 1) | contagem=9, RCO=0, maior=0, menor=1, igual=0 | contagem=9, RCO=0, maior=0, menor=1, igual=0 |
| 1. contar mais 6 vezes | ajustar ENABLE=1, DADO= 1111 e acionar CLOCK 6 vezes | contagem=15, RCO=1, maior=0, menor=0, igual=1 | contagem=15, RCO=1, maior=0, menor=0, igual=1 |
| 1. desativar ENT | ajustar ENABLE=0 (consequentemente DADO= 1110) | contagem=14, RCO=0, maior=1, menor=0, igual=0 | contagem=14, RCO=0, maior=1, menor=0, igual=0 |

*Tabela 5: Testes do circuito 2*

Vale ressaltar que nos testes 5 e 7 a chave CH1 é utilizada nos dois componentes sendo CH1 = DADO[0] e também CH1=ENABLE.

Foi proposto a confecção do diagrama de transição de estados da Unidade de Controle (UC) que dá a este circuito 2 a seguinte funcionalidade:

*“Inicialmente zerar contagem e, em seguida, depois da ativação do sinal iniciar, começa a contagem a cada borda de clock e, enquanto o contador não atingir o valor do final da contagem, testa se a entrada de dados tem um valor menor que a contagem atual. Quando a contagem atingir o valor final, ativa uma saída de controle fim até a ativação do sinal reset.”*   
 O enunciado está ambíguo, pois “valor final da contagem” pode ser interpretado como sendo o número 1111 ou como sendo o número de entrada de dados. O grupo admitiu o primeiro caso para a elaboração do diagrama. A ASM do circuito está na figura abaixo:



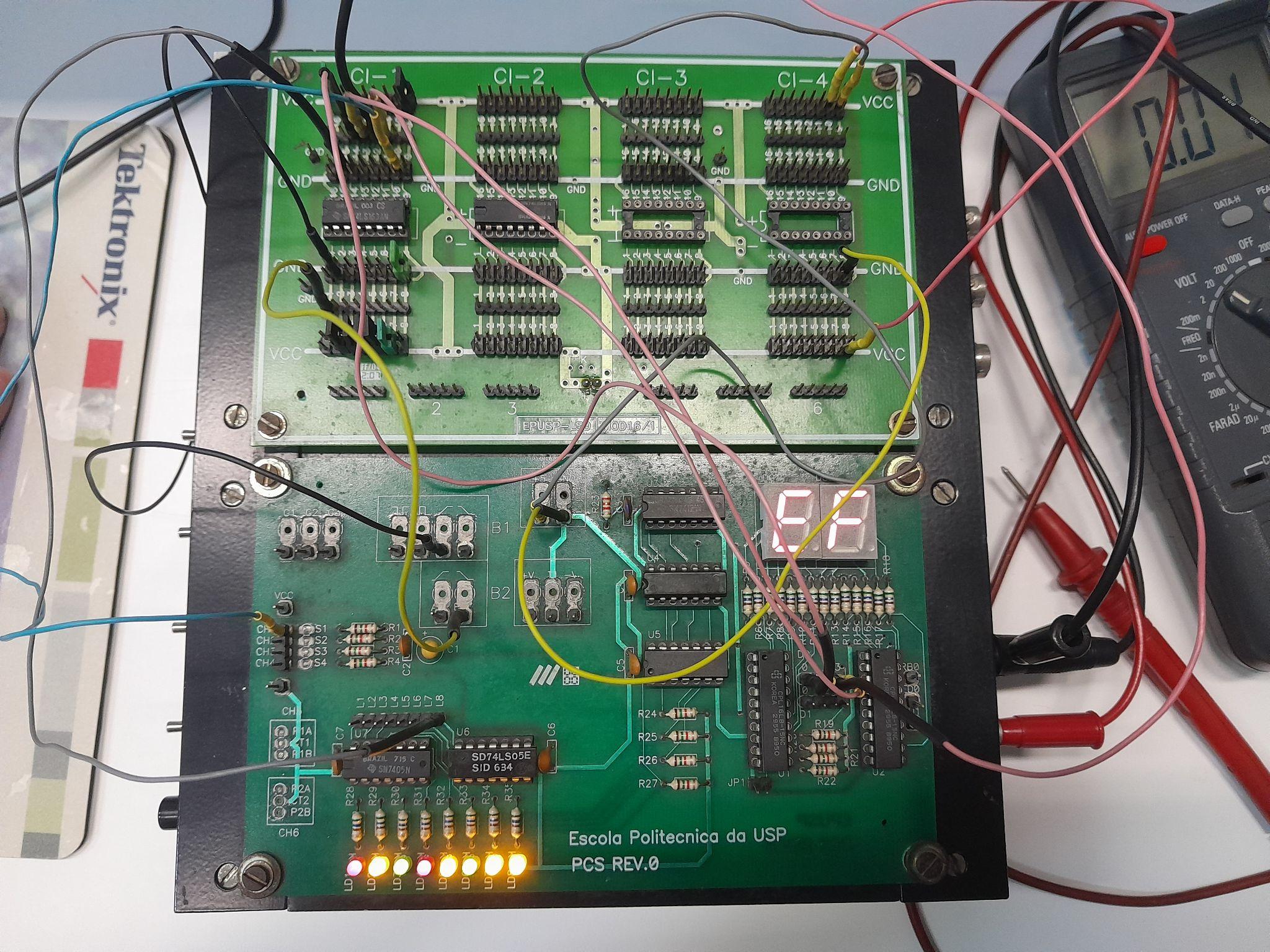
*Figura 4 - ASM da UC que realiza a funcionalidade*

Primeiramente se inicia no estado 00 onde é realizado o *CLEAR* do contador se, após isso, o sinal *Iniciar* for ativado então parti-se para o estado 01, caso contrário continua-se no estado 00. O estado 01 é o estado onde ocorre o processo de contagem, caso *RGO* esteja desativado, então o contador incrementa a cada borda de subida de *CLK*, caso contrário, ou seja, caso o contador chegue ao seu valor final (que o grupo considerou como sendo 15) então *RCO* se torna 1 e parte-se para o estado 11 onde a contagem é pausada e a saída *Fim* é ativada. Se Reset for ativado então voltamos para o estado 00 caso contrario permanecemos no estado 11. Observe que a comparação não é realizada pela UC é realizada pelo comparador por conta disso não há a expressão de comparação na ASM tendo em vista que a UC só recebe e manda sinais de controles.

1. **Relato da Experiência**

Iniciou-se o experimento com a conexão dos pinos e fios nas respectivas portas do circuito 1. A cada nova conexão, mediu-se com multímetro a tensão correspondente, para detectar possíveis problemas já de antemão. Com esse método, realizou-se corretamente as conexões e o circuito estava pronto para teste. Em seguida, deu-se início à sequência de testes padronizados, da tabela 2. De início, percebeu-se que a numeração exibida no display estava incorreta. O monitor então sugeriu debugar o circuito com uma tabela, com um conjunto de sinais de saída esperados versus observados, para 12 sinais, que já seria suficiente para obter o problema. Com isso, percebeu-se que a conexão dos pinos no display estava espelhada, de forma que o número n=abcd era exibido como n=dcba. Após a devida correção, o contador comportou-se da maneira correta.

A partir daí, voltou-se a realizar a bateria de testes da tabela 2 para o circuito. Um problema observado foi em relação ao clear, que parecia não funcionar corretamente; logo, descobriu-se que o botão deveria ser pressionado e segurado até a ativação do sinal de clock. Com esse conhecimento em mãos, e tudo até então funcionando, prosseguiu-se com a experimentação. Teste após teste, obteve-se todos os resultados esperados, para cada um dos 7 procedimentos. O circuito 1 foi dado por aprovado e iniciou-se a montagem do circuito 2.



*Figura 5 - Circuito do contador*

| **Obtido** | **Esperado** |
| --- | --- |
| 0000 | 0000 |
| 1000 | 0001 |
| 0100 | 0010 |
| 1100 | 0011 |
| 0010 | 0100 |
| 1010 | 0101 |
| 0110 | 0110 |
| 1110 | 0111 |

*Tabela 6: depuração do código para o contador*

Para a montagem do circuito 2, realizou-se o mesmo procedimento de montagem, medindo-se as tensões de algumas conexões e sinais no circuito, conforme conectava-se cada fio. Essas medições foram menos numerosas em relação à montagem do primeiro circuito. No entanto, realizou-se um teste com o comparador, a fim de verificar se as comparações estavam corretas. Porém, não estavam. Ao variar-se o contador, percebeu-se que um led LD5 estava permanentemente ligado, independentemente da entrada. Então, notou-se que conexões que deveriam estar no componente 7485 estavam conectadas no GND. Corrigiu-se a conexão e prosseguiu com os testes. Novamente, o comparador não dava resultados coerentes. Medindo-se conexões intermediárias, notou-se um fio em aberto. Com auxílio do professor, viu-se que os pinos do GND e VCC não estavam conectados. Apesar desse erro ter sido corrigido, ainda verificava-se que os sinais de saída do comparador para os LEDs não estavam corretos para todos os casos. Percebeu-se que o padrão de erro só estava correto quando A=B, A>B, ou quando era A=0 e B algum outro número diferente de zero. Diversos testes foram realizados para tentar corrigir o problema, verificando as tensões de saída do comparador e fizemos tabelas com diversos testes.

Com auxílio do professor, depurou-se o problema ligando o ENT do contador diretamente ao VCC para ficar sempre ativo, em vez de ficar dependente da chave 1. Além disso, conectou-se as chaves ao display para verificar se a contagem e a ordem dos dígitos estavam corretos. Após esse procedimento, o erro ainda persistia; tomando a entrada do comparador a conectando-a ao display para fazer outra tentativa de depuração, não obteve-se sucesso novamente. A essa altura, decidiu-se refazer a montagem do circuito do zero devido a complexidade e número elevado de fios no circuito anterior. Com a ajuda do monitor Augusto, pode-se corrigir o circuito no final e encontrar o erro: houve inversão dos bits na entrada do comparador. Essa abordagem de reiniciar tudo, no entanto, foi considerada um erro pelo grupo, em discussão posterior.

A dificuldade de depuração do nosso circuito deveu-se à interpretação errônea da inversão dos bits em lugares indevidos, resultando em inversões adicionais, o que aumentou a confusão e a complexidade de depuração do sistema. Trocou-se, por diversas vezes, o bit mais significativo com o menos significativo. Feita a correção, o circuito completo funcionou corretamente e passou em todos os testes.

Então, realizou-se o desafio proposto pelo professor, que consistia em fazer a contagem retornar a zero a partir do momento em que o contador alcançasse certo número, definido pelas chaves. Rapidamente, o grupo percebeu que bastaria usar o sinal de comparação A>B como entrada do clear, de modo que a contagem voltasse a zero. Prosseguiu-se para a montagem, que bastou apenas a conexão de um fio. O desafio deu certo e passou nos testes.

1. **Conclusão**

Em suma, o laboratório ocorreu bem durante a sua primeira parte, em que o contador funcionou conforme esperado e todos os testes foram executados com sucesso e sem grandes problemas. Contudo, no momento de realização da conexão do contador com o comparador, houve uma série de erros com a comparação dos bits do comparador e do contador. O grupo passou por grandes dificuldades para encontrar o problema e chegou ao ponto de desmontar todo o circuito e reconstruí-lo do início. Com ajuda do monitor, conseguiu-se localizar o problema e corrigir o erro. Em seguida, o circuito esteve completo e correto; passou em todos os testes sem problemas. Por fim, realizou-se, sem dificuldades, o desafio proposto pelo professor.

Apesar de todas as dificuldades, o grupo aprendeu bastante e pode entender melhor a importância dos processos de depuração, que será de grande utilidade para os próximos laboratórios.