

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ENGENHARIA DE COMPUTAÇÃO E
SISTEMAS DIGITAIS
PCS3645 - LABORATÓRIO DIGITAL II



PLANEJAMENTO DA EXPERIÊNCIA 3

Felipe Luis Korbes - NUSP: 13682893
João Felipe de Souza Melo - NUSP: 13682913
João Felipe Pereira Carvalho - NUSP: 11808189

Turma: 5

Professor: Reginaldo Arakaki

São Paulo
2024

Sumário

1. Introdução e Objetivos.....	3
2. Planejamento.....	3
2.1 Atividade 1 - Projeto e Simulação do Circuito de Interface.....	3
2.2 Testes.....	6
2.3 Atividade 2 - Estratégia para o Teste de Funcionamento do Projeto.....	8
2.3 Atividade 3 - Preparação do Projeto para Síntese na Placa FPGA.....	9
3. Relatório da experiência.....	11

1. Introdução e Objetivos

Nesta experiência, o objetivo é desenvolver e implementar um circuito de interface para o sensor HC-SR04 em uma placa FPGA. O circuito foi projetado em Verilog e testado tanto em simulação quanto em uma montagem prática, utilizando o Analog Discovery para análise de sinais.

2. Planejamento

2.1 Atividade 1 - Projeto e Simulação do Circuito de Interface

A interface do sensor ultrassônico foi configurada conectando os fios principais no fluxo de dados e implementando a Unidade de Controle da interface do sensor. Abaixo está o circuito dessa experiência:

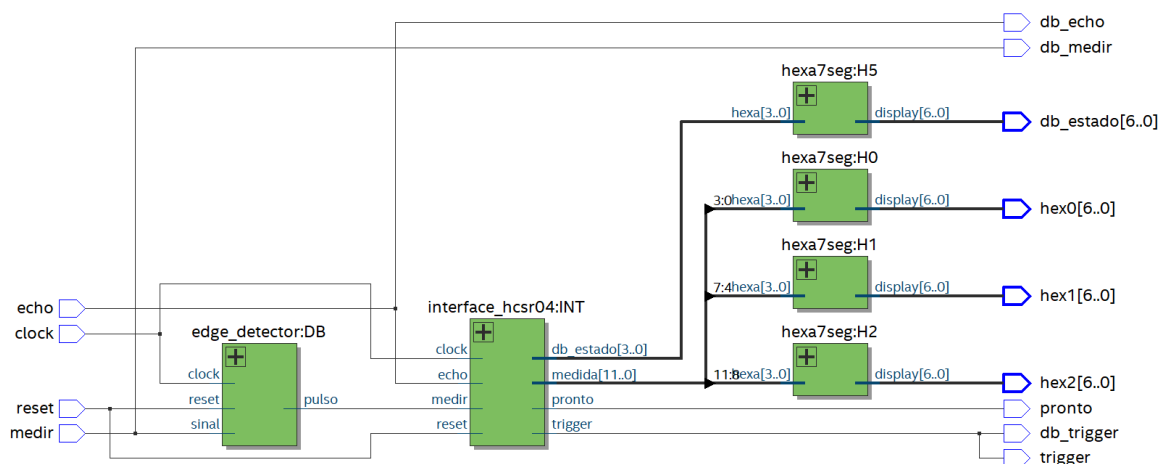


Figura 1 - Diagrama de blocos da interface do sensor

Há um edge detector para, assim que a entrada “medir” for acionada, realizar somente um pulso de clock. Os displays de 7 segmentos são para facilitar a visualização da medida.

O fluxo de dados da interface com o sensor está abaixo:

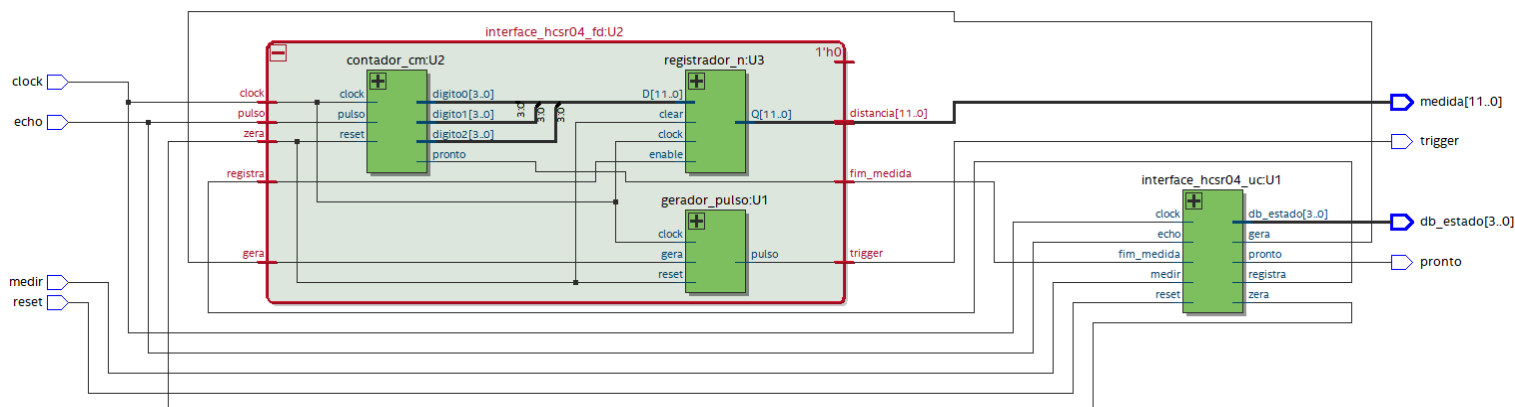


Figura 2 - Fluxo de dados do circuito de interface com sensor ultrassônico de distância

Inicialmente, ao receber o sinal de medir, o sistema prepara-se zerando contadores e registradores. Em seguida, um pulso de 10 microsegundos é enviado para iniciar o sensor, e o sistema aguarda o término do trigger e o sinal do sensor. A distância é então calculada e armazenada em um registrador de 12 bits, que é dividido em três números de 4 bits, cada um representando um dígito a ser exibido nos displays de 7 segmentos, totalizando um número de 3 dígitos em centímetros. A lógica da Unidade de Controle segue o diagrama de transição de estados abaixo:

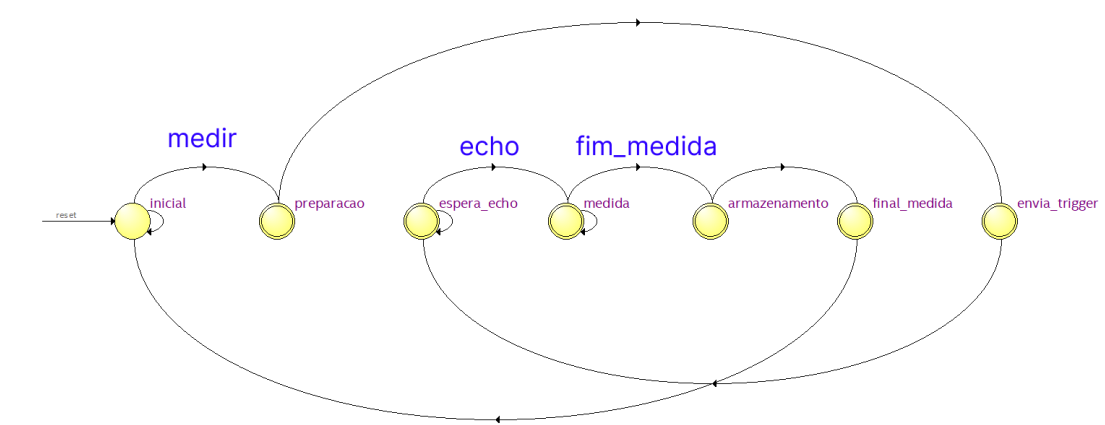


Figura 3 - Diagrama de transição de estados da interface.

O ciclo da unidade de controle começa no estado inicial, aguardando o sinal de medição (medir). Ao ser ativado, a UC passa para o estado de preparação, onde o sinal “zera” é ativado. Em seguida, transita para o estado de envio de trigger (*envia_trigger*), ativando o sinal “gera” para gerar o pulso e iniciar a medição. A UC então entra no estado de espera pelo eco, aguardando o sinal “echo” oriundo do sensor. Após receber o eco, a UC passa para o estado de medição até o sinal

“*fim_medida*”, avançando para o armazenamento, onde “registra” é ativado. Por fim, o ciclo é finalizado no estado “*final_medida*”, retornando ao estado inicial.

O cálculo da distância é feito por um módulo chamado contador_cm. Esse módulo é composto pelo fluxo de dados e por sua unidade de controle. A ideia do cálculo é gerar ticks periódicos durante o tempo do pulso para incrementar um segundo contador que armazenará a distância.

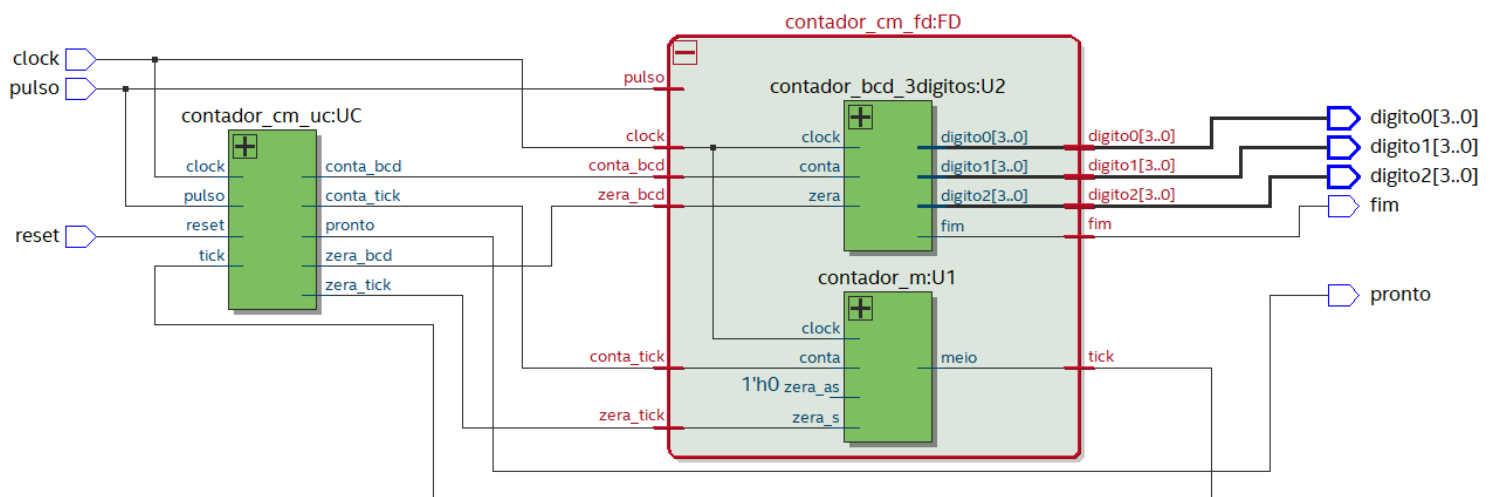


Figura 4 - Fluxo de dados do módulo do cálculo da distância.

Observe que há um módulo do contador_m e um contador_bcd de 3 dígitos. O primeiro é responsável por determinar o tick do cálculo. Esse tick é responsável por incrementar o segundo contador, nesse segundo contador é que realmente está sendo incrementado a distância.

Abaixo está a unidade de controle responsável por sincronizar os dois contadores de modo a calcular corretamente as distâncias:

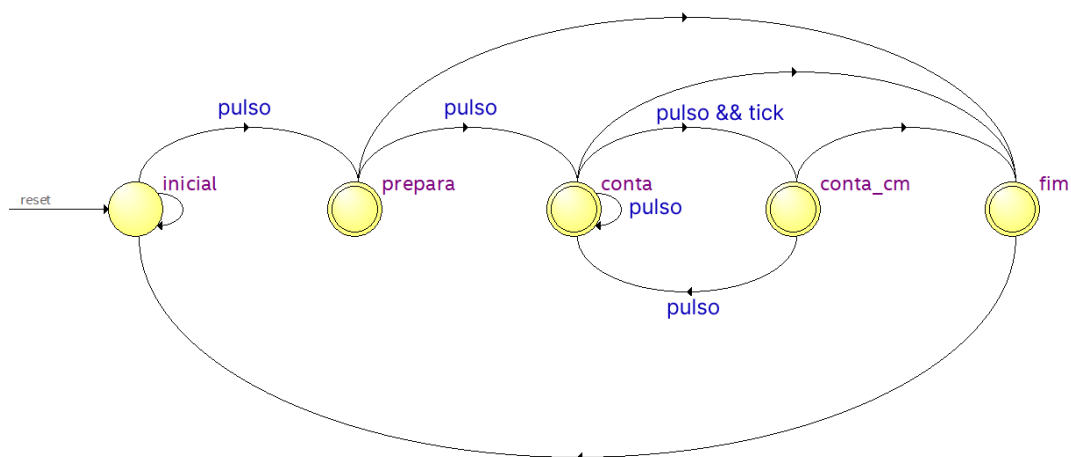


Figura 5 - Unidade de controle do módulo contador_cm.

Para este módulo, em todos os estados verificamos se o pulso de entrada é LOW, se for, então o próximo estado será o estado final, pois o pulso de entrada chegou ao seu final.

2.2 Testes

Para realizar os testes do funcionamento do circuito, foram pensados nos seguintes testes:

Casos de teste (us)	Esperado	Ok
58820	0cm	<input type="checkbox"/>
6000	102cm	<input type="checkbox"/>
57820	983cm	<input type="checkbox"/>
10000	170cm	<input type="checkbox"/>
15000	255cm	<input type="checkbox"/>

Tabela 1 - Casos de teste para testar no Modelsim

Abaixo estão as formas de ondas desses testes. Nota-se que em específico, para o caso 58820, o valor seria de 1000 cm, porém, como temos apenas 3 displays para representar a distância em centímetros, o resultado esperado é de 0 cm.



Figura 6 - Forma de ondas do caso 58820 (0cm)

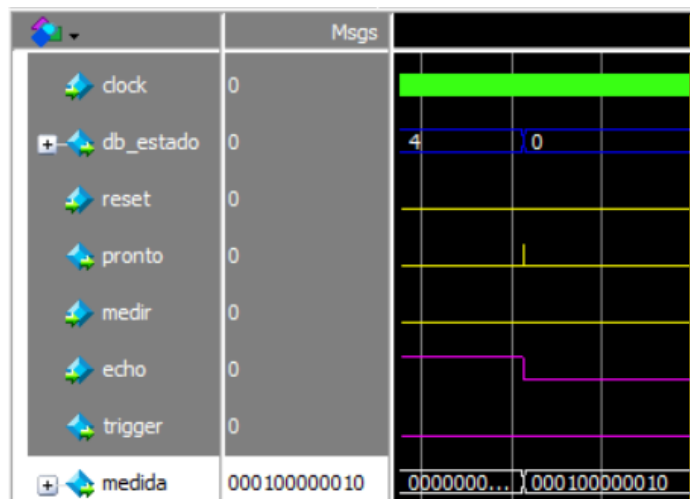


Figura 7 - Forma de ondas do caso 6000 (102 cm)

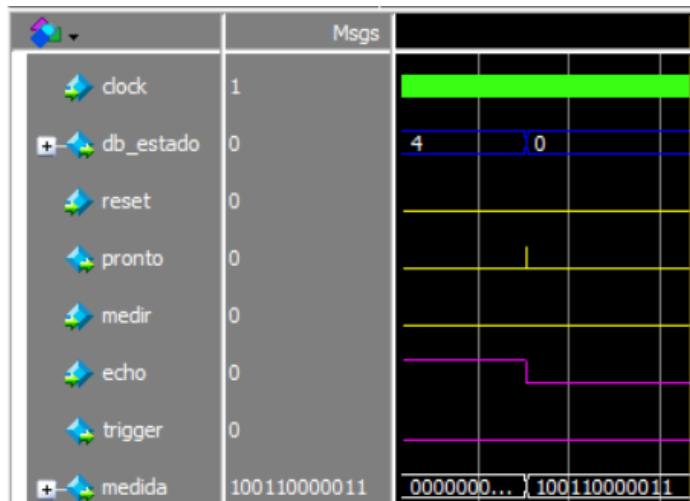


Figura 8 - Forma de ondas do caso 57820 (983 cm)

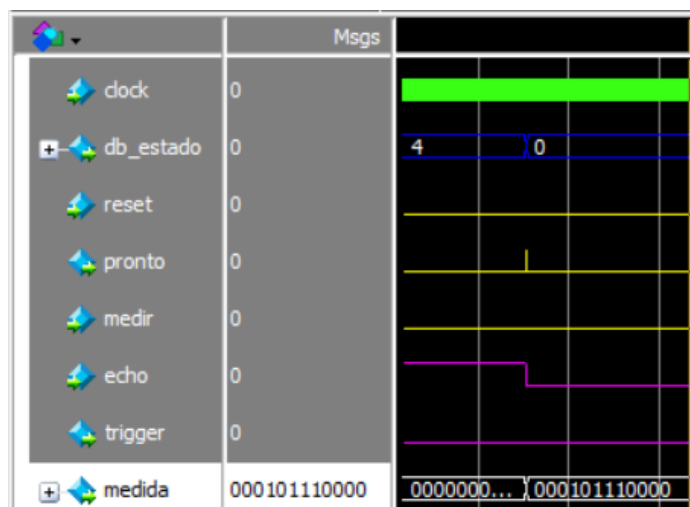


Figura 9 - Forma de ondas do caso 10000 (170 cm)

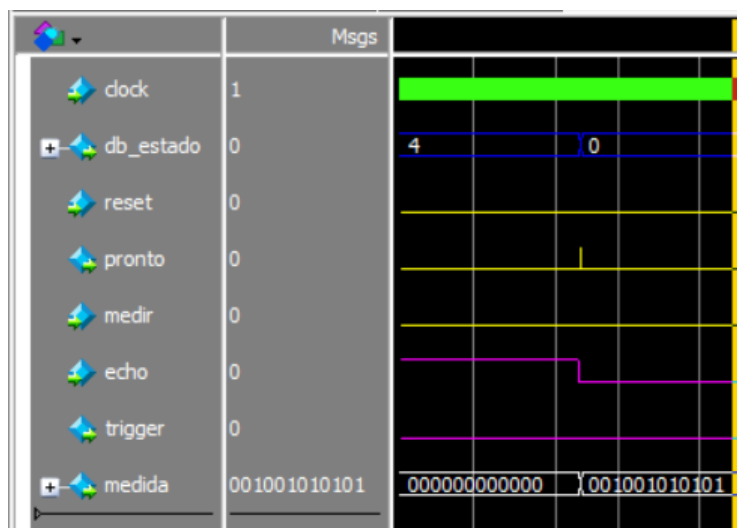


Figura 10 - Forma de ondas do caso 15000 (255 cm)

2.3 Atividade 2 - Estratégia para o Teste de Funcionamento do Projeto

Para a experiência prática foi planejado alguns testes. Eles serão realizados com garrafas de água dos três integrantes do grupo. A organização das garrafas estão na figura abaixo:

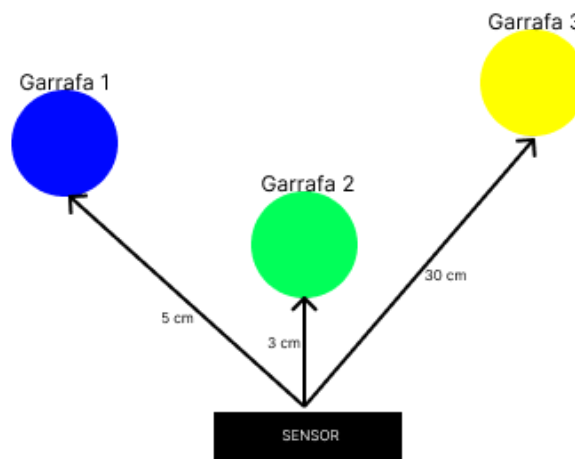


Figura 11 - Organização dos objetos para o teste experimental

Primeiramente, será medida a distância da garrafa 2 até o sensor, seguida pela medição da garrafa 3. A distância entre o sensor e a garrafa 1 será avaliada de duas maneiras: na primeira, a garrafa 2 será removida do local para a medição; na segunda, a garrafa 2 permanecerá em seu lugar. Esse procedimento visa investigar a possível interferência de objetos mais próximos ao sensor. O grupo utilizará uma

trena para determinar a distância máxima de medição do sensor. Para isso, será utilizada uma garrafa de água, cuja distância em relação ao sensor será gradualmente aumentada até que a precisão da medição comece a diminuir. A fim de verificar a correta medição da distância e diminuir erros, será feita a medição de cada distância 4 vezes e será pego a média aritmética desses valores.

2.3 Atividade 3 - Preparação do Projeto para Síntese na Placa FPGA

Como o sensor HC-SR04 funciona com a tensão de 5V e os pinos da placa FPGA são de 3,3V é necessário ter uma interface entre esses componentes, tanto de 3,3 para 5 quanto ao contrário. Para isso serão utilizados dois componentes eletrônicos que permitem esse ganho / diminuição de tensão.

O primeiro componente a ser testado será o 74LS365 que aumenta os sinais de 3,3V para 5V.

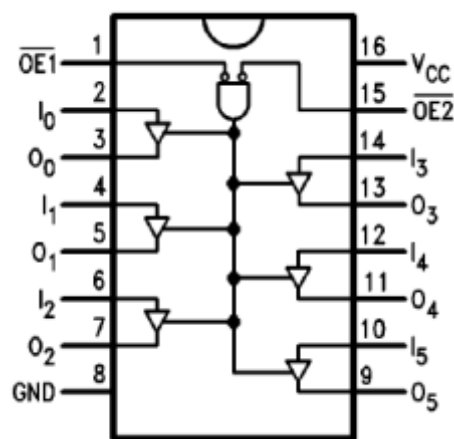


Figura 12 - Circuito integrado 74LS36

Function Table

$$Y = A$$

Input			Output
$\overline{G1}$	$\overline{G2}$	A	Y
H	X	X	Hi-Z
X	H	X	Hi-Z
L	L	H	H
L	L	L	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
Hi-Z = 3-STATE (Outputs are disabled)

Figura 13 - Tabela Verdade do CI 74LS36

O pino 16 será conectado no pino de 5V da placa FPGA e o pino 8 será o GND que será conectado à placa.

O segundo componente a ser testado será o 74HC4050 que diminui sinais de 3,3V para 5V.

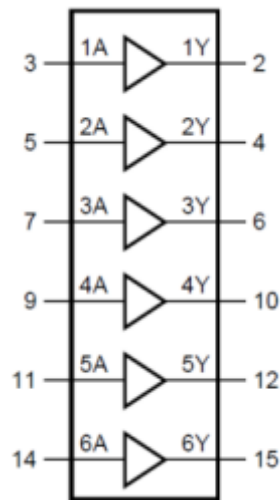


Figura 14 - Circuito integrado 74HC4050

Feito esses testes, será realizada a montagem do circuito completo para a verificação dos testes. A pinagem a ser seguida está na tabela abaixo:

Sinal	Pino	Analog Discovery
CLOCK	PIN_M9	-
RESET	PIN_U13	-
MEDIR	PIN_V13	-
ECHO	PIN_C16	-
TRIGGER	PIN_A12	-
HEX0 a HEX2	U21, V21, W22, W21, Y22, Y21, AA22 AA20, AB20, AA19, AA18, AB18, AA17, U22	-

	Y19, AB17, AA10, Y14, V14, AB22, AB21	
PRONTO	PIN_AA2	-
db_medir	PIN_AA1	-
db_trigger	PIN_G12	CH1+ (Scope)
db_echo	PIN_K16	CH2+ (Scope)
db_estado	N9, M8, T14, P14, C1, C2, W19	-

Tabela 2 - Pinagem da experiência

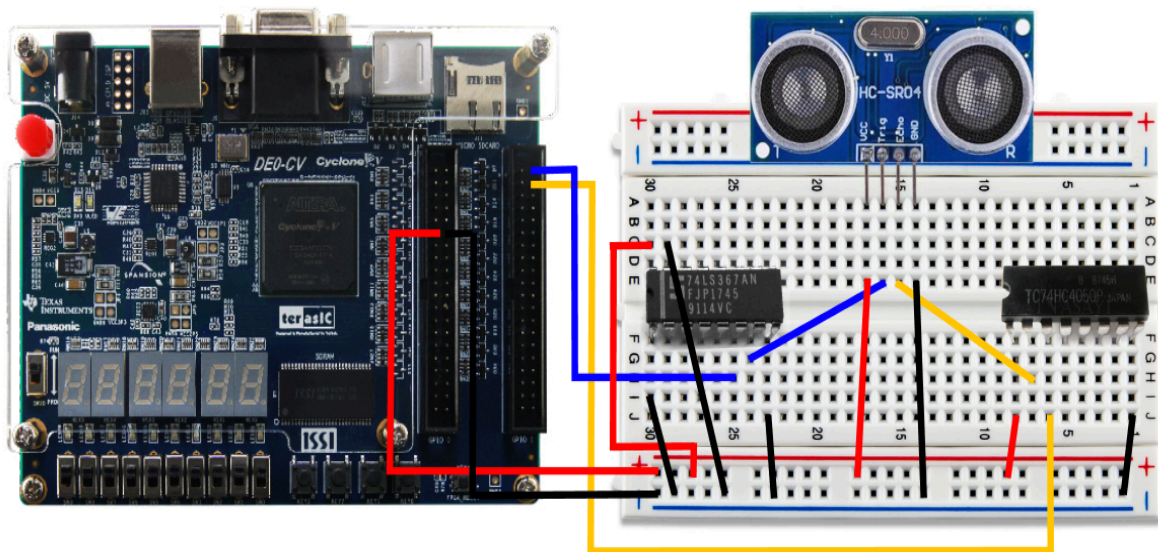


Figura 15 - Diagrama da pinagem da experiência 3

Após a montagem correta do circuito, serão realizados os testes conforme descrito na seção 2.2.

3. Relatório da experiência