PCS 3225 Sistemas Digitais II

<u>Módulo 5 – Síntese de Circuitos</u> <u>Seqüenciais</u>

Andrade, Marco Túlio Carvalho de

Professor Responsável

versão: 1.0 (agosto de 2.017)

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

Conteúdo

- Síntese de Circuitos Sequenciais
 - 1. Metodologia de Síntese
 - 2. Modelo de Mealy/Moore
 - 3. Etapas da Metodologia de Síntese
 - 4. Exemplo de Síntese: Mealy
 - 5. Exemplo de Síntese: Moore
 - 6. Simplificação da Tabela de Estados
 - 6.1. Simplificação por Observação Direta
 - 6.2. Simplificação por Tabelas de Implicação Bibliografia

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

1. Metodologia de Síntese

- A metodologia de síntese aqui adotada segue praticamente os mesmos passos da metodologia de análise, com os passos sendo adotados em ordem inversa.
- Para o projeto de circuitos mais complexos, como UCP's de computadores, existem métodos mais eficientes.
- Pode-se escolher entre o modelo de Mealy e o modelo de Moore.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

2. Modelo de Mealy/Moore

BLOCO COMBINATÓRIO DO PRÓXIMO ESTADO

LOCK ABORDA)

SETADO

LOCK ABORDA

SETADO

LOCK ABORDA

ATUAL

V_f - Variáveis de estado (atual)

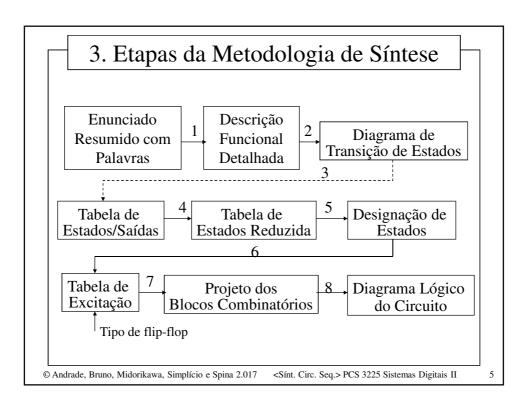
V_k - Variáveis que determinam o próximo estado

Z_j - Saídas atuais

FIGURA 9.1 - MODELO GERAL DE CIRCUITO SÍNCRONO

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 < Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

4



■ Etapa 1: Detalhamento da Descrição Funcional

O comportamento do circuito deve ser expresso de forma sintética, relacionando o número de entradas e saídas e indicando como as entradas atuam sobre as saídas, do ponto de vista dinâmico.

Às vezes, é preciso agregar exemplos, diagramas de blocos simplificados ou até uma carta de tempos.

Deve ficar claro quando e em que condições as saídas ocorrem.

Deve-se escolher entre os modelos de Mealy e Moore.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

)

■ Etapa 2: Obtenção do Diagrama de Estados

A partir da descrição funcional, deve-se identificar o número de estados necessários, suas saídas e suas transições, em função das entradas.

■ Etapa 3: Obtenção da Tabela de Estados/Saídas

As informações obtidas no passo anterior são organizadas na forma de uma tabela.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <S

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

3. Etapas da Metodologia de Síntese

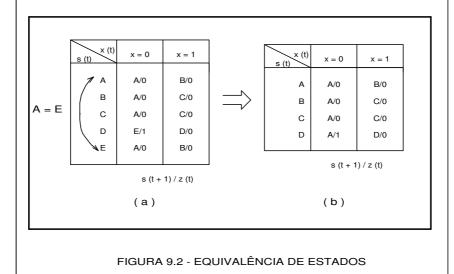
■ Etapa 4: Obtenção da Tabela de Estados Reduzida

Eliminam-se os estados redundantes, gerando uma tabela reduzida.

A redundância entre estados será definida através de uma relação de equivalência.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II



3. Etapas da Metodologia de Síntese

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

■ Etapa 5: Designação dos Estados

De posse da tabela de estados reduzida, pode-se identificar quantas são as variáveis de estado e, portanto, quantos flip-flops serão necessários.

Podem ocorrer duas situações:

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

- número de estados $= 2^n$
- número de estados < 2ⁿ

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

No primeiro caso, são necessários n flip-flops e a designação dos y_i pode ser feita de qualquer modo.

Ex:	S	y1	y2	
	A	0	0	
	В	0	1	
	C	1	1	
	D	1	0	

No segundo caso, também são necessários n flipflops, mas haverá estados cujo comportamento não está definido pela tabela de estados

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

3. Etapas da Metodologia de Síntese

■ Etapa 6: Obtenção da Tabela de Excitação

Define-se qual o tipo de flip-flop a ser utilizado e obtém-se a tabela de excitação. Como resultado, têm-se as equações de excitação.

■ Etapa 7: Projeto dos Blocos Combinatórios

Projeta-se os circuitos combinatórios, minimizando as funções de chaveamento. Como resultado, obtêm-se as equações de estado e de saída.

■ Etapa 8: Diagrama Lógico do Circuito

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

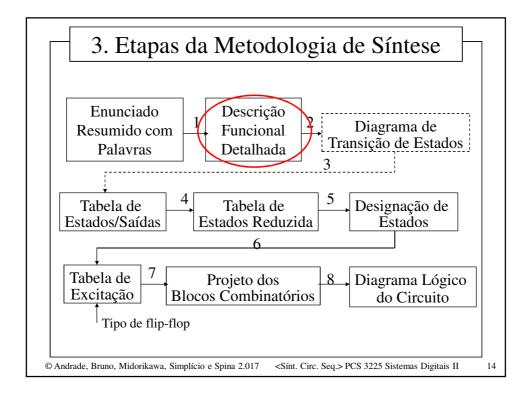
<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

4. Exemplo de Síntese - Mealy

Enunciado: Projetar um circuito sequencial síncrono que reconhece o primeiro ZERO após a ocorrência de três ou mais UNS consecutivos.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II



4. Exemplo de Síntese - Mealy

Etapa 1: Descrição Funcional

- circuito tipo Mealy
- o comportamento entrada/saída na borda de atuação de clock será:

 $x: 0 \ 0 \ 1 \ 1 \ 0 \ \underline{1} \ \underline{1} \ \underline{1} \ \underline{1} \ 0 \ 0 \ \underline{1} \ \underline{1} \ \underline{1} \ \underline{1} \ \underline{1} \ 0 \ 1$

y: $0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0$

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

3. Etapas da Metodologia de Síntese Enunciado Descrição 1 Diagrama de Resumido com Funcional Transição de Estados Detalhada **Palavras** Tabela de Designação de Tabela de Estados/Saídas Estados Reduzida Estados Tabela de Projeto dos Diagrama Lógico Blocos Combinatórios Excitação do Circuito | Tipo de flip-flop © Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

4. Exemplo de Síntese - Mealy

Etapa 2: Diagrama de Transição de Estados

pela descrição funcional e enunciado, pode-se ver que serão necessários pelo menos 4 estados:

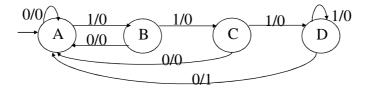
- A: estado inicial
- B: estado que armazena a ocorrência de 1 UM
- C: estado que armazena a ocorrência de 2 UNS consecutivos
- D: estado que armazena a ocorrência de 3 ou mais UNS consecutivos

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

4. Exemplo de Síntese - Mealy

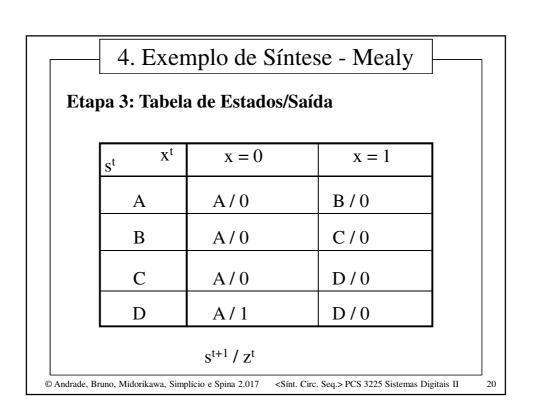
Etapa 2: Diagrama de Transição de Estados

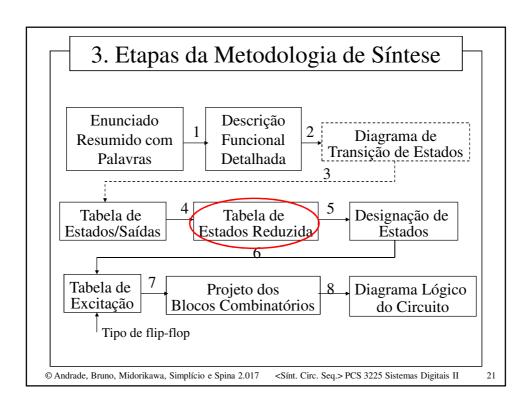


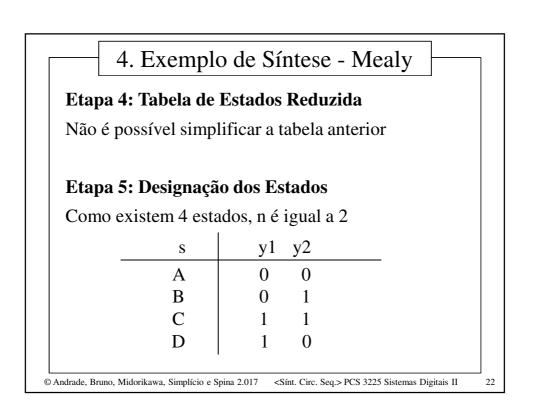
© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

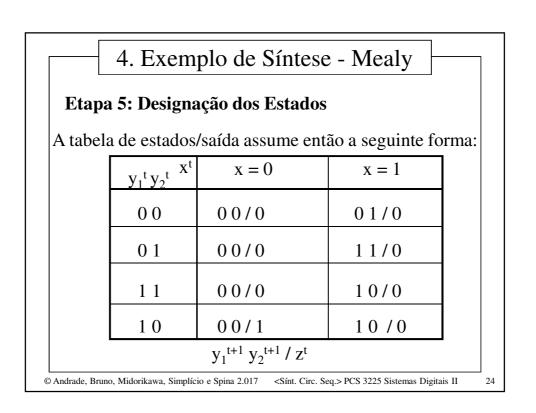


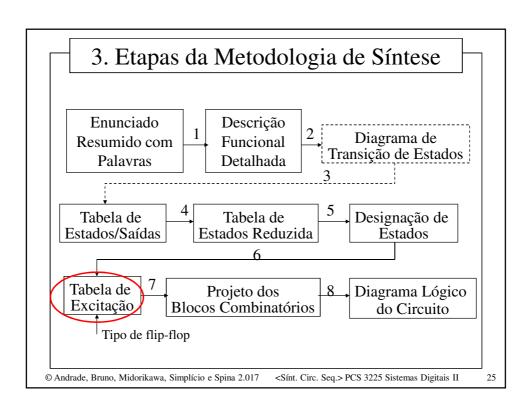


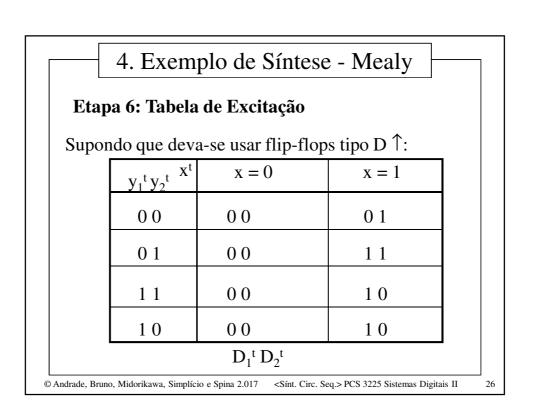


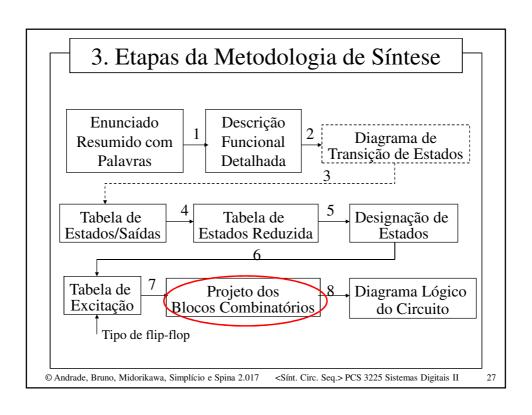


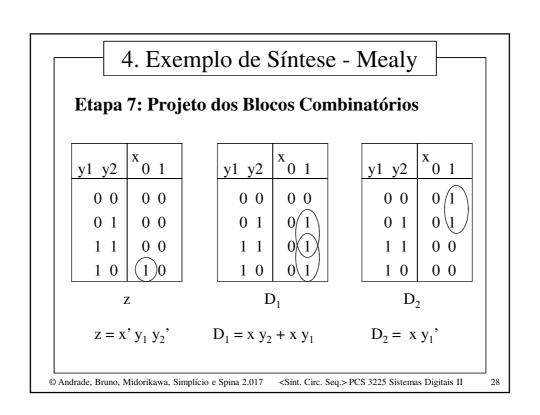


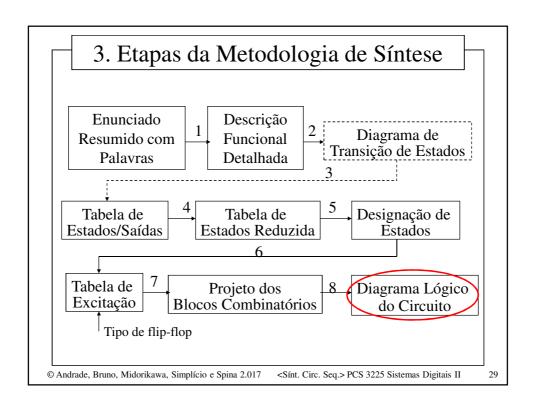


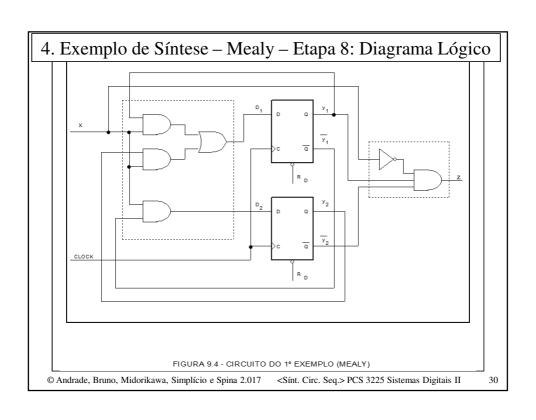


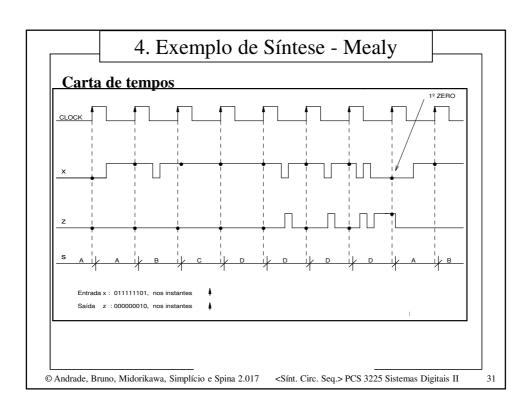






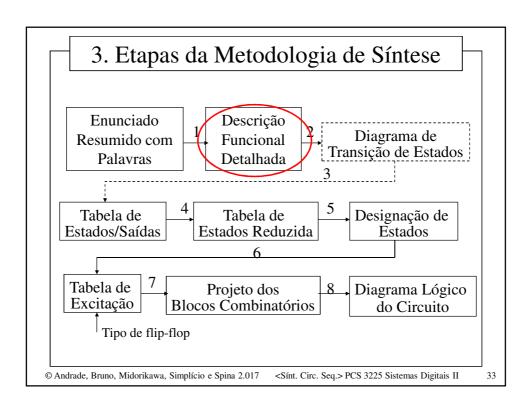






Enunciado: Projetar um circuito sequencial síncrono que reconhece o primeiro ZERO após a ocorrência de três ou mais UNS consecutivos. Adotar uma solução do tipo Moore e flip-flops tipo D.

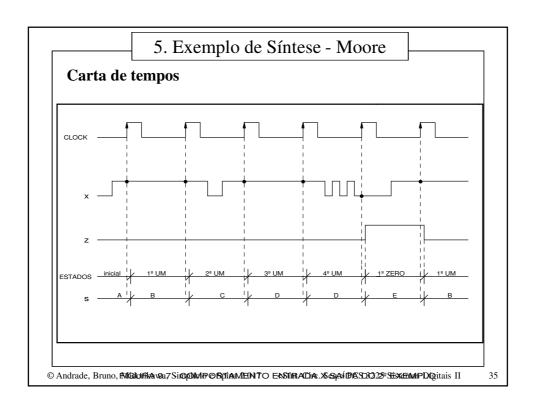
© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II



Etapa 1: Detalhamento da Descrição Funcional

O enunciado é o mesmo do primeiro exemplo, mas para melhor entender o comportamento entrada/saída é melhor desenhar a carta de tempos.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II





Etapa 2: Diagrama de Transição de Estados

Serão necessários pelo menos 5 estados:

- A: estado inicial
- B: armazena a ocorrência do primeiro UM
- C: armazena a ocorrência do segundo UM consecutivo
- D: armazena a ocorrência do terceiro e demais UNS consecutivos
- E: armazena o primeiro ZERO após três ou mais UNS consecutivos

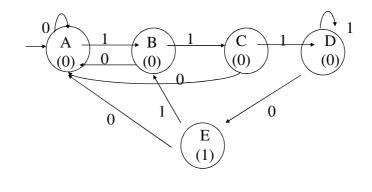
© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

31

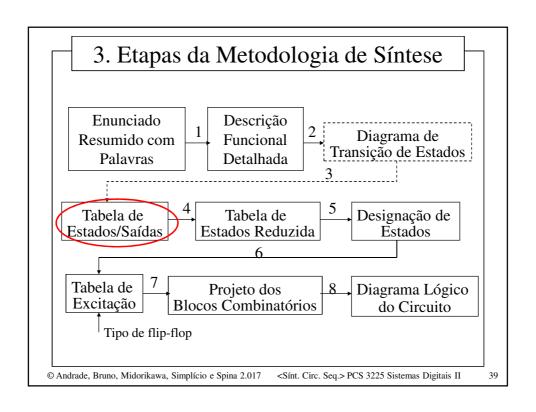
5. Exemplo de Síntese - Moore

Etapa 2: Diagrama de Transição de Estados

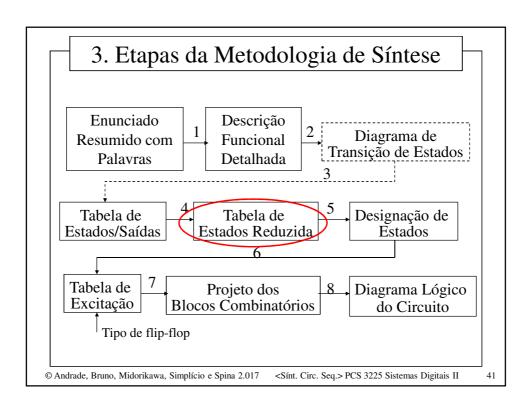


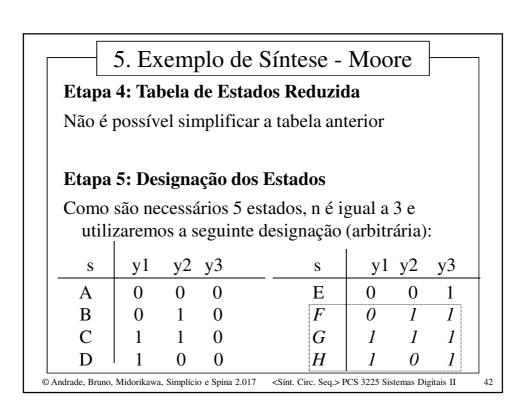
© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

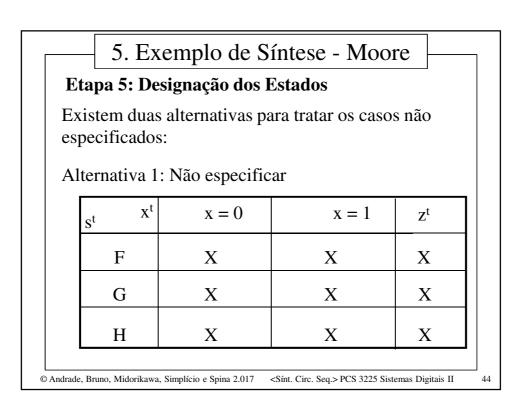


5. Exemplo de Síntese - Moore			
apa 3: Tab	ela de Estados/S	Saída	
\mathbf{s}^{t} \mathbf{x}^{t}	x = 0	x = 1	z ^t
A	A	В	0
В	A	С	0
C	A	D	0
D	Е	D	0
Е	A	В	1









Etapa 5: Designação dos Estados

Alternativa 2: Impor que o estado seguinte seja o estado inicial e a saída seja 0

\mathbf{s}^{t} \mathbf{x}^{t}	x = 0	x = 1	\mathbf{z}^{t}
F	A	A	0
G	A	A	0
Н	A	A	0

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

15

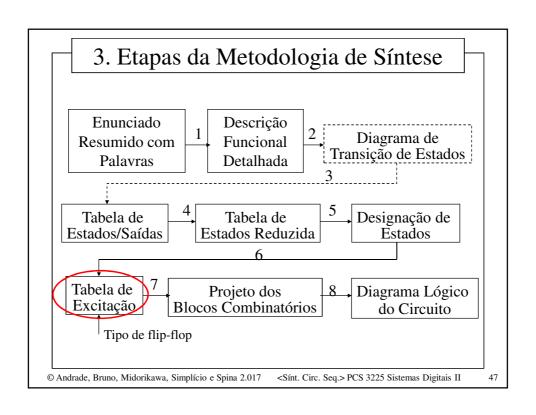
5. Exemplo de Síntese - Moore

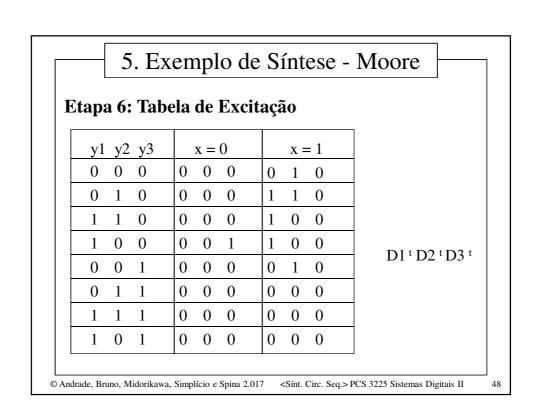
Etapa 5: Designação dos Estados

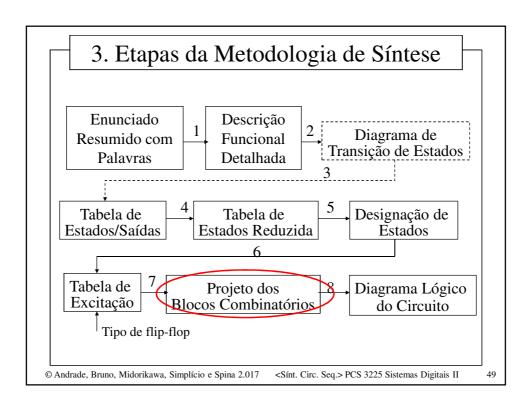
s ^t	y1 y2 y3	x = 0	x = 1	\mathbf{z}^{t}
A	0 0 0	0 0 0	0 1 0	0
В	0 1 0	0 0 0	1 1 0	0
C	1 1 0	0 0 0	1 0 0	0
D	1 0 0	0 0 1	1 0 0	0
Е	0 0 1	0 0 0	0 1 0	1
F	0 1 1	0 0 0	0 0 0	0
G	1 1 1	0 0 0	0 0 0	0
Н	1 0 1	0 0 0	0 0 0	0

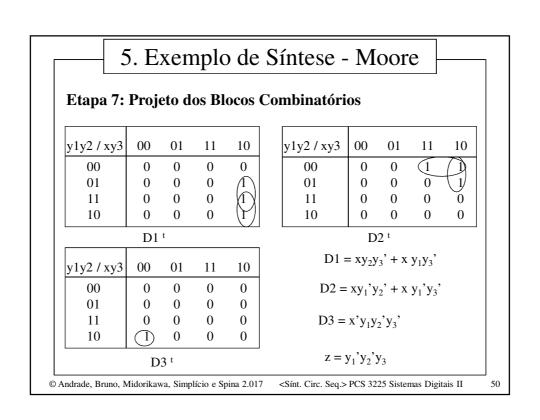
 s^{t+1}

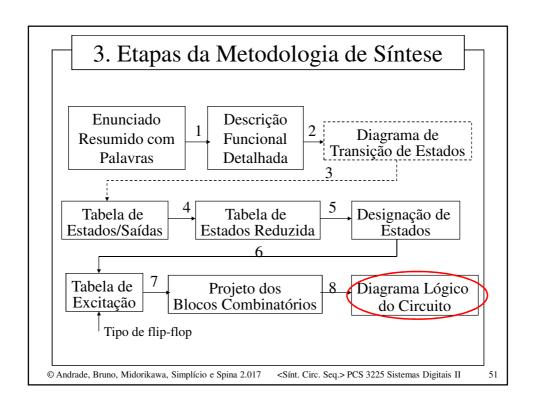
© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017 <Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

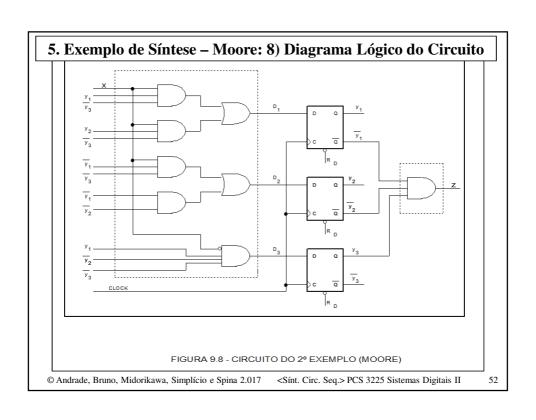












6. Simplificação da Tabela de Estados

Para se obter um circuito mais simples, é importante reduzir a tabela de estados, quando possível. Esta redução é possível quando existirem na tabela **estados equivalentes**.

<u>Definição</u>: Dois estados são **equivalentes** quando:

- produzem a mesma saída para o mesmo valor das entradas
- são levados a estados equivalentes para o mesmo valor das entradas

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

6. Simplificação da Tabela de Estados

Esta noção de estados equivalentes tem as propriedades matemáticas de uma relação de equivalência

Existem dois métodos de simplificação:

- observação direta
- tabelas de implicação

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

6.1. Simplificação por Observação Direta

\mathbf{s}^{t} \mathbf{x}^{t}	x = 0	x = 1
A	A/0	B/0
В	A/1	C/0
С	A/0	D/1
D	E/1	D/0
Е	A/0	B/0

 s^{t+1}/z^t

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

6.1. Simplificação por Observação Direta

S^t X^t	x = 0	x = 1
A	A / 0	B/0
В	A/1	C/0
С	A/0	D/1
D	A/1	D/0

 s^{t+1}/z^t

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

6.2. Simplificação por Tabelas de Implicação

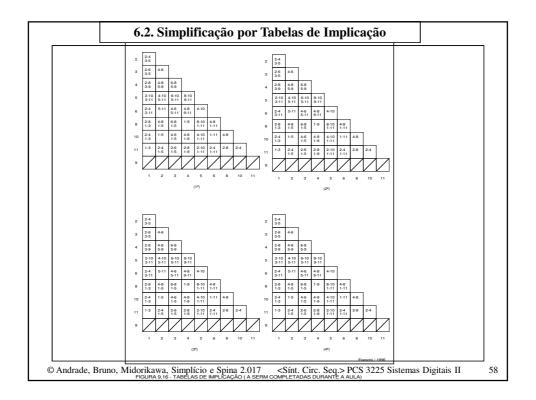
Trata-se de um método útil quando o número de estados é muito grande.

A idéia é testar iterativamente se estados podem ser equivalentes dois a dois, seguindo um certo procedimento.

Para isto, utiliza-se uma tabela de implicação.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II



Lição de Casa

- Leitura Obrigatória:
 - -Capítulo 7.0, ítem 7.4 do Livro Texto.
- Exercícios Obrigatórios:
 - -Capítulo 7.0 do Livro Texto.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

Livro Texto

■ Wakerly, J.F.; *Digital Design* – *Principles & Practices;* Fourth Edition, ISBN: 0-13-186389-4, Pearson & Prentice-Hall, Upper Saddle, River, New Jersey, 07458, 2006.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

Bibliografia Adicional Deste Assunto

- Dias, Francisco José de Oliveira; *Introdução* aos Circuitos de Chaveamento; Apostila, PEL/EPUSP, 1.980;
- Fregni, Edson; Ranzini, Edith; *Teoria da Comutação: Introdução aos Circuitos Digitais (Partes 1 e 2)*; Apostila PCS/EPUSP, Outubro de 1.999;

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II

Bibliografia Adicional Deste Assunto

- Hill, Frederic and Peterson, Gerald; *Introduction to Switching Theory and Logical Design*; Ed. John Wiley and Sons, 1.974;
- Ranzini, Edith; *Circuitos de Chaveamento* (notas de aula); Apostila, EPUSP, 1.983.

© Andrade, Bruno, Midorikawa, Simplício e Spina 2.017

<Sínt. Circ. Seq.> PCS 3225 Sistemas Digitais II