

Introdução a Linguagem VHDL e ao Altera Quartus II

Edson Midorikawa

27/02/2012

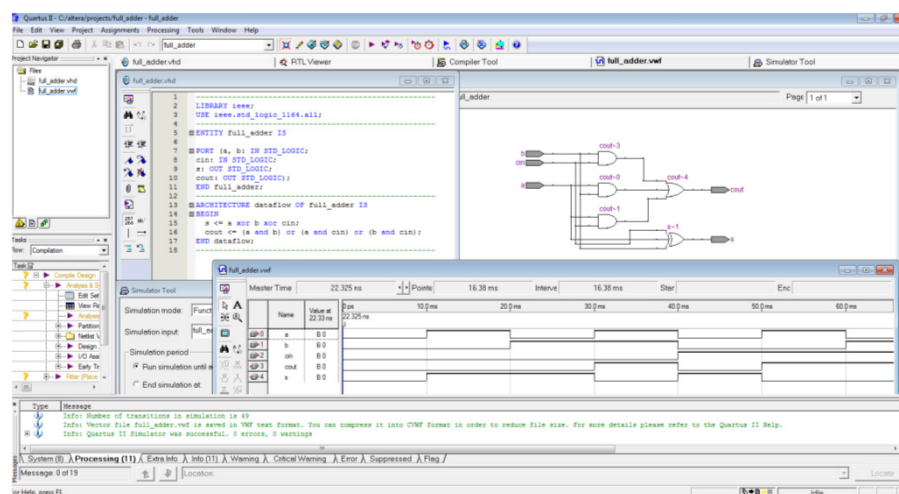
PCS2304 – Sistemas Digitais II

- Nesta disciplina usaremos a linguagem **VHDL** e o software **Altera Quartus II** para desenvolver projetos de circuitos digitais.
- Em conjunto com as disciplinas **PCS2305/2355**, os conceitos apresentados serão ilustrados na forma de projetos e experiências.
- Importante para a compreensão e prática dos tópicos abordados.

Altera Quartus II

- Software de desenvolvimento de circuitos digitais da fabricante Altera (www.altera.com)
- Versão web disponível gratuitamente
- Permite:
 - Entrada em captura esquemática e HDLs
 - Simulação de circuitos
 - Síntese de projetos em FPGAs

Altera Quartus II



Altera Quartus II

- Versão a ser usada: **Quartus II 9.1sp2**
 - contém um simulador embutido
 - NÃO usaremos a versão mais recente (v.11.1sp2)
 - disponível no site do Laboratório Digital (<http://www.pcs.usp.br/~labdig/download.html>) ou com os técnicos responsáveis (Daniel e Fátima)
 - tamanho: 1,85GB
 - **tutoriais** também no site do Laboratório Digital:
 - Tutorial para Criar e Simular Circuitos Digitais no Altera Quartus II - versão 9.1
 - Projeto de Circuitos com Quartus II 9.1



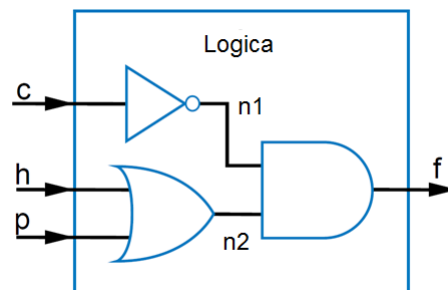
PCS2304 - Sistemas Digitais II

ETM/2012

5

Altera Quartus II

- Demonstração do software
 - Seja um circuito combinatório simples



PCS2304 - Sistemas Digitais II

ETM/2012

6

Exemplo

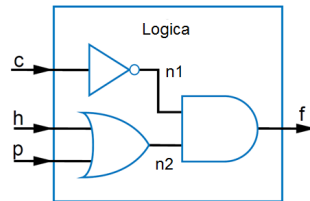


Tabela verdade

c	h	p	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

- Equação lógica

$$f = \bar{c} \cdot (h + p)$$

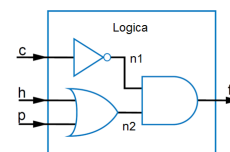
PCS2304 - Sistemas Digitais II

ETM/2012

7

Exemplo

- Descrição VHDL (*dataflow*)



```

1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity Logica is
5      port (c, h, p : in std_logic;
6            f       : out std_logic);
7  end Logica;
8
9  architecture comportamental of Logica is
10     begin
11         f <= (not c) and (h or p);
12     end comportamental;

```

definição de bibliotecas

definição da entidade
(pinos de entrada e saída)

definição da arquitetura
(funcionamento)

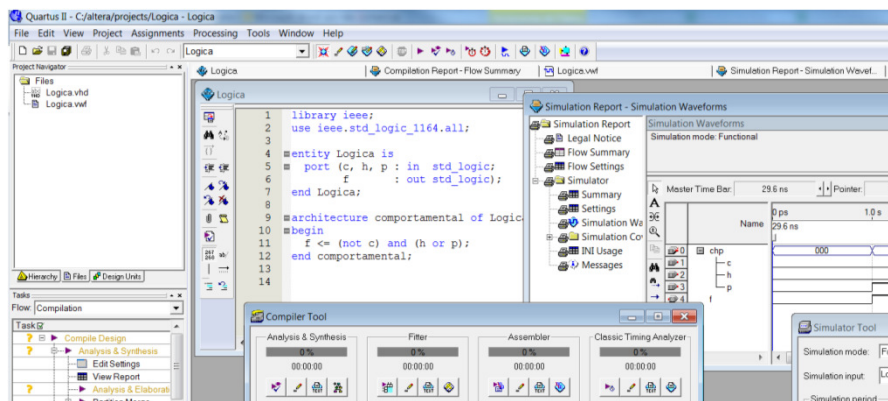
PCS2304 - Sistemas Digitais II

ETM/2012

8

Exemplo

- Projeto no Altera Quartus II



PCS2304 - Sistemas Digitais II

ETM/2012

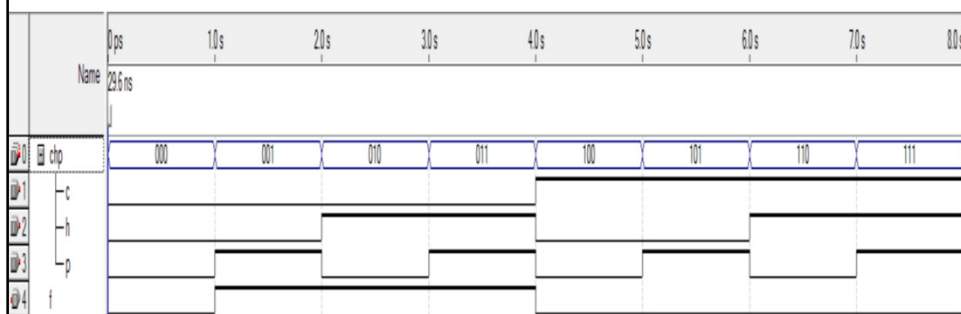
9

Exemplo

- Resultado da simulação

Tabela verdade

c	h	p	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0



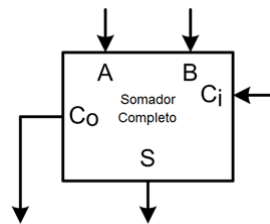
PCS2304 - Sistemas Digitais II

ETM/2012

10

Outro Exemplo

- Somador completo



$$S = A.B + A.C_i + B.C_i$$

$$Co = A \oplus B \oplus C_i$$

Tabela verdade

ABC _i	Co	S
000	0	0
001	0	1
010	0	1
011	1	0
100	0	1
101	1	0
110	1	0
111	1	1

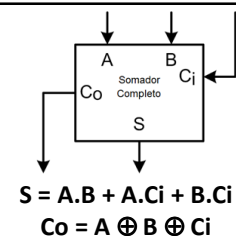
PCS2304 - Sistemas Digitais II

ETM/2012

11

Outro Exemplo

- Descrição VHDL (dataflow)



$$S = A.B + A.C_i + B.C_i$$

$$Co = A \oplus B \oplus C_i$$

```

1
2  LIBRARY ieee;
3  USE ieee.std_logic_1164.all;
4
5  ENTITY full_adder IS
6  PORT (a, b : IN STD_LOGIC;
7        cin : IN STD_LOGIC;
8        s   : OUT STD_LOGIC;
9        cout : OUT STD_LOGIC);
10 END full_adder;
11
12 ARCHITECTURE dataflow OF full_adder IS
13 BEGIN
14   s <= a xor b xor cin;
15   cout <= (a and b) or (a and cin) or (b and cin);
16 END dataflow;
17

```

PCS2304 - Sistemas Digitais II

ETM/2012

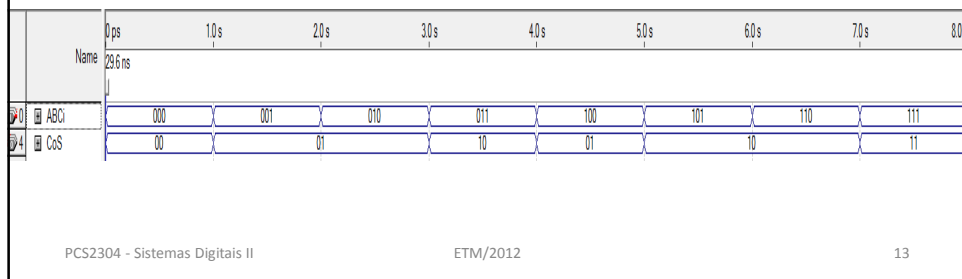
12

Outro Exemplo

- Resultado da simulação

Tabela verdade

ABCi	Co S
000	0 0
001	0 1
010	0 1
011	1 0
100	0 1
101	1 0
110	1 0
111	1 1



PCS2304 - Sistemas Digitais II

ETM/2012

13

Linguagem VHDL

- Permite várias alternativas para a **descrição** de um circuito:
 - Comportamental
 - Dataflow
 - Estrutural
- Em relação à **realização física** do circuito, uma descrição VHDL pode ser:
 - Sintetizável
 - Não sintetizável

PCS2304 - Sistemas Digitais II

ETM/2012

14

Linguagem VHDL

- Sugestões de referência:
 - Roberto d'Amore. **VHDL – descrição e síntese de circuitos digitais**. LTC, 2005.
 - Volnei A. Pedroni. **Circuit Design and Simulation with VHDL**. 2nd ed., The MIT Press, 2010.

