SISD2 - Prova 1

Cainan de S. A da Silva

1) TTE inicial →

Part I

estados	00	01	11	10
A	C/1	A/0	B/1	-/-
B	D/1	B/1	-/-	C/1
C	D/1	E/1	B/1	C/1
D	D/1	-/-	-/-	-/-
E	-/-	A/0	E/1	D/1

→ TTE reduzida final?

→ TPE correspondente Inicial

	A	B	C	D
B	X			
C	X	B-E		
D	C-D	V	V	
E	B-E	X	X	V

→ TPE correspondente final (verificando dependências)

	A	B	C	D
B	X			
C	X	~~B-E~~		
D	C-D	V	V	
E	~~B-E~~	X	X	V

Determinando o conjunto de classes de máxima compatibilidade, temos:

Estado em análise	Estados compatíveis	Conjunto de classes de estados de máxima compatibilidade
D	E	(D,E)
C	D	(D,E) (C,D)
B	D	(D,E) (C,D) (B,D)
A	D	(A,D) (B,D) (C,D) (D,E)

regra 1

· logo, temos CCEMC = [(A,D); (B,D); (C,D); (D,E)] → 4 classes

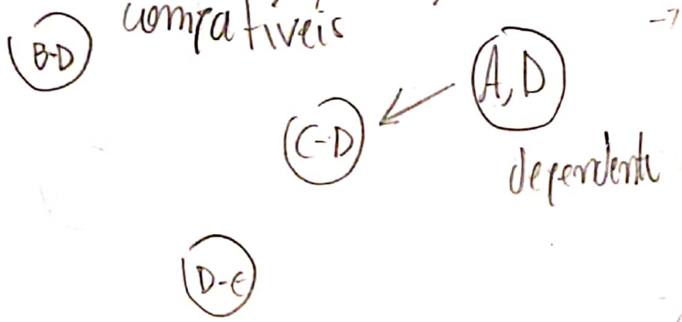
① Part II

→ Agora, analisando o critério da cobertura mínima, temos:

Verificação { – conter o menor número de classes que cobrem a TTE inicial
– formar um conjunto fechado que satisfaça a propriedade do fechamento

· Grafos de compatibilidade

· Partindo da TPE final, temos:



→ Após possíveis análises para a aquisição da cobertura mínima do TTE inicial, deve-se valer a propriedade do fechamento.

Agora, verificando a propriedade do fechamento, temos:

→ Conjunto fechado deve conter os estados A, B, C, D, E e não possuir indeterminação, logo:

– Cobertura mínima da TTE inicial [(A), (B); (C); (D,E)]
Verificado como uma possível combinação

Dessa forma, devemos montar a TTE reduzida sendo
→ (A) estado 2 // (B) = estado 3 // (C) estado 4 // (D,E) = estado 1

estados \ E_1E_2	00	01	11	10	
1	1/1	2/0	1/1	1/1	(D,E)
2	4/1	2/0	3/1	–	A
3	1/1	3/1	–	4/1	B
4	1/1	1/1	3/1	4/1	C

(1) Part III

Outras possíveis soluções são à partir da utilização de outras possíveis coberturas mínimas, sendo elas

(1) [(A),(B),(CD),(E)], a qual gerará a seguinte TTE reduzida.

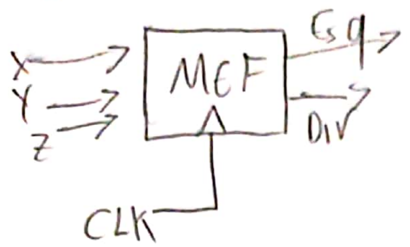
Estado \ E_1E_2	00	01	11	10	
1	1/1	4/1	3/1	1/1	CD
2	1/1	2/0	3/1	-	A
3	1/1	3/1	-	1/1	B
4	-	2/0	4/1	1/1	E

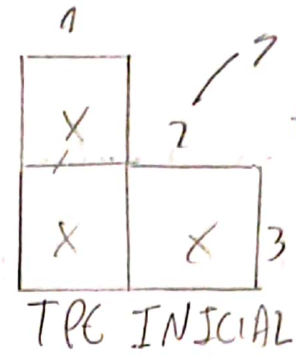
(2) E também: [(A),(BD),(C),(E)]

estados \ E_1E_2	00	01	11	10	
1	1/1	1/1	-	3/1	BD
2	3/1	2/0	1/1	-	A
3	1/1	4/1	1/1	3/1	C
4	-	2/0	4/0	1/1	E

② Diagrama de blocos

PartI





→ Todos os estados são incompatíveis, Portanto não é possível de redução

*Obs:
TTE Inicial

Estados \ XYZ	000	001	011	010	110	111	101	100
	–	–	–	A/00	B/00	–	–	–
	–	–	–	C/01	B/01	–	–	G/01
	D/01	–	–	C/01	–	–	–	–
	D/01	E/01	–	–	–	–	–	–
	F/10	E/10	–	–	–	–	–	–
	E/10	–	–	A/10	–	–	–	–
	D/01	–	–	–	–	–	–	G/01

Que gera:
TTE reduzida

Designação dos Estados: { 01 - 1, 00 - 2, 11 - 3 }

Estados \ XYZ	000	001	011	010	110	111	101	100	
01 (1)	3/10	1/10	–	1/00	2/00	–	–	–	AE
00 (2)	2/01	1/01	–	2/01	2/01	–	–	2/01	BCDG
11 (3)	3/10	–	–	1/10	–	–	–	–	F

↳ Não possível de reduções, logo:

Assinalamento de estados: 3 estados → 2 bits - 2 FF's D

Tabela de Excitação do FF D

Q(t) → Q(t+1)	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

• Logica de exitação + Karnaugh (Minimização) ② Part II

• FFD_1

Estados Q_1Q_0 \ XYZ	000	001	011	010	110	111	101	100
0 0	0	0	–	0	0	–	–	0
0 1	1	0	–	0	0	–	–	–
1 1	1	–	–	0	–	–	–	–
1 0	–	–	–	–	–	–	–	–

$D_1 = \bar{Y}\bar{Z}.Q_0$

• FFD_0

Estados \ XYZ	000	001	011	010	110	111	101	100
0 0	1	1	–	1	1	–	–	1
0 1	0	0	–	0	0	–	–	–
1 1	0	–	–	0	–	–	–	–
1 0	–	–	–	–	–	–	–	–

$D_0 = \bar{X}\bar{Q_0} + \bar{Z}$

• Saídas • Z_1

Q_1Q_0	000	001	011	010	110	111	101	100
0 0	0	0	–	0	0	–	–	0
0 1	1	1	–	0	0	–	–	–
1 1	1	–	–	1	–	–	–	–
1 0	–	–	–	–	–	–	–	–

$Z_1 = \bar{Y}Q_0 + Q_1$

Digitalizado com CamScanner

2

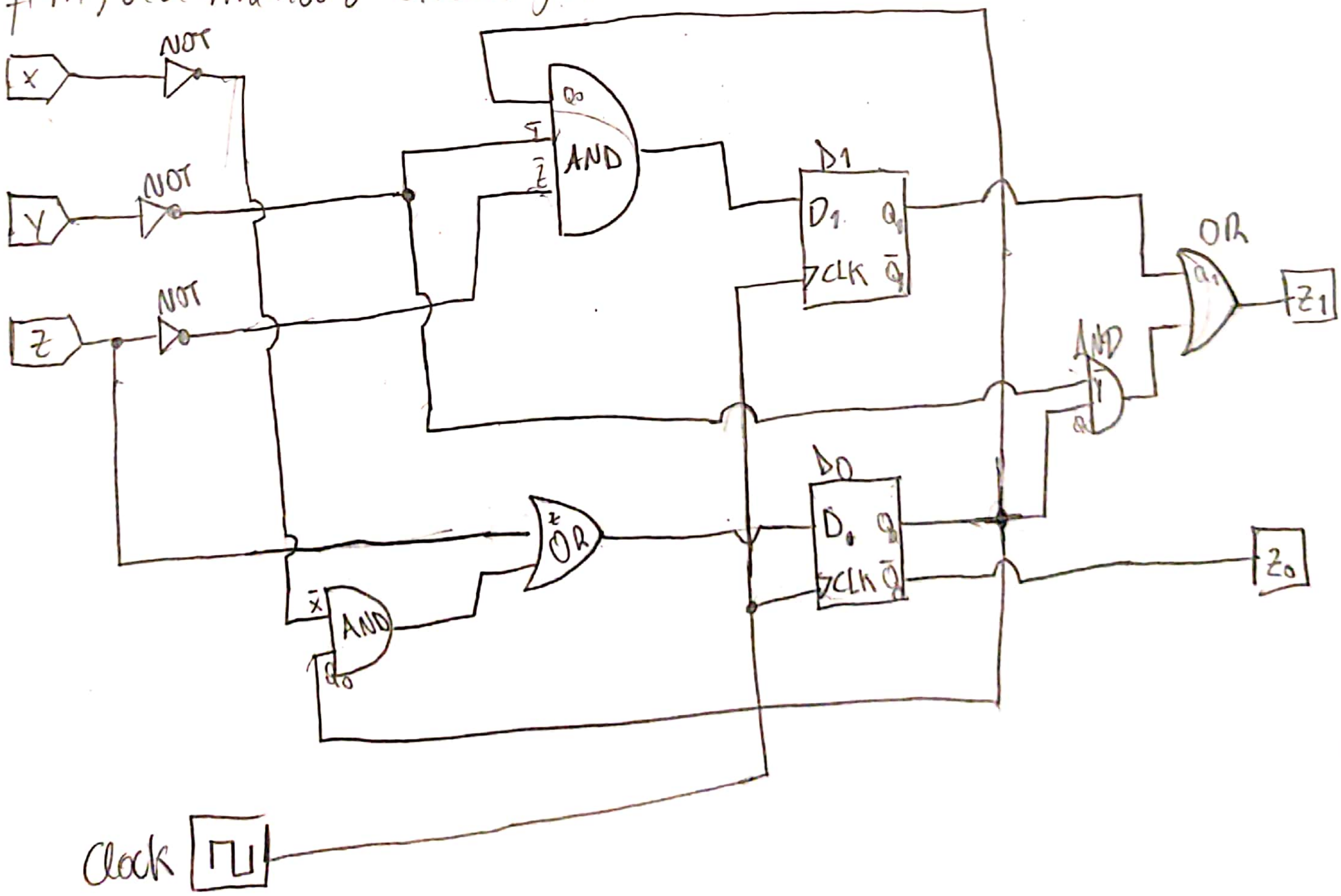
Part III

Saída Z_0

Q_1Q_0 \ xyz	000	001	011	010	110	111	101	100
00	1	1		1	1	–	–	1
01	0	0	–	0	0	–	–	–
11	0	–	–	0	–	–	–	–
10	–	–	–	–	–	–	–	–

$Z_0 = \overline{Q_0}$ //

• Por fim, desenhando o circuito, temos:

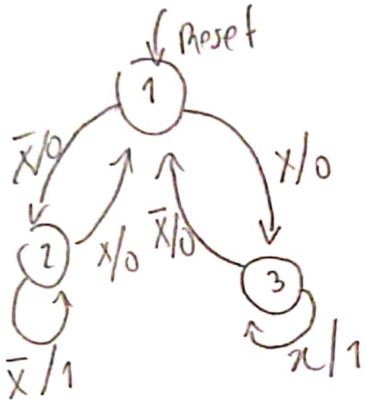


③ Part I

Analisando, temos que para a saída Z = 1, necessita-se detectar a sequência de entrada pedida no exercício.

- Estado Inicial -> $x=0$, $Z=0$

- Diagrama de estados (Mealy)



-> TTE Modelo Mealy

Estados \ X	0	1
1	2/0	3/0
2	2/1	1/0
3	1/0	3/1

- Minimização de Estados

	1	2
2	X	
3	X	X

Todos incompatíveis, portanto não possível de redução.

- Designação arbitrária dos estados

1 - 00   2 - 01   3 - 11   (-) - 10, sendo assim, construímos a TTE assinalada.

TTE assinalada

Q_1Q_0 \ X	0	1
0 0	01/0	11/0
0 1	01/1	00/0
1 1	00/0	11/1
1 0	-	-

- Para designação dos flipflops, sabe-se que 3 estados -> 2 bits -> 2 FF's. Assim sendo, implementaremos 2 FF's JK como pedido no enunciado.

• Tabela de Excitação do FF JK

Part II

$Q(t) \rightarrow Q(t+1)$	J	K
$0 \rightarrow 0$	0	X
$0 \rightarrow 1$	1	X
$1 \rightarrow 0$	X	1
$1 \rightarrow 1$	X	0

• Para tanto, faremos a minimização, por Karnaugh, através da lógica de excitação

• Lógica de excitação

FFJK0

Q_1Q_0 \ x	0	1
0 0	1	1
0 1	X	X
1 1	X	X
1 0	–	–

$J_0 = 1$

Q_1Q_0 \ x	0	1
0 0	X	X
0 1	0	1
1 1	1	0
1 0	–	–

$K_0 = x\overline{Q_1} + \overline{x}Q_1$

FFJK1

Q_1Q_0 \ x	0	1
0 0	0	1
0 1	0	0
1 1	X	X
1 0	–	–

$J_1 = x\overline{Q_0}$

Q_1Q_0 \ x	0	1
0 0	X	X
0 1	X	X
1 1	1	0
1 0	–	–

$K_1 = \overline{x}$

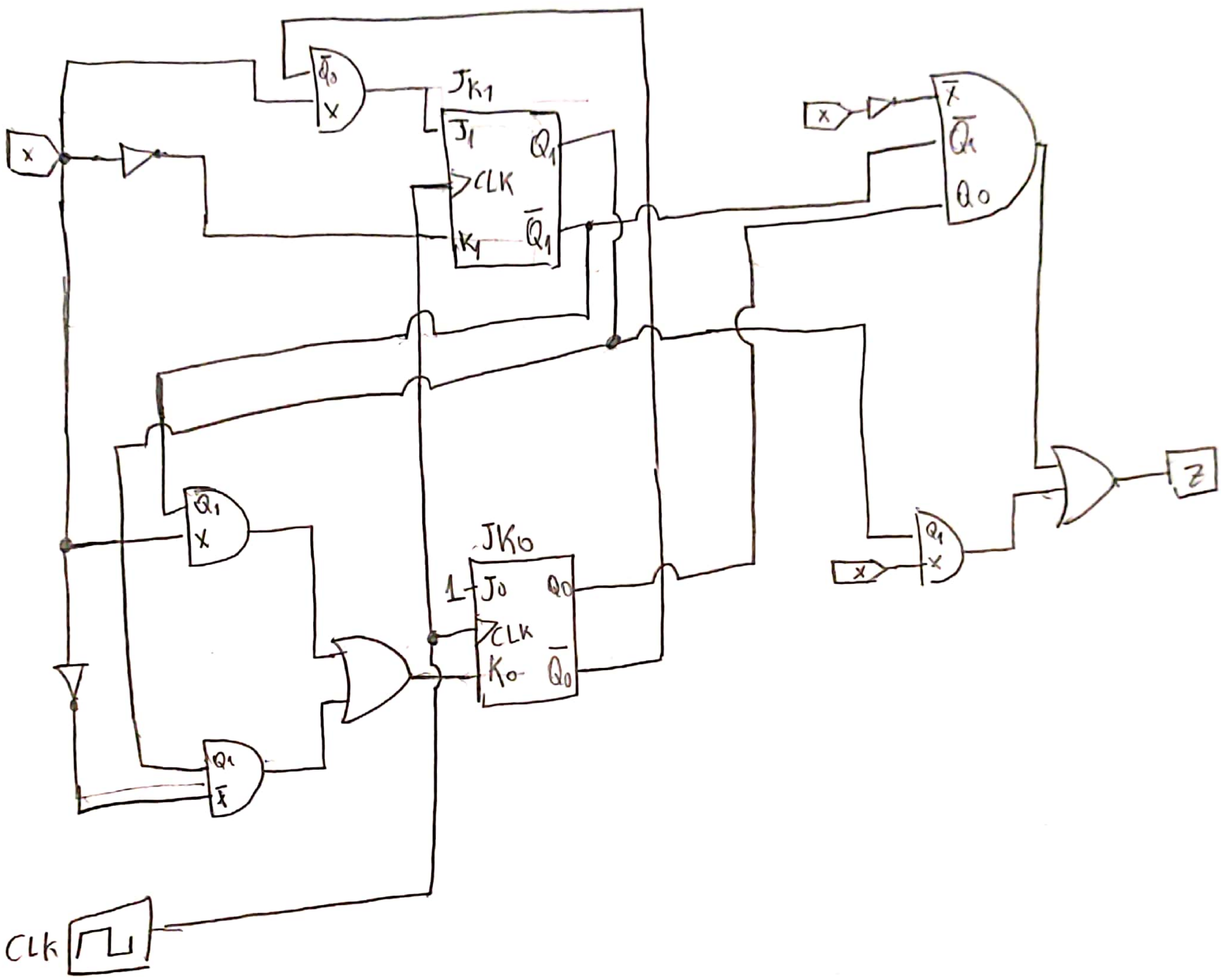
• Lógica de saída

Q_1Q_0 \ x	0	1
0 0	0	0
0 1	1	0
1 1	0	1
1 0	–	–

$Z = \overline{x}\,\overline{Q_1}Q_0 + xQ_1$

Circuito lógico (A partir da minimização anterior)

Cont III



(4) 1º passo) Identificar os FF's → 2FF's JK

2º passo) Equação característica → $Q(t+1) = J\,\overline{Q(t)} + \overline{K(t)}\cdot Q(t)$

3º passo) Verificar excitação (Análise pelo circuito)

$$\boxed{\begin{array}{l} \cdot\ FF\ JK_1 \rightarrow \begin{cases} K_1 = \bar{x} \\ J_1 = x.Q_0 \end{cases} \\ \cdot\ FF\ JK_0 \rightarrow \begin{cases} K_0 = 1 \\ J_0 = x.\overline{Q_1} \end{cases} \end{array}}$$

4º passo) Equação de saída

$Z = Q_1.x$

5º passo) Equações de próximo estado : $Q_0 / Q_1 = Q(t+1)$

$q_0/q_1 = Q(t)$

• Flip Flop JK_1

$Q_1 = J_1\,\overline{q_1} + \overline{K_1}\,q_1$

$Q_1 = (x.q_0).\overline{q_1} + \bar{\bar{x}}\,q_1$

$Q_1 = (xq_0).\overline{q_1} + x q_1$

$Q_1 = xq_0\overline{q_1} + xq_1$

$\underline{\underline{Q_1 = xq_0 + xq_1}}$

• Flip Flop JK_0

$Q_0 = J_0\,\overline{q_0} + \overline{K_0}\,q_0$

$Q_0 = (x\overline{q_1})\,\overline{q_0} + 0\,q_0$

$Q_0 = (x\overline{q_1})\,\overline{q_0} + 0\,q_0$

$\underline{\underline{Q_0 = x.\overline{q_1}\,\overline{q_0} + 0}}$

→ 2FF's → 2^2 = 4 estados

6º passo) Construção da TTE (Tabela de Transição de Estados)

Q_1Q_0 \ x	0	1
00	00/0	01/0
01	00/0	10/0
11	00/0	10/1
10	00/0	10/1

→ TTE assinalada

Q_1Q_0 \ x	0	1
(A) 00	00/0	01/0
(B) 01	00/0	10/0
11	–	–
(C) 10	00/0	10/1

3 estados

A, B, C

2 bits

00 = A

01 = B

10 = C

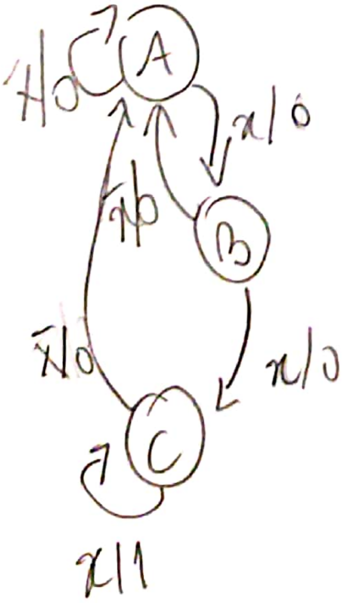
designação arbitrária

logo:

Q \ x	0	1
A	A/0	B/0
B	A/0	C/0
C	A/0	C/1

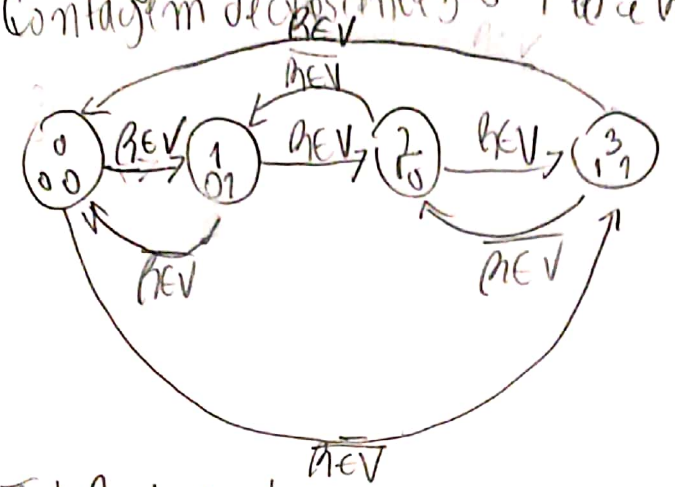
TTE Modelo Mealy

7º passo) Grafo de Transição (Modelo Mealy)



→ detector de sequência de pelo menos três 1's consecutivos

5) Contagem Crescente 0-3
Contagem decrescente 3-0 | Reversão das contagens feitas por REV=1 (crescente) e $\overline{REV}$ = 0 (decrescente)



• Tabela de Excitação FFJK →

Q(t) → Q(t+1)	J	K
0 → 0	0	X
0 → 1	1	X
1 → 0	X	1
1 → 1	X	0

• Tabela de Transição de estados

Estado Atual		Próximo estado REV=0		Próximo estado REV=1	
Q_1	Q_0	Q_{1f}	Q_{0f}	Q_{1f}	Q_{0f}
0	0	1	1	0	1
0	1	0	0	1	0
1	0	0	1	1	1
1	1	1	0	0	0

• Karnaugh →

JK0

REV \ Q_1Q_0	00	01	11	10
0	1	X	X	1
1	1	X	1	X

$J_0 = 1$

REV \ Q_1Q_0	00	01	11	10
0	X	1	1	X
1	X	1	X	1

$K_0 = 1$

REV \ Q_1Q_0	00	01	11	10
0	1	0	X	X
1	0	1	X	X

$J_1 = Q_0 REV + \overline{Q_0} \cdot \overline{REV}$

REV \ Q_1Q_0	00	01	11	10
0	X	X	0	1
1	X	X	1	0

$K_1 = Q_0 REV + \overline{Q_0} \cdot \overline{REV}$

· Circuito Lógico →