

**Instituto Federal de Educação Ciência e Tecnologia de São Paulo**  
**Curso de Graduação em Engenharia Eletrônica**

Portas lógicas XOR e XNOR

RELATÓRIO DA DISCI-  
PLINA LABORATÓRIO  
DE ELETRÔNICA 1 COM  
O PROF. GILBERTO  
CUARELLI E O PROF.  
HAROLDO GUIBU.

Gustavo Senzaki Lucente  
Luís Otávio Lopes Amorim

SP303724X  
SP3034178

São Paulo

2020

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO TEÓRICA . . . . .</b>	<b>5</b>
<b>1.1</b>	<b>Objetivos . . . . .</b>	<b>6</b>
<b>1.2</b>	<b>Materiais e Equipamentos . . . . .</b>	<b>6</b>
<b>2</b>	<b>PROCEDIMENTOS EXPERIMENTAIS . . . . .</b>	<b>7</b>
<b>2.1</b>	<b>Análise prática das portas lógicas . . . . .</b>	<b>7</b>
<b>2.2</b>	<b>Montagem 1 . . . . .</b>	<b>9</b>
<b>2.3</b>	<b>Montagem 2 . . . . .</b>	<b>10</b>
<b>2.4</b>	<b>Montagem 3 . . . . .</b>	<b>11</b>
<b>2.5</b>	<b>Montagem 4 . . . . .</b>	<b>12</b>
<b>3</b>	<b>QUESTÕES . . . . .</b>	<b>15</b>
<b>3.1</b>	<b>NAND de 4 entradas . . . . .</b>	<b>15</b>
<b>3.2</b>	<b>NOR de 4 entradas . . . . .</b>	<b>15</b>
<b>3.3</b>	<b>Diagrama de portas de 4 entradas . . . . .</b>	<b>16</b>
<b>3.4</b>	<b>Saídas portas exclusivas . . . . .</b>	<b>17</b>
<b>3.5</b>	<b>Diagrama de tempo . . . . .</b>	<b>17</b>
<b>4</b>	<b>CONCLUSÕES . . . . .</b>	<b>18</b>

# LISTA DE FIGURAS

Figura 1 – Símbolo porta XOR . . . . .	5
Figura 2 – Símbolo porta XOR . . . . .	6
Figura 3 – CI 7486 . . . . .	7
Figura 4 – CI 74266 . . . . .	7
Figura 5 – CI 7404 . . . . .	8
Figura 6 – CI 7400 . . . . .	8
Figura 7 – Porta XOR . . . . .	9
Figura 8 – Porta XOR . . . . .	9
Figura 9 – Montagem 2 . . . . .	10
Figura 10 – Montagem 3 . . . . .	11
Figura 11 – Primeiro circuito . . . . .	12
Figura 12 – Segundo circuito . . . . .	13
Figura 13 – Terceiro circuito . . . . .	13
Figura 14 – Quarto circuito . . . . .	14
Figura 15 – AND de 4 entradas . . . . .	16
Figura 16 – NAND de 4 entradas . . . . .	17
Figura 17 – NOR de 4 entradas . . . . .	17
Figura 18 – Diagramas de tempo . . . . .	17

# LISTA DE TABELAS

Tabela 1 – Tabela verdade XOR de 2 entradas . . . . .	5
Tabela 2 – Tabela verdade XNOR de 2 entradas . . . . .	6
Tabela 3 – Níveis lógicos encontrados para as portas . . . . .	8
Tabela 4 – Tensões encontrados para as portas . . . . .	9
Tabela 5 – Níveis lógicos encontrados para os circuitos lógicos . . . . .	10
Tabela 6 – Tensões encontrados para os circuitos lógicos . . . . .	10
Tabela 7 – Tabela verdade montagem 2 . . . . .	11
Tabela 8 – Tabela verdade montagem 3 . . . . .	12
Tabela 9 – Tabela verdade primeiro circuito . . . . .	12
Tabela 10 – Tabela verdade segundo circuito . . . . .	13
Tabela 11 – Tabela verdade terceiro circuito . . . . .	13
Tabela 12 – Tabela verdade quarto circuito . . . . .	14
Tabela 13 – Tabela verdade NAND 4 entradas . . . . .	15
Tabela 14 – Tabela verdade NOR 4 entradas . . . . .	16

# 1 INTRODUÇÃO TEÓRICA

Em um experimento anterior, já exploramos o funcionamento das portas lógicas fundamentais, aquelas que sozinhas compõem qualquer circuito lógico. Porém, além desses blocos fundamentais, existem duas portas lógicas, compostas pela junção das mais básicas, essas portas são chamadas de exclusivas e suas abreviações são XOR (OU exclusivo) e XNOR (NÃO OU exculsivo).

Por mais que não são portas básicas fundamentais, ambas as portas são muito utilizadas em circuitos lógicos, isso pois a operação que elas realizam são operações de comparação, operações essas muito necessárias em diversos sistemas digitais.

A porta XOR é na verdade um bloco lógico composto por portas AND, OR e NOT e realiza a operação de OU exclusivo. Essa operação é definida pela expressão booleana:

$$x = A \oplus B \quad (1.1)$$

E funciona basicamente como um comparador, caso haja um número ímpar de entradas com nível lógico 1, a saída será 1, caso contrário será 0 (??). Assim, a tabela verdade para a operação XOR pode ser vista em 1, além disso, seu símbolo pode ser visto em 1.

Tabela 1 – Tabela verdade XOR de 2 entradas

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

**Fonte:** Elaborada pelos autores

Figura 1 – Símbolo porta XOR



**Fonte:** Instructables

A porta XNOR é, por outro lado, o bloco lógico que realiza a operação de NÃO OU exclusivo, ou seja, é basicamente uma porta XOR com a saída invertida, sua expressão

booleana é:

$$x = \overline{A \oplus B} \quad (1.2)$$

Assim, a funcionando como um outro comparador, a saída será 1 quando houver um número par de entradas iguais a 1 (??). Isso faz com que uma porta XNOR de 2 entradas seja conhecida como porta coincidência, já que retorna 1 apenas quando todas as entradas são iguais, como visto em sua tabela verdade representada na tabela 2, por fim, seu símbolo esta representado na figura 2.

Tabela 2 – Tabela verdade XNOR de 2 entradas

A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

**Fonte:** Elaborada pelos autores

Figura 2 – Símbolo porta XOR



**Fonte:** Electronics tutorial

## 1.1 Objetivos

Verificar o funcionamento das funções XOR (ou exclusivo) e XNOR (coincidência).  
Analisar o comportamento das funções XOR e XNOR com mais de duas entradas.

## 1.2 Materiais e Equipamentos

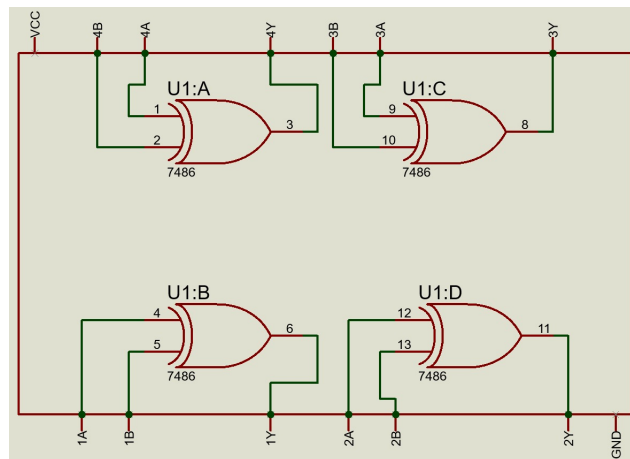
- 1 Circuito integrado 7486 (Porta XOR - MED52)
- 1 Circuito integrado 74266 (Porta XNOR - MED52)
- 1 Circuito integrado 7404 (Porta NOT - MED52)
- 1 Circuito integrado 7400 (Porta NAND - MED50)
- 1 Fonte de alimentação DC (LEG2000)
- LED's e resistores para monitoramento dos níveis lógicos (LEG2000)
- 1 multímetro digital

## 2 PROCEDIMENTOS EXPERIMENTAIS

### 2.1 Análise prática das portas lógicas

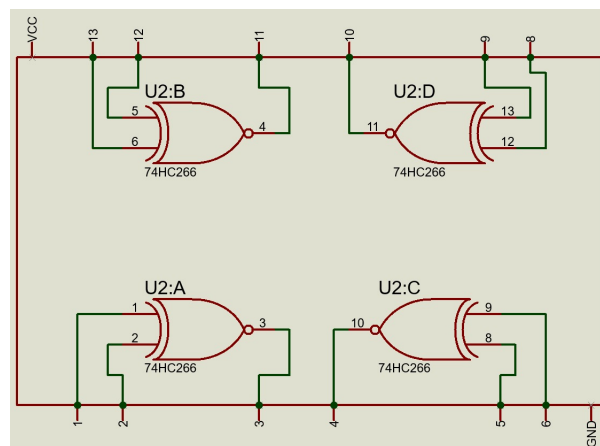
Inicialmente, observando os datasheets dos CI's utilizados, reconstruímos a estrutura interna de cada um desses chips, visando um entendimento melhor de seus funcionamentos. Assim, a figura 3 representa o CI 7486 com 4 portas do tipo XOR, a figura 4 representa o CI 74266 com suas 4 portas XNOR, a figura 5 representa o CI 7404 com 4 portas NOT, por fim, a figura 6 representa o CI 7400 com 4 portas NAND.

Figura 3 – CI 7486



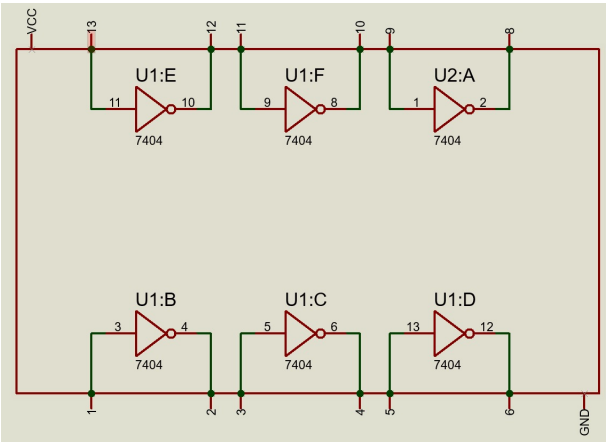
**Fonte:** Elaborada pelos autores

Figura 4 – CI 74266



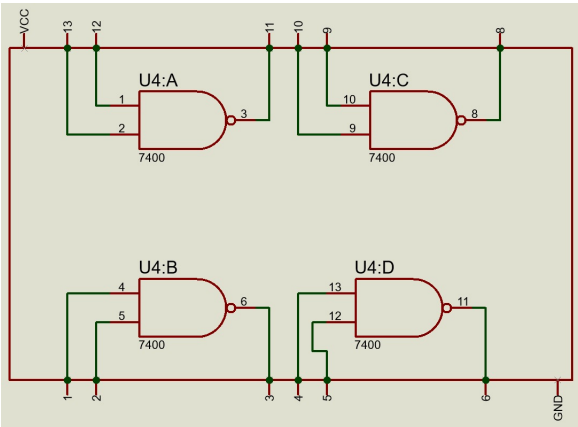
**Fonte:** Elaborada pelos autores

Figura 5 – CI 7404



Fonte: Elaborada pelos autores

Figura 6 – CI 7400



Fonte: Elaborada pelos autores

Além disso, utilizando as portas XOR e XNOR sozinhas, sem o uso de circuitos integrados, pudemos aferir as saídas de cada uma, verificando, dessa forma que os resultados obtidos experimentalmente condizem com aqueles esperados nas observações teóricas. Dessa forma, a tabela 3 representa as tabelas verdades obtidas de cada uma das portas observadas e a tabela 4 representa as tensões utilizadas para as entradas e observadas nas saídas dessas portas.

Tabela 3 – Níveis lógicos encontrados para as portas

XOR			XNOR			NOT	
A	B	S	A	B	S	A	S
0	0	0	0	0	1	0	1
0	1	1	0	1	0	1	0
1	0	1	1	0	0		
1	1	0	1	1	1		

Fonte: Elaborada pelos autores



Tabela 4 – Tensões encontrados para as portas

XOR			XNOR			NOT	
A (V)	B (V)	S (V)	A (V)	B (V)	S (V)	A (V)	S (V)
0	0	0	0	0	5	0	5
0	5	5	0	5	0	5	0
5	0	5	5	0	0		
5	5	0	5	5	5		

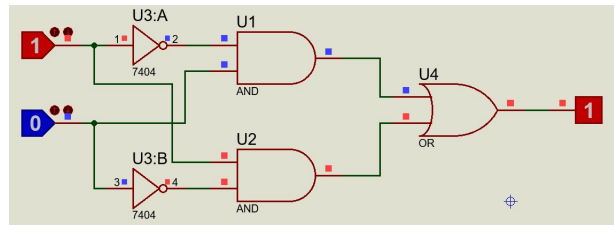
**Fonte:** Elaborada pelos autores

## 2.2 Montagem 1

A primeira montagem realizada nesse experimento é a criação de portas XOR e XNOR utilizando as portas básicas: AND, NOT, OR utilizando expressões fornecidas pelos professores. Dessa forma a equação 2.1 representa a expressão lógica utilizada para a montagem do circuito representado na figura 7, uma porta do tipo XOR. Por outro lado, a equação 2.2 representa a expressão lógica utilizada para montar o circuito da figura 8, uma porta do tipo XNOR.

$$S = \overline{A} \cdot B + A \cdot \overline{B} \quad (2.1)$$

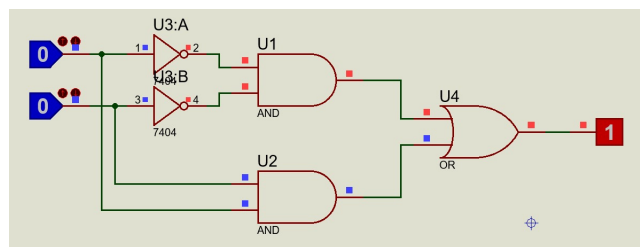
Figura 7 – Porta XOR



**Fonte:** Elaborada pelos autores

$$S = \overline{A} \cdot \overline{B} + A \cdot B \quad (2.2)$$

Figura 8 – Porta XNOR



**Fonte:** Elaborada pelos autores

Novamente, analisamos as saídas tanto em relação aos seus níveis lógicos quanto em relação às tensões. Como pode ser visto nas tabelas 5 e 6, os resultados obtidos foram os mesmos de anteriormente.

Tabela 5 – Níveis lógicos encontrados para os circuitos lógicos

XOR			XNOR			NOT	
A	B	S	A	B	S	A	S
0	0	0	0	0	1	0	1
0	1	1	0	1	0	1	0
1	0	1	1	0	0		
1	1	0	1	1	1		

**Fonte:** Elaborada pelos autores

Tabela 6 – Tensões encontrados para os circuitos lógicos

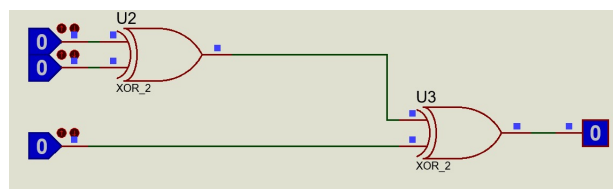
XOR			XNOR			NOT	
A (V)	B (V)	S (V)	A (V)	B (V)	S (V)	A (V)	S (V)
0	0	0	0	0	5	0	5
0	5	5	0	5	0	5	0
5	0	5	5	0	0		
5	5	0	5	5	5		

**Fonte:** Elaborada pelos autores

## 2.3 Montagem 2

A segunda montagem é ainda mais simples. Trata-se de um bloco lógico que utiliza duas portas XOR, foi utilizada para enxergarmos o funcionamento desse tipo de portas quando colocadas em conjunto. Assim, o circuito pode ser visto na figura 9, sua tabela verdade experimental é a tabela 7.

Figura 9 – Montagem 2



**Fonte:** Elaborada pelos autores

Tabela 7 – Tabela verdade montagem 2

A	B	C	S
0	0	0	0
0	0	1	1
0	1	1	1
0	1	0	0
1	0	1	1
1	0	0	0
1	1	0	0
1	1	1	1

**Fonte:** Elaborada pelos autores

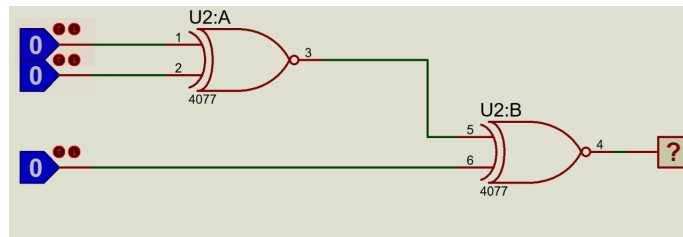
Além disso, buscamos uma generalização maior do funcionamento de uma porta do tipo XOR, para isso, encontramos sua expressão booleana para três entradas, essa expressão pode ser vista na equação 2.3.

$$S = \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} \quad (2.3)$$

## 2.4 Montagem 3

A terceira montagem é similar à segunda. Trata-se de um bloco lógico que utiliza duas portas XNOR, foi utilizada para enxergarmos o funcionamento desse tipo de portas quando colocadas em conjunto. Assim, o circuito pode ser visto na figura 10, sua tabela verdade experimental é a tabela 8.

Figura 10 – Montagem 3



**Fonte:** Elaborada pelos autores

Tabela 8 – Tabela verdade montagem 3

A	B	C	S
0	0	0	0
0	0	1	1
0	1	1	1
0	1	0	0
1	0	1	1
1	0	0	0
1	1	0	0
1	1	1	1

**Fonte:** Elaborada pelos autores

Além disso, buscamos uma generalização maior do funcionamento de uma porta do tipo XNOR, para isso, encontramos sua expressão booleana para três entradas, essa expressão pode ser vista na equação 2.4.

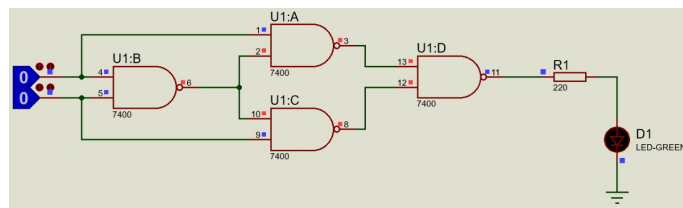
$$S = \overline{ABC} + \overline{A}BC + A\overline{B}C + ABC \quad (2.4)$$

Com isso, percebemos que o circuito montado, retorna como saída o inverso de uma porta XNOR de 3 entradas.

## 2.5 Montagem 4

Em seguida, montamos um circuito que realiza a operação coincidência para 3 entradas, ele pode ser visto na figura ?? e sua tabela verdade é a tabela ??

Figura 11 – Primeiro circuito



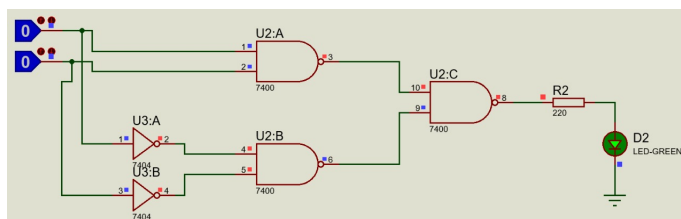
**Fonte:** Elaborada pelos autores

Tabela 9 – Tabela verdade primeiro circuito

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

**Fonte:** Elaborada pelos autores

Figura 12 – Segundo circuito



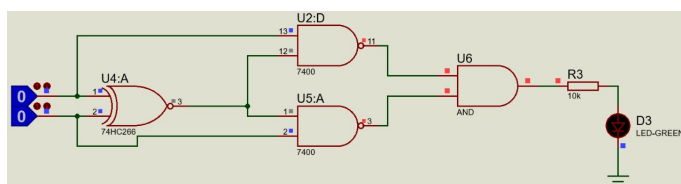
**Fonte:** Elaborada pelos autores

Tabela 10 – Tabela verdade segundo circuito

A	B	S
0	0	1
0	1	0
1	0	0
1	1	1

**Fonte:** Elaborada pelos autores

Figura 13 – Terceiro circuito



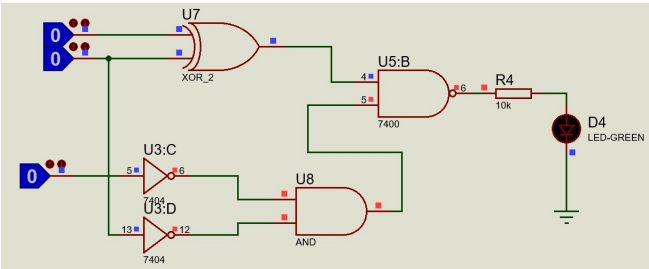
**Fonte:** Elaborada pelos autores

Tabela 11 – Tabela verdade terceiro circuito

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

**Fonte:** Elaborada pelos autores

Figura 14 – Quarto circuito



Fonte: Elaborada pelos autores

Tabela 12 – Tabela verdade quarto circuito

A	B	C	S
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Fonte: Elaborada pelos autores

## 3 QUESTÕES

### 3.1 NAND de 4 entradas

A tabela verdade de uma porta NAND de 4 entradas está representada na tabela 13.

Tabela 13 – Tabela verdade NAND 4 entradas

A	B	C	D	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

**Fonte:** Elaborada pelos autores

### 3.2 NOR de 4 entradas

A tabela verdade de uma porta NOR de 4 entradas está representada na tabela 14.

Tabela 14 – Tabela verdade NOR 4 entradas

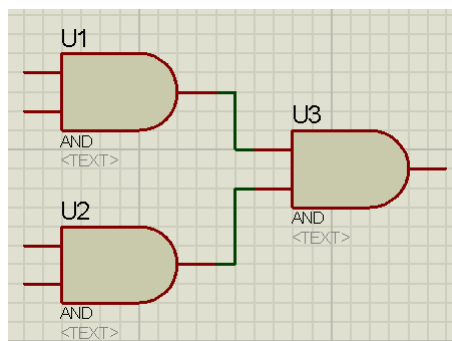
A	B	C	D	S
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

**Fonte:** Elaborada pelos autores

### 3.3 Diagrama de portas de 4 entradas

Podemos montar portas lógicas de mais entradas utilizando apenas as suas versões de duas entradas. Aqui, contruímos as portas AND, NAND e NOR de 4 entradas utilizando suas versões de duas entradas. Os resultados podem ser observados, respectivamente, nas figuras 15, 16, 17.

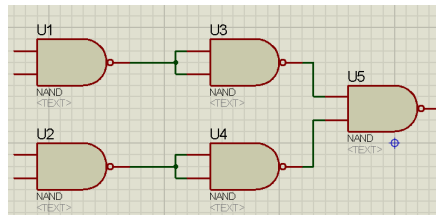
Figura 15 – AND de 4 entradas



**Fonte:** Elaborada pelos autores

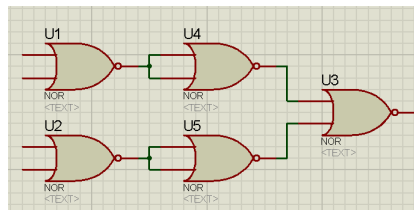


Figura 16 – NAND de 4 entradas



**Fonte:** Elaborada pelos autores

Figura 17 – NOR de 4 entradas



**Fonte:** Elaborada pelos autores

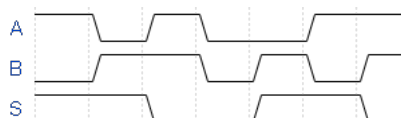
### 3.4 Saídas portas exclusivas

As próximas perguntas realizadas pelos professores foram quanto às saídas das portas exclusivas (XOR e XNOR) de 4 entradas. Com isso, vimos que com um número ímpar de entradas com nível lógico 1, a saída de uma porta XOR de 4 entradas é 1, caso esse número seja par, a saída é 0. No caso da XNOR ocorre o contrário, sua saída é 1 apenas quando há um número par de entradas com nível lógico 1.

### 3.5 Diagrama de tempo

A última questão, trata-se de um diagrama de tempo de dois sinais passando por uma porta XOR. Os sinais de entrada fornecidos na questão e saída encontrado podem ser vistos na figura 18.

Figura 18 – Diagramas de tempo



**Fonte:** Elaborada pelos autores

## 4 CONCLUSÕES

Nesse experimento pudemos verificar o funcionamento das últimas portas lógicas, as portas exclusivas. Mesmo não sendo portas fundamentais, essas são úteis já que as operações exclusivas são utilizadas com muita frequência em circuitos digitais.

Além de estudar as portas exclusivas, vimos também a estrutura interna de mais alguns circuitos integrados que serão muito utilizados durante o curso, por isso saber bem como eles são construídos e funcionam é tão importante.

Além disso, contruímos alguns circuitos lógicos utilizando essas portas lógicas estudadas e vimos o seu funcionamento, comparando novamente os resultados práticos e teóricos. Percebendo, novamente que esses resultados obtidos podem ser verificados e comprovados pela teoria da álgebra de boole.

Por fim, algo muito interessante e útil foi abordado pela primeira vez: o diagrama de tempo. Diagramas de tempo são uma forma simples de descrever o nível lógico de um sinal e é extremamente importante saber trabalhar com esses diagramas para entender e projetar dispositivos eletrônicos.

# REFERÊNCIAS

RAHMAN Mizanur. **Universal Gates (NAND,NOR) & Exclusive Gates(XOR,XNOR)**. 2020. Disponível em: <<https://www.edupointbd.com/universal-gates-and-exclusive-gates/>>. Acesso em: 20 de dez. de 2020. Nenhuma citação no texto.

REIS, F. dos. **Porta Lógica XNOR - Eletrônica Digital**. 2016. Disponível em: <<http://www.bosontreinamentos.com.br/eletronica/eletronica-digital/porta-logica-xnor-eletronica-digital/>>. Acesso em: 20 de dez. de 2020. Nenhuma citação no texto.