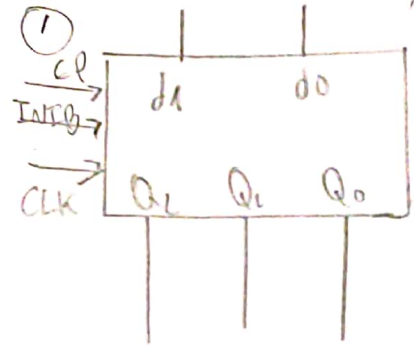


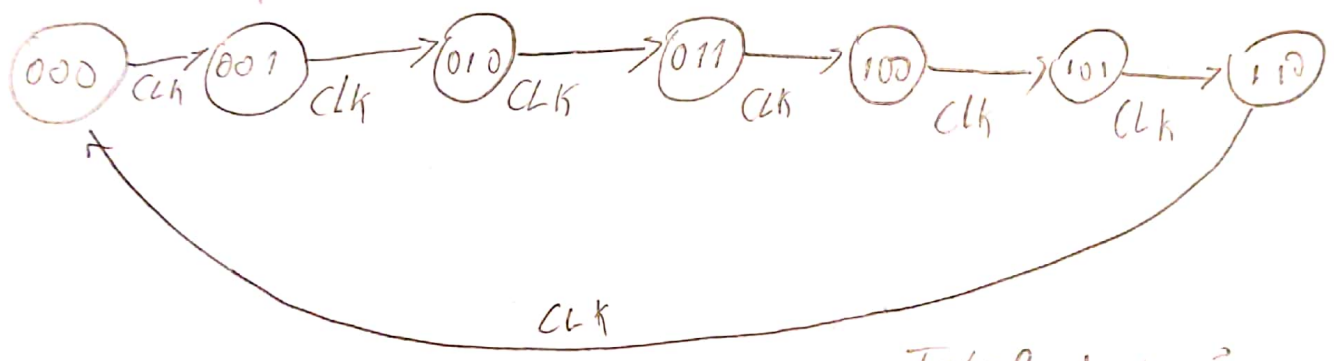
SISD2 - Prova 2



• Para entrada paralela assíncrona, temos:
 $P_i = C_i \cdot D_i$
 $C_i = C_i \cdot \bar{D}_i$
 ↳ Guardar essas expressões

C_i	D_i	P_i	C_i
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	0

• Análise do exercício → Com figura máxima → 6 → Módulo 7 (0-6)
 ↳ 3 FF's



• $JNIB = 0$

• Tabela de operações

Estado Atual			Próximo estado			CLK	JNIB	QF+1
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	↑	0	$Q_{n+1} \leftarrow Q_n + 1$
0	0	0	0	0	1	↑	1	$Q_{n+1} \leftarrow Q_n$
0	0	1	0	1	0			
0	1	0	0	1	1			
0	1	1	1	0	0			
1	0	0	1	0	1			
1	0	1	1	1	0			
1	1	0	0	0	0			

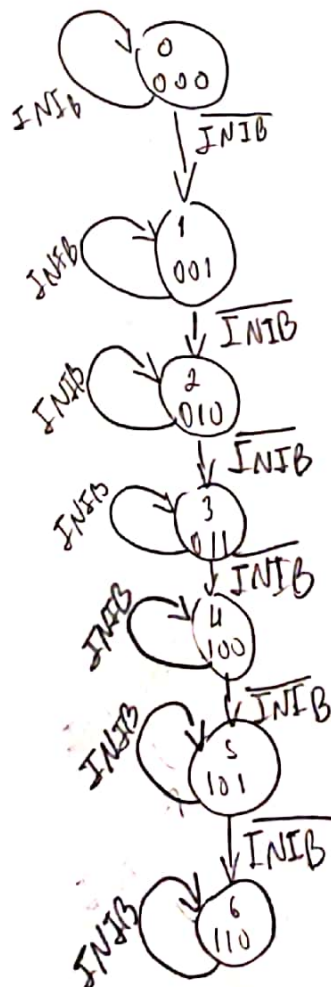
Alunos:
 • Gerson de Souza Almeida da Silva - SP3015386
 • Luiza Mitzi da Silva Tolentino - SP3004902

• INIB = 1

Estado Atual			Proximo estado		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0

→ Inibe a contagem

• Grafo de transição de estados



• Fazendo o Karnaugh, temos:

D ₂		D ₁		D ₀	
INIB	0	1	INIB	0	1
Q ₂ Q ₁ Q ₀			Q ₂ Q ₁ Q ₀		
000	0	0	000	0	0
001	0	0	001	1	0
011	1	0	011	0	1
010	0	0	010	1	1
110	0	1	110	0	1
111	-	-	111	-	-
101	1	1	101	1	0
100	1	1	100	0	0

• Após síntese, temos:

$$D_2 = Q_2 \text{INIB} + Q_1 Q_0 \overline{\text{INIB}} + Q_2 \overline{Q_1}$$

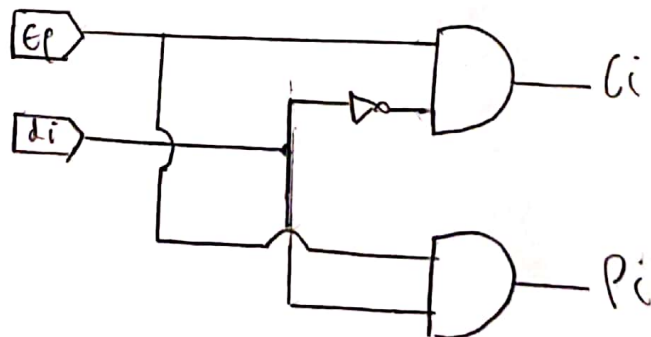
$$D_1 = \overline{Q_1} Q_0 \overline{\text{INIB}} + \overline{Q_2} Q_1 \overline{Q_0} + Q_1 \text{INIB}$$

$$D_0 = Q_0 \text{INIB} + \overline{Q_1} \overline{Q_0} \overline{\text{INIB}} + \overline{Q_2} \overline{Q_0} \overline{\text{INIB}}$$

• Performando na lógica para entrada paralela assíncrona, temos:

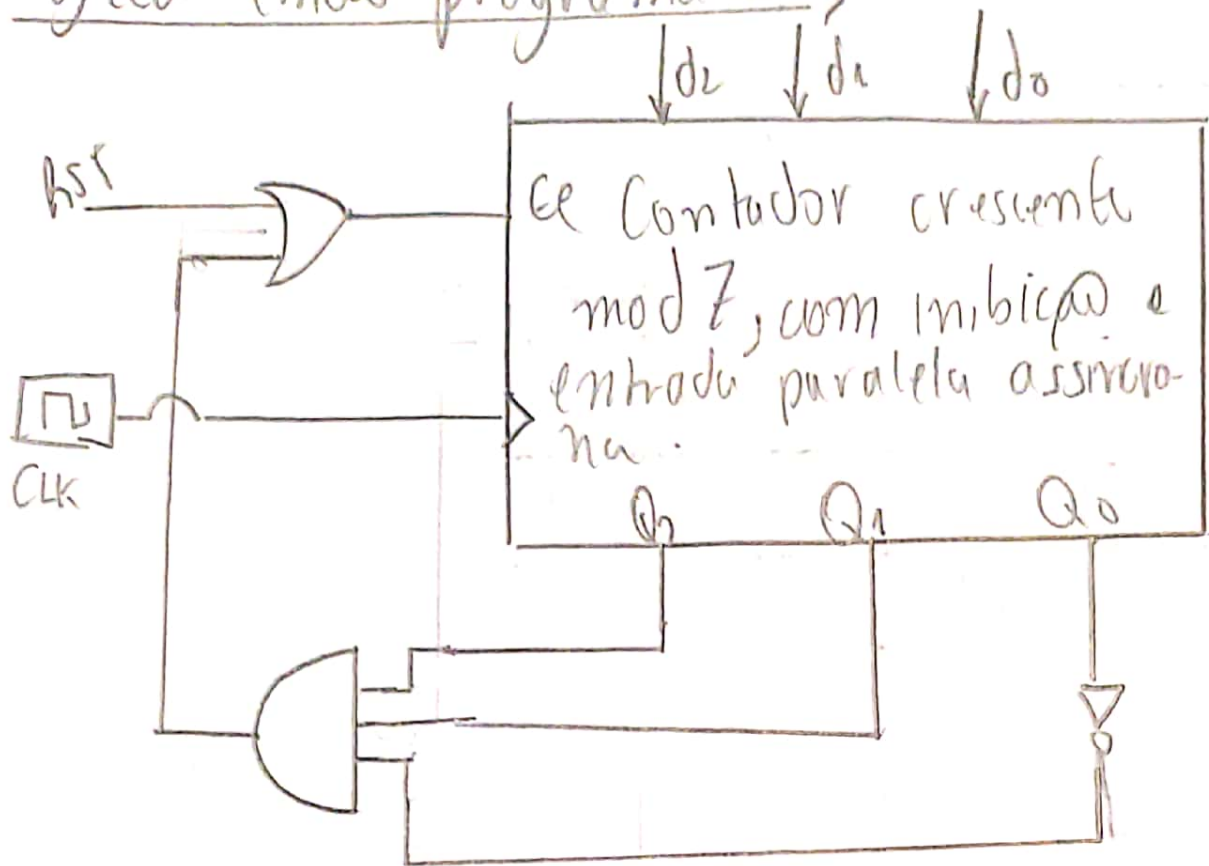
$$P_i = E_f \cdot D_i \rightarrow \text{Lógica Preset/Clear}$$

$$C_i = E_f \cdot D_i$$



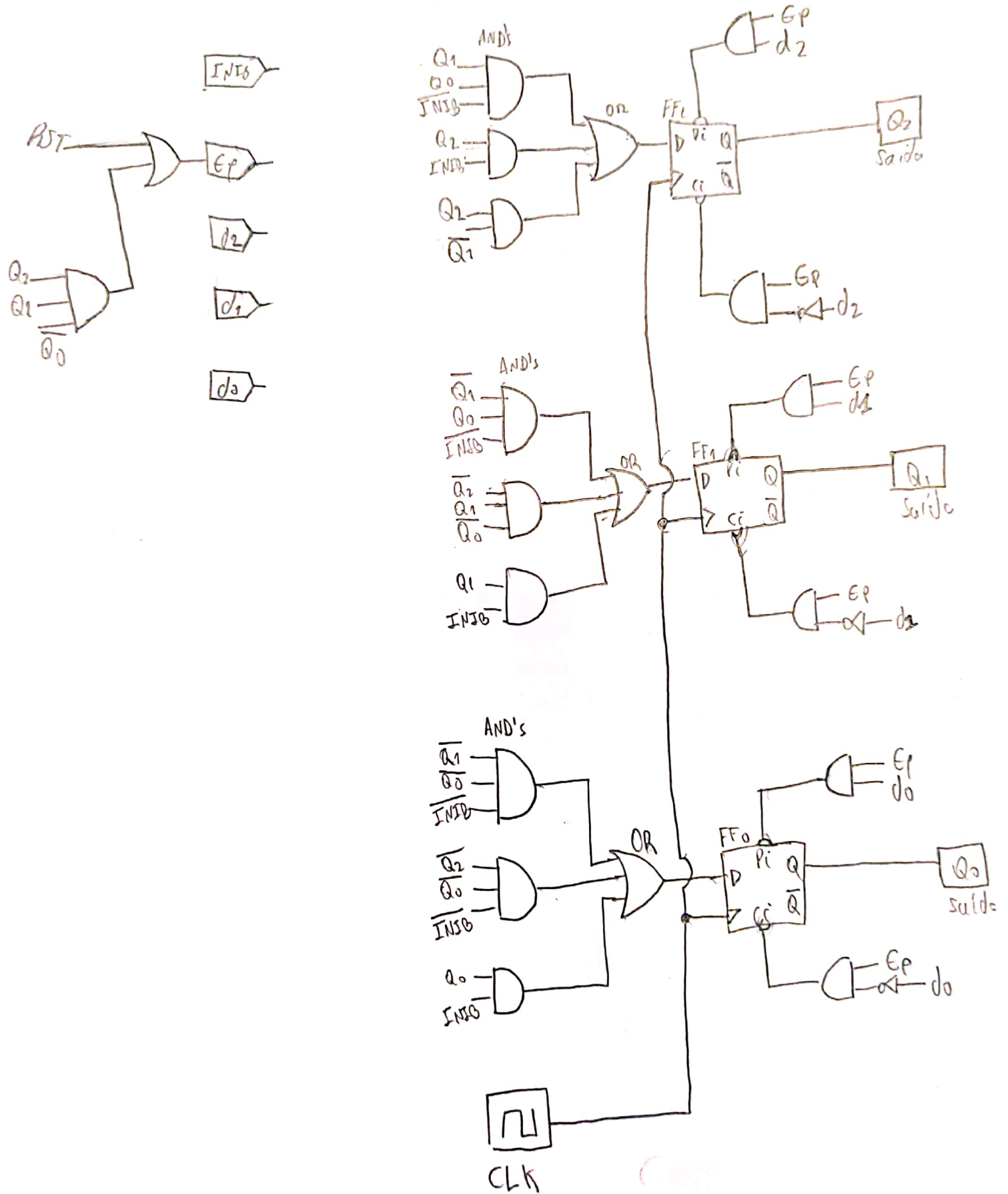
• Desse modo, já conseguimos montar um circuito com contagem de 0 a 3, enable e entrada paralela assíncrona. Porém, o exercício ainda propõe início programável de 0 a 3, assimando, temos:

Logica início programável



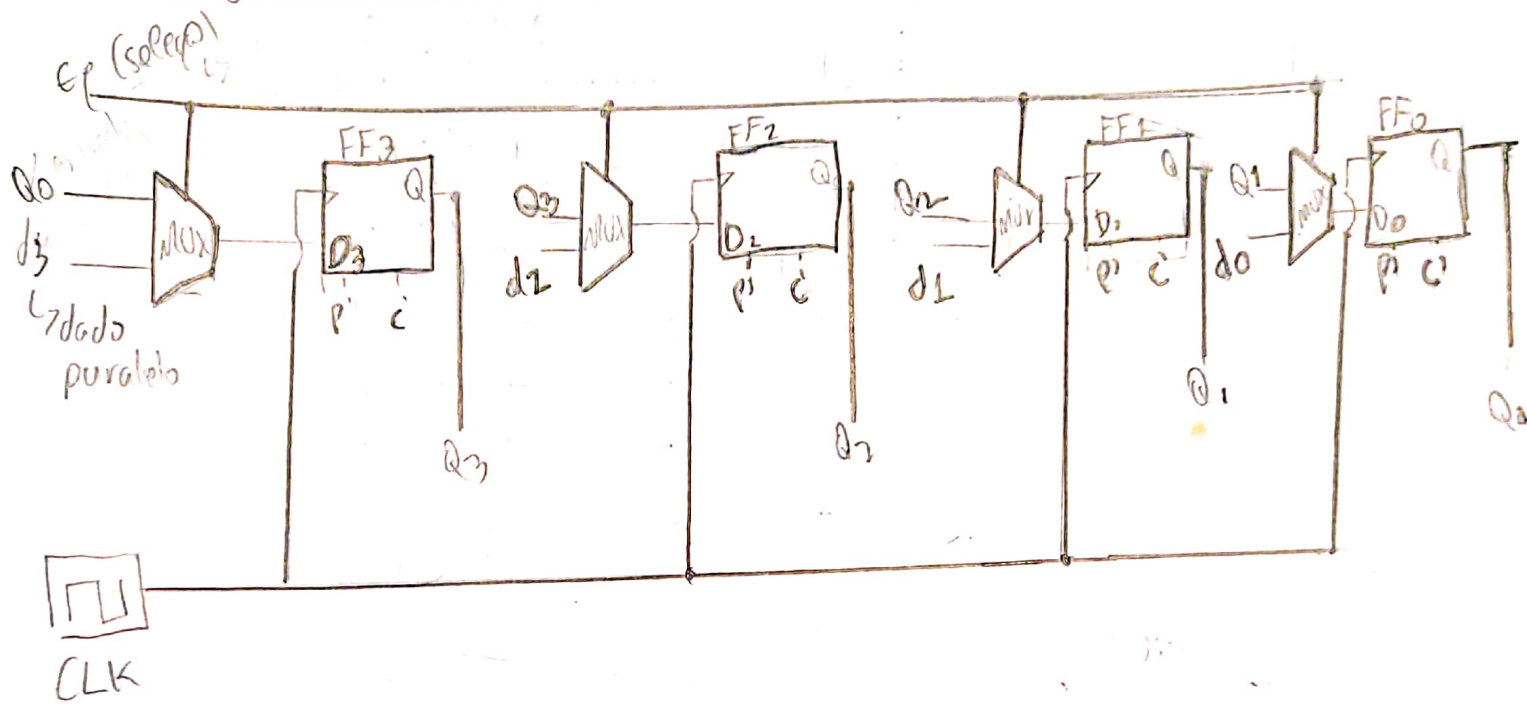
→ Agora sim, desenhando o circuito final, temos →

Contador com contagem máxima igual a 6 / início programável e entrada paralela assíncrona:



SISD2 -> Prova 2

② Circuito lógico Podrão Utilizando FF's D, 4 bits



- Tabela de operações

CLK	EP	$Q_t + 1$
↑	0	$Q_{n-1} \leftarrow Q_n$
↑	1	$Q_3 Q_2 Q_1 Q_0 \leftarrow d_3 d_2 d_1 d_0$

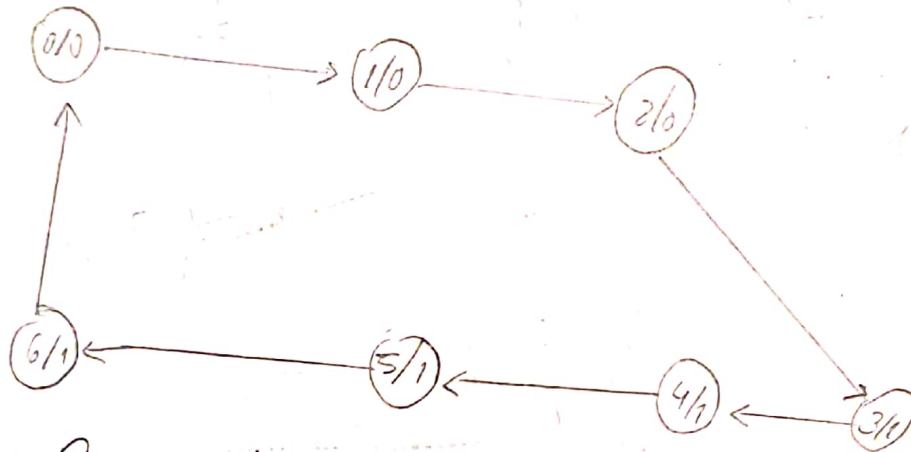
③ Divisor por número inteiro (7/3:4)

Exercício dividido em 2 etapas $\left\{ \begin{array}{l} 1^{\circ} \text{ período assimétrico} \\ 2^{\circ} \text{ Ajuste de simetria} \end{array} \right.$

1ª etapa \rightarrow Síntese do divisor assimétrico: Divisor por 7 com período assimétrico 3:4

3-0 \hookleftarrow 1-4-1

• Grafo de Transição de Estados

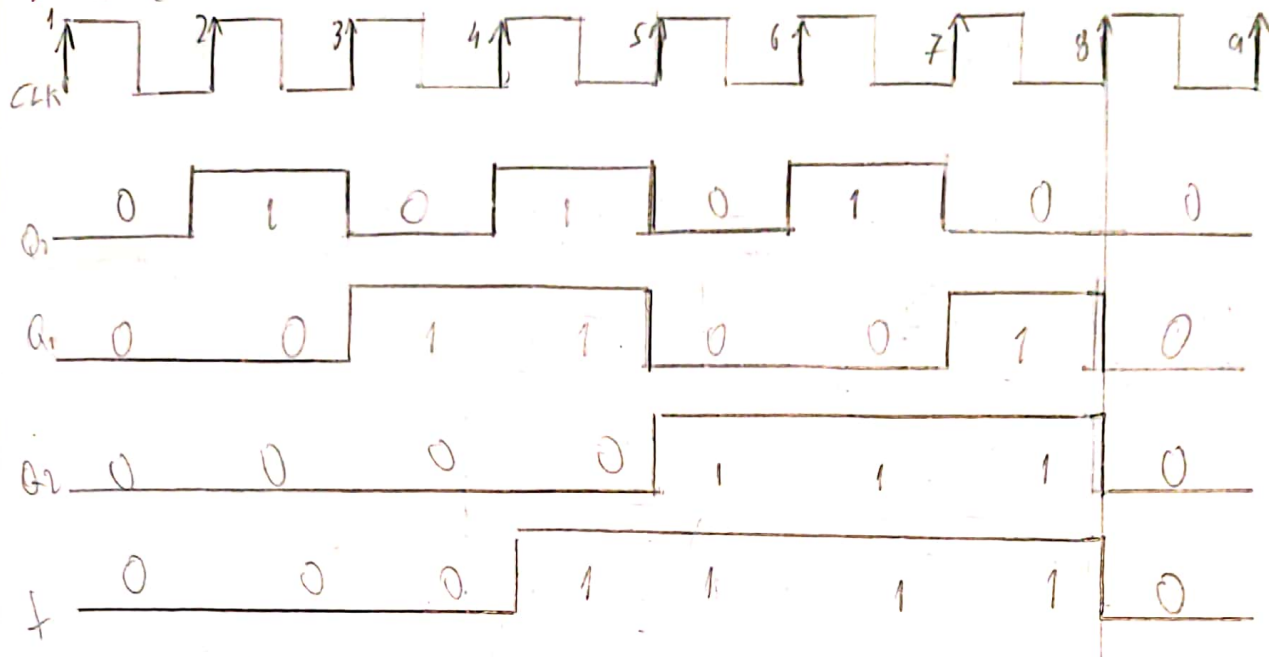


• Diagrama de temporização \rightarrow 3 FF's tipo D

\rightarrow Tabela de Execução do FF D

$Q(t+1) \rightarrow Q(t)$	D
0 \rightarrow 0	0
0 \rightarrow 1	1
1 \rightarrow 0	0
1 \rightarrow 1	1

Diagrama de Temporização



Designação arbitrária dos estados

000(0)
001(1)
010(2)
011(3)
100(4)
101(5)
110(6)
111(-)

Tabela de Transição de Estados

$Q_2 Q_1 Q_0$	$Q_2 Q_1 Q_0$	
(0) 000	001	0
(1) 001	010	0
(3) 011	100	1
(2) 010	011	1
(6) 110	000	0
(-) 111	-	-
(5) 101	110	1
(4) 100	101	1

Lógica de Excitação

$Q_2 Q_1$	FF0			
Q_0	00	01	11	10
0	1	1	0	1
1	0	0	-	0

$$D_0 = \overline{Q_2} \cdot \overline{Q_0} + \overline{Q_1} \cdot \overline{Q_0}$$

$Q_2 Q_1$	FF1			
Q_0	00	01	11	10
0	0	1	0	0
1	1	0	-	1

$$D_1 = \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} + \overline{Q_1} \cdot Q_0$$

$Q_2 Q_1$	FF2			
Q_0	00	01	11	10
0	0	0	0	1
1	0	1	-	1

$$D_2 = Q_2 \overline{Q_1} + Q_1 Q_0$$

Lógica de saída

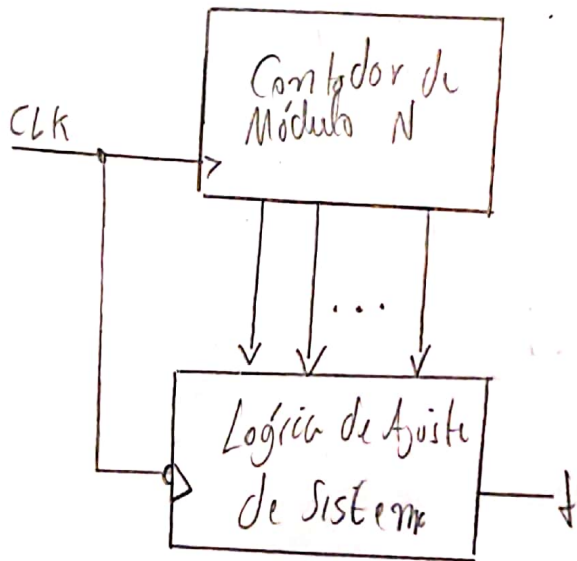
$Q_2 Q_1$	00	01	11	10
Q_0	0	1	0	1
1	0	1	-	1

$$f = Q_2 \overline{Q_1} + \overline{Q_2} \cdot Q_1$$

2ª etapa
 Agora antes de montar o circuito, precisamos fazer o ajuste de simetria, dividindo o período 7 em 2 simetrias de 3,5 cada um. Assim sendo, temos que partir do diagrama de temporização, atrasando o pulso clock de subida em 4 e substituindo ele no clock de descida em 3, ficando conforme o esboço a seguir:

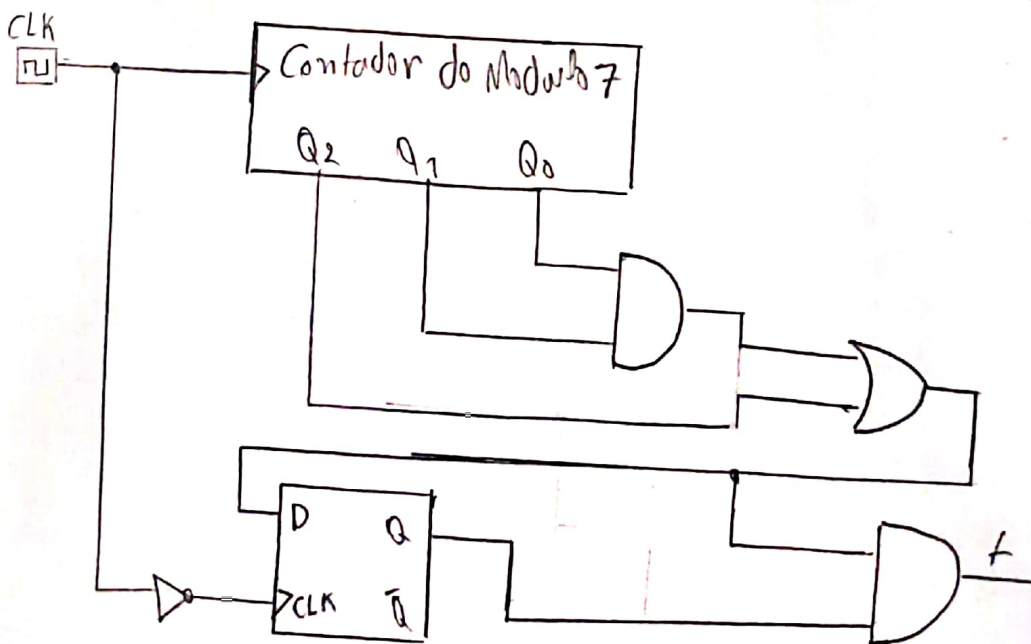


Portanto, temos como esquema geral para a lógica de ajuste de sistema:

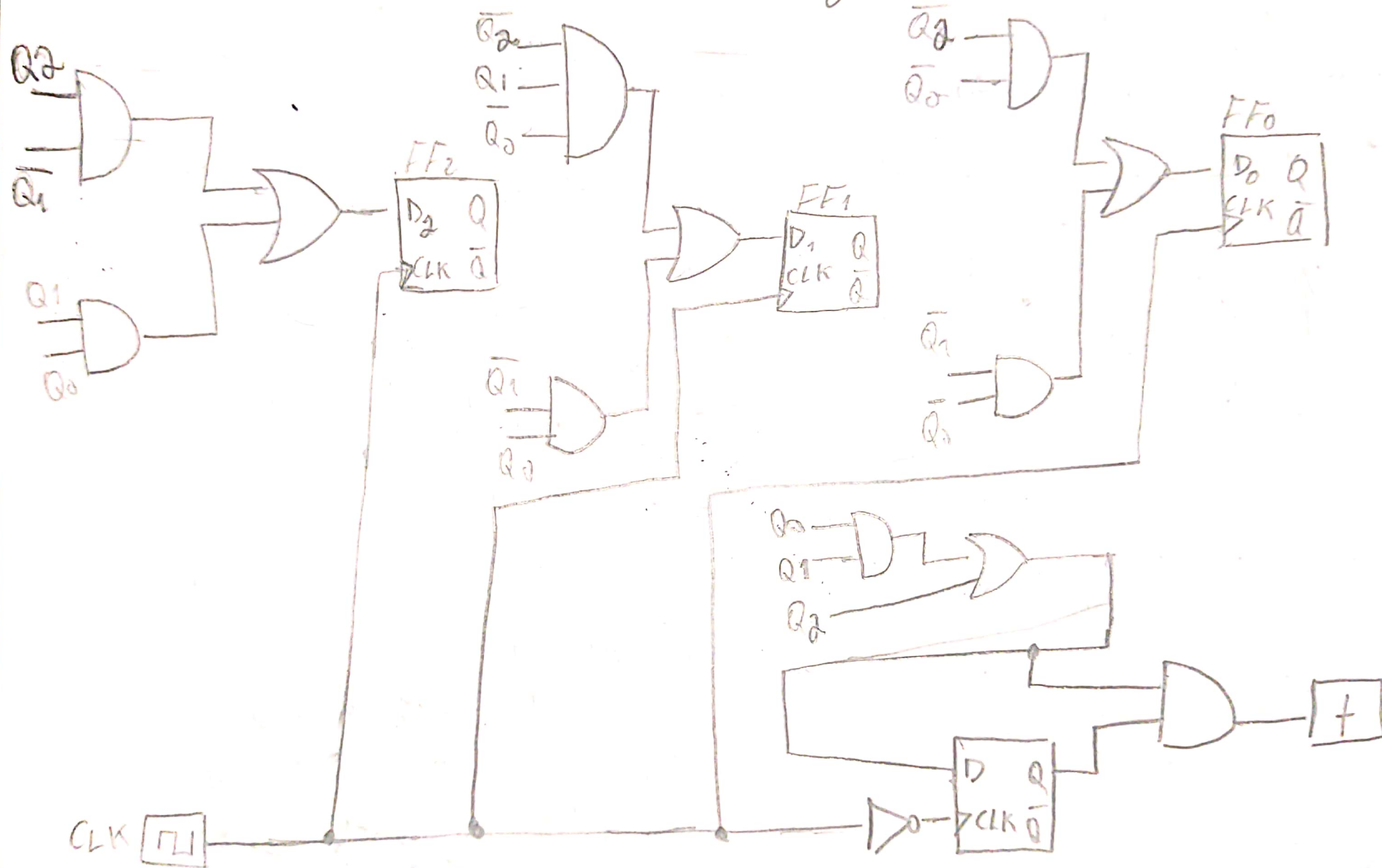


De acordo com o diagrama de temporização, é analisado que devemos associar, através de uma porta lógica AND os valores de q_0 e q_1 , e o valor resultante associar, através de uma porta lógica OR, com q_2 , para o ajuste de simetria ser válido em nosso exemplo. Assim sendo, temos:

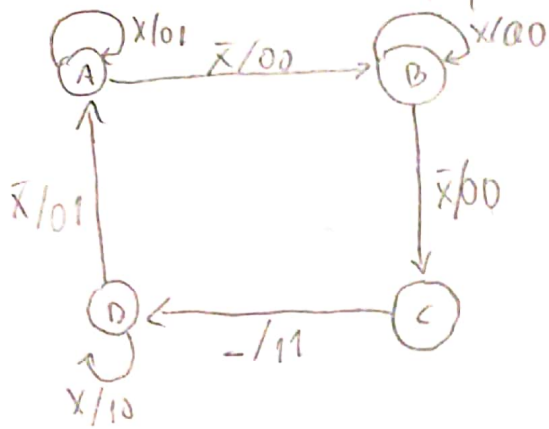
Ajuste de simetria



• Agora sim, desenhando o circuito lógico geral, temos



4) Conversão de Mealy para Moore



→ Análise do sentido do arco e nós

Homôgeneo: Estado associado a uma só saída
 Heterôgeneo: O estado tem associado mais de uma saída, requerendo subdivisão

→ Análise dos Estados

A → Homôgeneo / B → Homôgeneo / C → Direto pro D (Don't Care) / D → heterôgeneo; requer subdivisão

→ Modelo Moore

