



universidade de aveiro

Departamento de Eletrónica, Telecomunicações e Informática

Curso 8316 - Mestrado Integrado em Engenharia Eletrónica e Telecomunicações

Curso 8321 - Mestrado Integrado em Engenharia de Computadores e Telemática

Disciplina 40333 - Laboratórios de Sistemas Digitais

Projeto Final Nº9 - Calendário Digital

Autores: 98543 Luís Oliveira

102618 Juan Barros

Turma: P2

Docente: Tomás Oliveira e Silva

Data: 18/06/2021

Introdução

Este trabalho foi elaborado com o intuito de criar um calendário digital numa FPGA Altera DE2-115. Na prática, desenvolveu-se em código VHDL um projeto que no final nos apresenta em displays de 7 segmentos da própria placa, valores que nos indicam os dias, os meses e os anos. Naturalmente, tendo disponíveis 8 displays, ocupámos os dois primeiros para os dígitos correspondentes aos dias, os dois seguintes para os meses e consequentemente, os quatro restantes para o ano. A contagem começa automaticamente, iniciando com zeros em todos os displays, dando refresh a cada milissegundo. De realçar que um segundo em tempo real, corresponderá a um dia na placa. Assim que se alcançar o limite de dias de um determinado mês, os displays dos dias voltam ao início, e os displays do meses irão avançar uma unidade. Logicamente, o mesmo acontecerá assim que os displays dos meses atingirem os 12 de um ano. Neste sentido, os meses voltam ao início e o ano incrementará.

Arquitetura

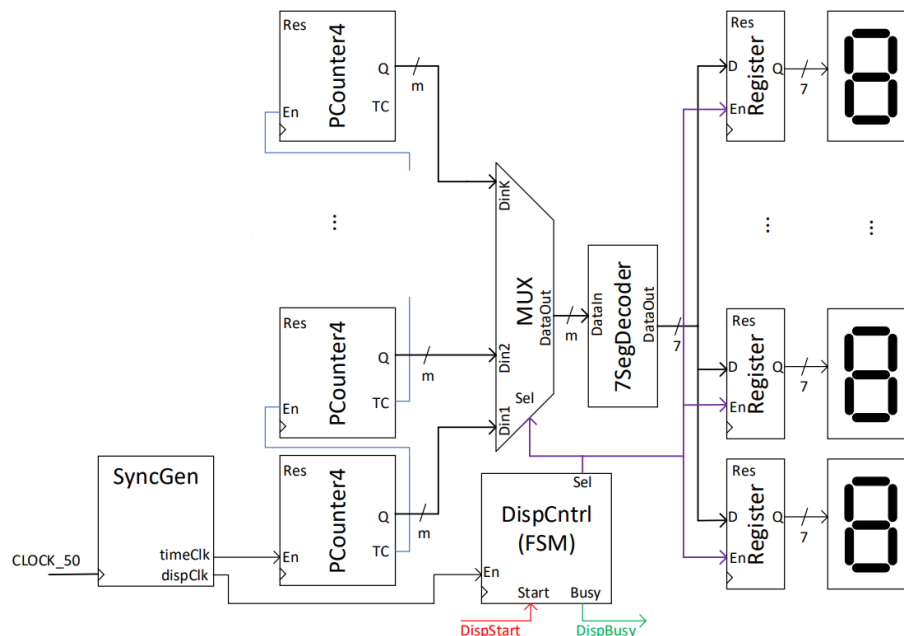


Imagem retirada do enunciado do nosso projeto, porém editada pois apenas possui os blocos da Fase1.

SyncGen

Este bloco é um pulso que irá fazer uma contagem até 50 milhões (devido aos 50MHz) e assim que estiver na eminência de alcançar o valor máximo, irá devolver '1' como output (e voltará de seguida a '0'). Esse output servirá para que a cada segundo, possamos incrementar um valor nos displays de 7 segmentos. No entanto, precisamos de um refresh nos mesmos displays. Será feita através de outra contagem até 50 mil onde novamente teremos um output com valor '1' assim que o contador estiver na eminência de chegar ao valor máximo (e irá novamente voltar ao '0'). Assim, teremos um refresh dos segmentos a cada milissegundo. Neste processo, o counter dos dias irá receber um pulso que em cadeia mandaria um pulso ao counter dos meses e assim sucessivamente.

DiasDoMes

Neste bloco, temos um mecanismo que nos retorna os dias do mês em questão. A cada rising edge do clock, recebemos um input que será um valor do counter dos meses . Por exemplo, se for um mês com 31 dias, então o output será consequentemente 31 dias. E assim sucessivamente para os restantes meses.

Máquina de Estados

Neste bloco possuímos um enable que ligamos ao DispClk. Desta forma, sempre que o enable está ativo o próximo estado será o estado atual. Por causa da frequência, o DispClk irá colocar o enable a '1' a cada milissegundo, ou seja, durante esse curto período de tempo iremos passar de um estado para o próximo. A cada estado novo podemos verificar uma alteração num display diferente. Tal acontece devido à essência do Mux e do Register. Assim, podemos concluir que esta máquina de estados é fundamental para o funcionamento do projeto, porque no fundo, é ela que será responsável por modificar os valores do display a cada milissegundo, controlando o que nós vemos.

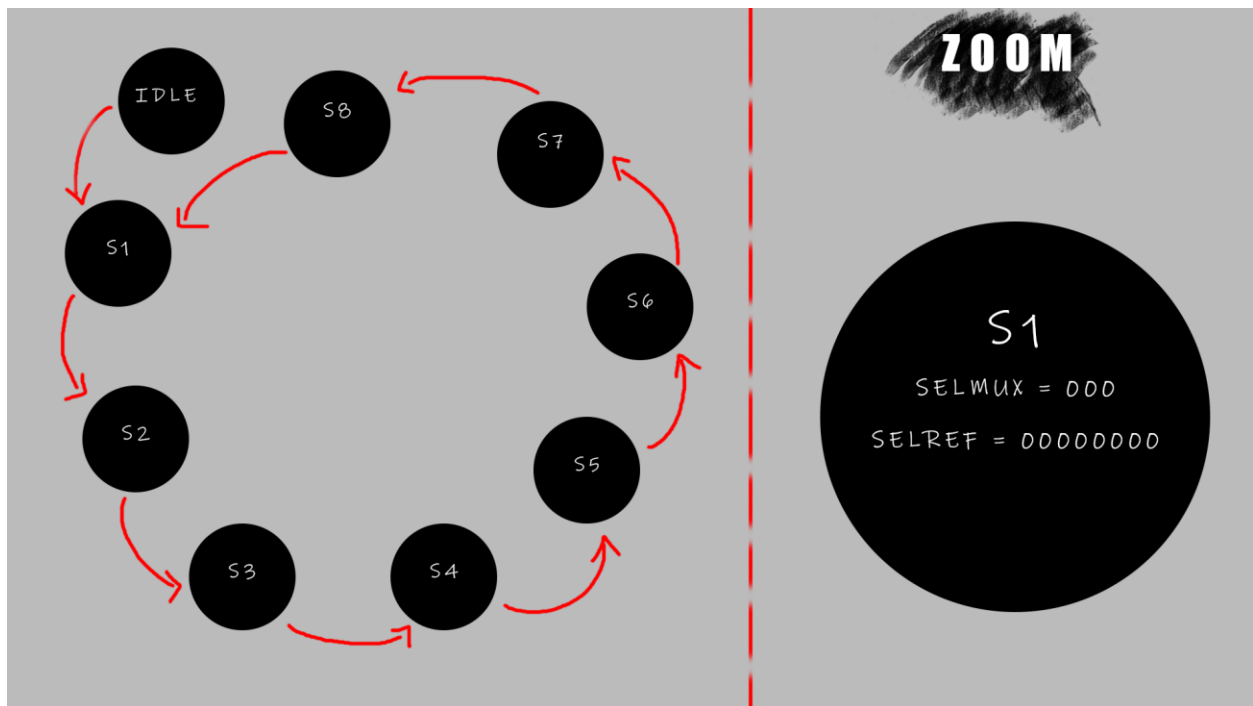


Ilustração simples feita em Photoshop da máquina de estados com um exemplo do primeiro estado (s1) em zoom.

Manual de utilizador

Esta parte é direccionada para qualquer utilizador que venha a usufruir do nosso Calendário Digital. O processo é bastante simples: após abrir o nosso projeto no Quartus Prime, deverá efetuar um “Compile Design” com o ficheiro *MeuCalendario* em top-level. O utilizador irá precisar também do ficheiro *master.qsf*, disponibilizado no moodle e evidentemente, da FPGA, ligada ao computador. Reunidas as condições, ao efetuar “Program Device (Open Programmer)”, irá deparar-se com uma nova janela e fazer “Start” ao programa. Terá que aguardar que a barra “Process” termine o processamento e logo após a sua conclusão, a FPGA começará a trabalhar, dando início ao Calendário Digital. O Projeto não tem muitas funcionalidades com que o utilizador se possa entreter. Apenas lhe atribuímos uma função: a possibilidade de dar reset ao calendário, premindo o SW(0). Desta forma, o calendário irá efetuar o reset e assim permanecerá enquanto o SW(0) estiver ativo. Assim que o utilizador voltar a colocar o SW(0) inativo, o Calendário Digital retornará a sua contagem começando no dia “01-01-0000”.



Imagem retirada através de uma pesquisa no Google (origem da imagem: https://www.researchgate.net/figure/Altera-DE2-115-FPGA-board_fig2_323200897).

Conclusão

Após a conclusão deste projeto conseguimos ter uma melhor percepção do universo dos Sistemas Digitais. Contudo, devido a alguns fatores como o tempo, o descodificação do enunciado e a necessidade da procura de algoritmos que fossem ao encontro do pedido, ficámos apenas pela Fase 1. Desenvolveu-se igualmente a ajuda entre colegas, não só entre membros do nosso grupo, mas também entre alunos de outros grupos e turmas. Algum do nosso código foi trabalhado em conjunto com outros colegas que possuíam projetos similares. Deixamos claro que qualquer semelhança no nosso código com código de outros alunos não significa que faz dele código roubado. Poderá sim justificar o trabalho em equipa e a cooperação com outros colegas, ou que foi simplesmente inspirado em algum slide disponível no moodle. O trabalho de equipa foi fundamental, de maneira a que conseguimos desfazer algumas das nossas dúvidas e superar algumas dificuldades. Podemos afirmar com clareza que foi uma experiência positiva ao longo deste trajeto e que valeu pela troca de ideias e pelo aprofundamento da matéria lecionada. Quanto à divisão do trabalho, acordámos numa divisão de 55/45. O aluno 98543 com uma percentagem de 55% e o aluno 102618 com uma percentagem de 45%, isto devido ao grau de dificuldade das tarefas distribuídas. Relativamente à nossa autoavaliação, achamo-nos no direito de pedir um 13, tendo em conta que fizemos apenas a Fase 1, que vale 14 valores.