



INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE CÓMPUTO

TIPOS DE CONVERTIDORES ANALÓGICOS A
DIGITAL

ELECTRÓNICA ANALÓGICA

ALUMNO:

RAMÍREZ COTONIETO LUIS FERNANDO

PROFESOR:

OSCAR CARRANZA CASTILLO

Fecha: 14 de Junio de 2021



Índice

1. Convertidor Rampa Doble	2
1.1. Diagrama a Bloques	3
2. Convertidor Sigma-Delta	3
2.1. Diagrama a bloques	4
3. Convertidor Pipeline	5
3.1. Diagrama a bloques	6
4. Convertidor Delta o Delta-Encoder	6
4.1. Diagrama a bloques	7
5. Convertidor Half-Flash	7
5.1. Diagrama a bloques	8
6. Bibliografía	9

Tipos de Convertidores Analógicos a Digital

Electrónica Analógica

Un convertidor analógico a digital (ADC) es un dispositivo que convierte una señal analógica variable en el tiempo a una representación de números digitales de la amplitud de esa señal. Casi todas las señales físicas del mundo real son analógicas en naturaleza. Algunos ejemplos incluyen sonido, luz, temperatura y movimiento. Un transductor es un dispositivo que se puede utilizar para convertir una señal física de interés en una señal eléctrica analógica que en última instancia conduce la entrada de un ADC. Existen muchos parámetros de rendimiento clave de un ADC. Los dos principales son la velocidad y la resolución de la muestra. La tasa de muestra del ADC es la frecuencia en la que la señal de entrada se prueba. Esta velocidad de muestreo determina el ancho de banda máximo de la señal de entrada y normalmente es mayor que el doble de la señal de entrada más alta, también conocida como la tasa de Nyquist. La resolución del ADC determina la precisión de la representación digital discreta que se puede producir sobre el rango de los valores analógicos. Existen muchos tipos diferentes de ADC disponibles. Los ADC flash (que no deben confundirse con la memoria Flash) se utilizan para la conversión analógico a digital de alta velocidad, pero tienen un consumo de energía relativamente alto. Los ADC de aproximaciones sucesivas sacrifican velocidad y precisión para obtener una conversión de bajo costo y baja potencia. Los ADC basados en delta-sigma utilizan el sobremuestreo y la conformación de ruido de cuantificación para lograr una resolución muy alta a costa de la velocidad. Los ADC de segmentación se utilizan en aplicaciones de alta velocidad con una mayor necesidad de resolución a expensas de una mayor potencia y la latencia.

1. Convertidor Rampa Doble

La base de funcionamiento de este circuito es un integrador. El proceso de conversión se inicia conectando la tensión de entrada al integrador durante un tiempo fijo, en el cual la salida del integrador se va haciendo negativa hasta alcanzar un valor mínimo en el instante en que termina ese tiempo fijo; momento en que la información de desbordamiento (overflow), aplicada al circuito de excitación del conmutador, provoca la aplicación de una tensión de referencia a la entrada del integrador, lo que hace que la salida de esta tienda a 0 voltios. Durante el intervalo en que se mantiene constante la pendiente de la rampa son contados de nuevo los impulsos del reloj, y la cuenta que se alcance en el instante de cruce por 0 de la salida del integrador es el número digital equivalente buscado. Como característica más importante de este convertidor podemos destacar la precisión, gracias a la independencia de su salida respecto a la estabilidad del valor del condensador o de la frecuencia del reloj, con tal de que se mantengan constantes durante el proceso de conversión; Por lo cual, la precisión solo será función de la linealidad de las rampas que entregue el integrador y de la precisión de la referencia. Finalmente, y como desventaja, cabe mencionar la necesidad de un tiempo de conversión muy largo y variable.

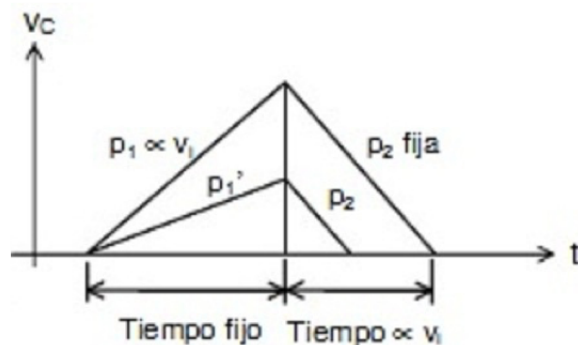


Figura 1: Operación de un conversor analógico-digital de rampa doble.

1.1. Diagrama a Bloques

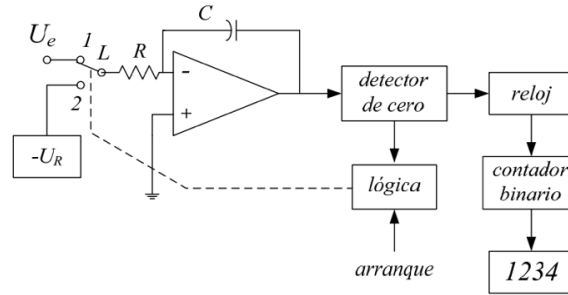


Figura 2: Diagrama a Bloques

Este esquema permite independizarse de la precisión de f_{ck} , R y C . La conversión se hace en dos etapas. En la primera se realiza una integración de la tensión de entrada durante un tiempo fijo, y en la segunda se produce la descarga, con pendiente fija, durante un tiempo dependiente de la cantidad de carga acumulada. La conversión se realiza contando pulsos de reloj durante el tiempo de descarga del integrador hasta que éste retorna a 0. En general, el tiempo fijo T es:

$$T = \frac{2^n}{f_{ck}}$$

Formula :

$$D = \left[\left(v_i + \frac{v_{ref}}{2} \right) \frac{2^n}{v_{ref}} \right]$$

2. Convertidor Sigma-Delta

Las técnicas de modulación Sigma-Delta han sido usadas muy satisfactoriamente en las aplicaciones que requieren conversión análogo digital, en las últimas dos décadas. Aunque los conceptos de Sigma-Delta existen desde la mitad del siglo, solo con los recientes avances en tecnologías VLSI ha sido posible darle un manejo adecuado al flujo de bits generado por el ADC de 1 bit. La operación básica de un convertidor Sigma-Delta es intercambiar tasa de muestreo por resolución. Las señales son muestreadas a una tasa mucho mayor que la de Nyquist, pero con un solo bit de resolución en amplitud.

Un típico modulador Sigma-Delta es mostrado en la figura:

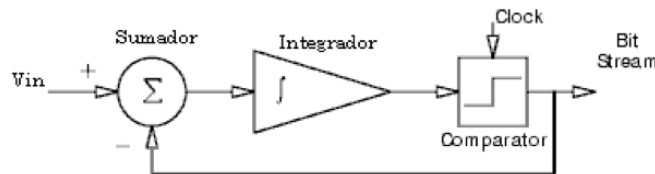


Figura 3: Convertidor Sigma-Delta

La señal análoga de entrada y el flujo de bits (bitstream), cuya densidad de un bit es una representación de la magnitud de la señal análoga, son sumadas. Luego son integradas y entran a un comparador el cual tiene como salida 0 o 1 dependiendo si la salida del integrador es mayor o menor que el voltaje de referencia del comparador. La forma más simple de entender la operación es suponer una pequeña variación de una condición, en estado estable y ver que pasa. Por ejemplo, suponer una entrada análoga positiva y el promedio del "bitstream." alto comparado con la

entrada análoga, entonces la salida del sumador será negativa. Esto en el tiempo dará como resultado una salida del integrador la cual hará que el comparador de un cero como resultado. Es claro que el promedio del "bitstream" debe seguir de cerca de la señal análoga de entrada.

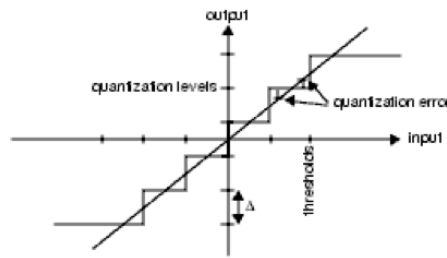


Figura 4: Promedio del "bitstream" @

El comparador es simplemente un amplificador con muy alta ganancia el cual tendrá salidas de 1 o 0 dependiendo de la diferencia entre la entrada y su voltaje de referencia. Esta configuración forma un lazo de retroalimentación negativa fuerte y de alta ganancia el cual da al ADC Sigma- Delta excelente linealidad y un error muy pequeño. Esto además minimiza los efectos del deterioro de los componentes con el tiempo, haciendo del convertidor Sigma-Delta muy estable comparado con sus primos de lazo abierto. En la modulación Sigma –Delta la integral de la señal de entrada es codificada en lugar de la propia señal, la modulación puede ser entendida como un modulador Delta convencional precedido de una malla de integración. En la modulación Delta la señal análoga es aproximada con series de segmentos, cada segmento de la señal aproximada es comparado con la señal original para determinar si crece o decrece en amplitud; el valor de los siguientes bits está determinado por esta comparación, y solo los cambios de información son transmitidos, es decir, si no existe cambio en la comparación se seguirá transmitiendo el mismo valor (0 o 1). El modulador Sigma – Delta descrito hasta ahora es esencialmente un ADC con solo un bit de resolución. La resolución puede ser aumentada promediando la salida del modulador, lo cual se puede lograr a través de un filtro pasabajos, seguido de un decimador el cual convierte la señal de un bit (bitstream) en una señal PCM multibit a la tasa de Nyquist.

2.1. Diagrama a bloques

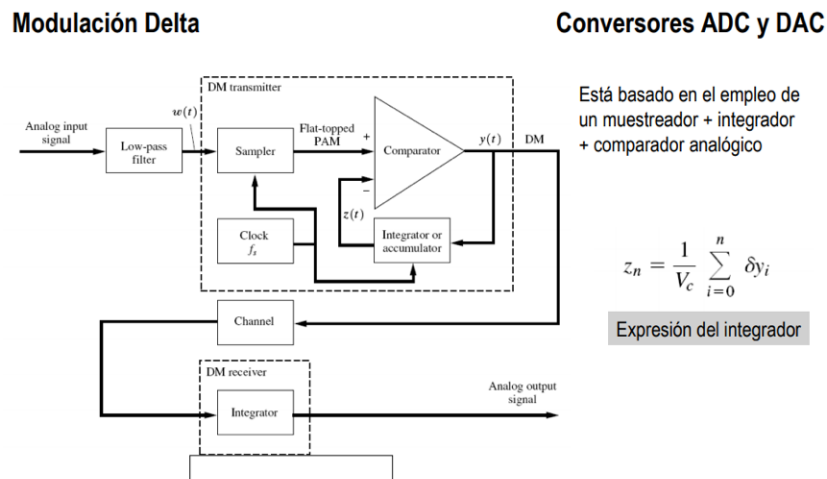


Figura 5: Diagrama a bloques

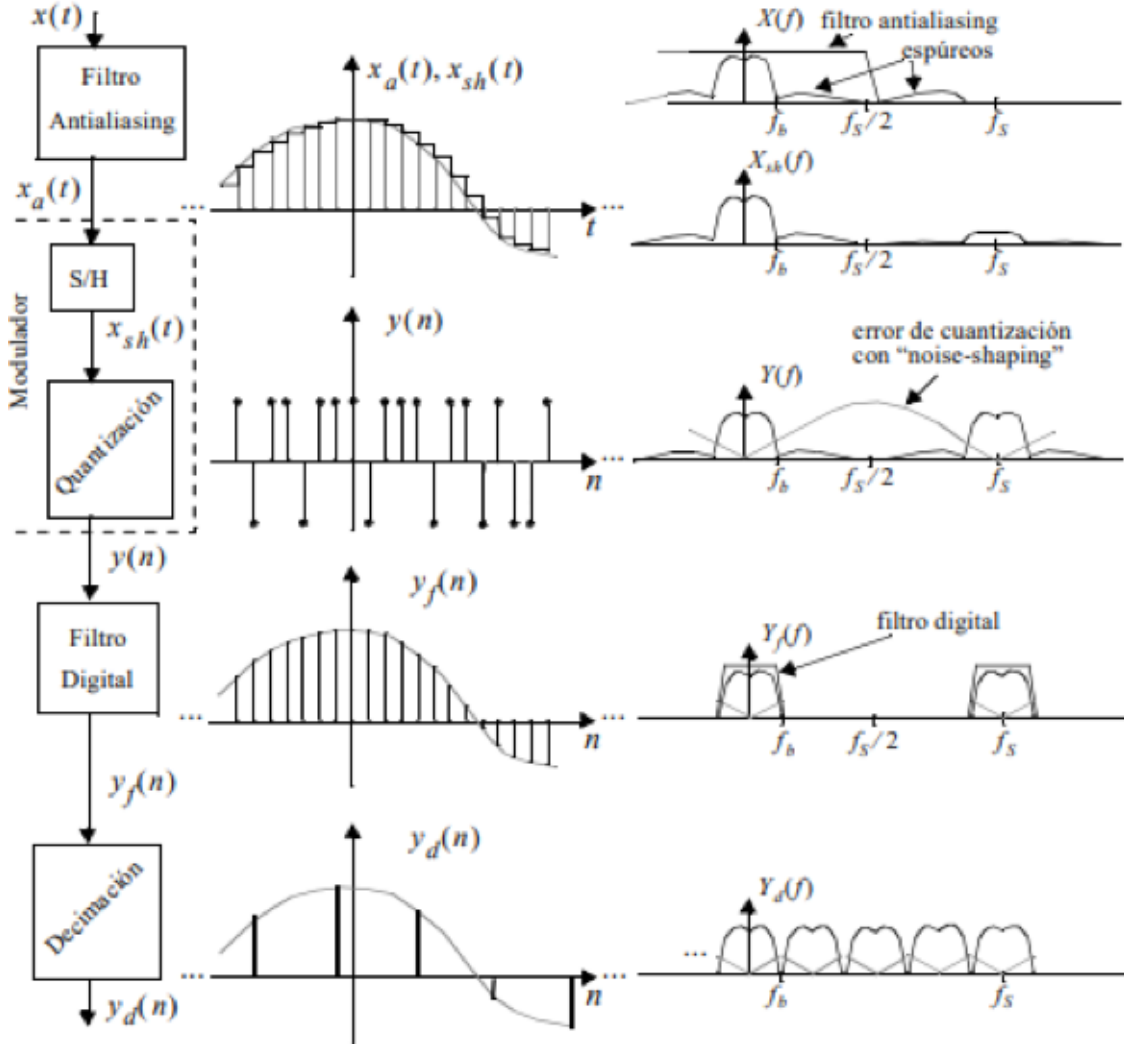


Figura 6: Procesado de señal en un convertidor A/D

3. Convertidor Pipeline

El convertidor A/D pipeline se compone de varias etapas, conteniendo cada una de ellas un convertidor analógico digital (CAD), un convertidor digital analógico (CDA), un restador y un amplificador de residuo. La última etapa necesitará sólo de un CAD. En ocasiones, se emplea un circuito de muestreo y retención (SH) a la entrada para evitar errores por desviaciones debidas a retrasos en las dos señales de entrada al restador. Debido a su simplicidad y rapidez, el CAD suele ser un cuantizador Flash. Al conjunto del amplificador de residuo, el restador y el CDA se le llama también convertidor digital analógico multiplicador (MDAC) y desempeñará, además, la función de SH. Una etapa genérica i procesa la señal de entrada en dos fases y es responsable de la extracción de un conjunto j de bits del resultado final. En la primera fase, la tensión de entrada es muestreada y almacenada en el MDAC, mientras que el cuantizador Flash determina los j bits de la etapa. En la segunda fase, la tensión del residuo, obtenida mediante la resta de la reconstrucción llevada a cabo por el CDA de la cuantización gruesa y de la tensión mantenida de la entrada, es amplificada por una determinada ganancia. El resultado de esta amplificación actuará como entrada de la siguiente etapa, donde se llevará a cabo un proceso idéntico al explicado. Normalmente, el número de bits N es potencia de dos, es decir,

$$N_i = 2^{n_i}$$

donde n_i es el número de bits de la etapa i .

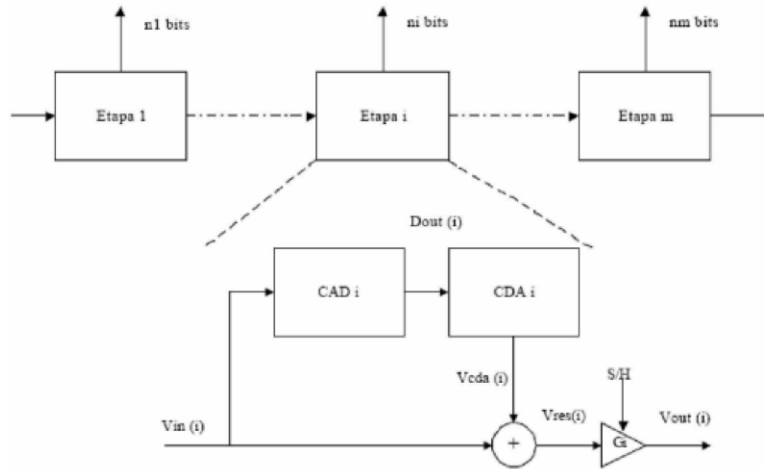


Figura 7: El convertidor pipeline

3.1. Diagrama a bloques

Los convertidores pipeline se han convertido en los más utilizados en el diseño de arquitecturas de resolución moderada (8 a 12 bits) y frecuencias de muestreo del orden de decenas de megahercios. Para frecuencias de muestreo menores se suelen utilizar convertidores de aproximaciones sucesivas (bajas resoluciones) o arquitecturas Sigma-Delta (altas resoluciones), mientras que para frecuencias superiores (cientos de megahercios) continúan dominando los convertidores flash y sus variantes. Como ilustración del método de diseño de las etapas de un CA/D pipeline, veremos un ejemplo con 10 bits. Como regla general, suele aplicarse que, para resoluciones altas, del orden de 15 bits, se escogen resoluciones de 4 o 5 bits para las dos primeras etapas y 2 bits para las restantes, y para convertidores de hasta 10 bits de resolución se utilizan resoluciones bajas (2 bits) para todas sus etapas. Por tanto, en nuestro caso, dividiremos el convertidor en nueve etapas de dos bits de resolución cada una.

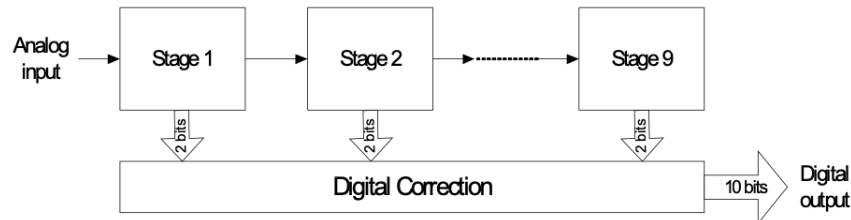


Figura 8: Diagrama de bloques del convertidor

Cada una de las etapas realiza una conversión con dos bits de resolución y transmite el residuo a la siguiente etapa. Los 18 bits resultantes de las 9 conversiones se combinan mediante la corrección digital para obtener los 10 bits buscados. La redundancia existente permite la utilización de convertidores de 1.5 bits de resolución y simplifica enormemente el diseño de los comparadores. Este tipo de convertidores compuestos de etapas de 1.5 bits de resolución se suelen llamar convertidores RSD (Redundant Signed Digit).

4. Convertidor Delta o Delta-Encoder

Los encoders rotativos, también llamados generadores rotativos de impulsos, son equipos destinados a la detección de movimientos. Con ellos se puede determinar y controlar desplazamientos de partes móviles de las máquinas. Sirven para saber su posición y para conocer la velocidad de desplazamiento. Así pues, allí donde haya que controlar un movimiento (ya sea en posición y/o velocidad) es necesario emplear un encoder.

Hay dos tipos básicos de encoders:

- Encoder incremental

- Encoder de valor absoluto (encoder absoluto)

Un emisor de luz infrarroja emite un haz de luz que atraviesa una máscara y el disco del encoder, incidiendo en un foto-transistor. Cuando el disco (que este fijado al eje del Encoder) gira, los radios serigrafiados en su superficie producen sombra sobre el foto-transistor. De esta forma se genera señales Todo-Nada (On-OFF) y a la salida del encoder se dispone de un tren de impulsos, de almena cuadrada, de frecuencia directamente proporcional al número de radios serigrafiados y a la velocidad de giro del disco. La función de la máscara es delimitar bien la frontera entre la luz y la sombra reduciendo la zona de incertidumbre ocasionada por la penumbra en el tránsito de luz a oscuridad y viceversa. Este tren de impulsos debe ser contabilizado y procesado por un contador de impulsos, por un tacómetro ó por una entrada de alta velocidad de un autómatas programable, etc.

4.1. Diagrama a bloques

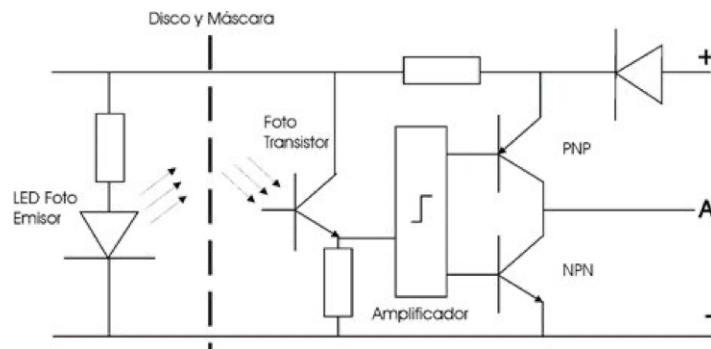


Figura 9: Diagrama de bloques

El esquema de principio de un encoder estándar.

5. Convertidor Half-Flash

Consisten en una serie de comparadores que comparan la señal de entrada con una referencia para cada nivel. El resultado de las comparaciones ingresa a un circuito lógico que “cuenta” los comparadores activados. Los valores de las resistencias extremas difieren de las restantes para lograr que la conmutación de un código al siguiente se produzca a mitad de camino del intervalo que corresponde a ese código. Así, si V_{ref} fuera 8 V, las conmutaciones se efectuarían en 0,5 V, 1,5 V, 2,5 V, etc. La ventaja de este tipo de conversores es que la conversión es prácticamente entiendo real, salvo el tiempo de conmutación de los comparadores y la lógica. La desventaja es que cuando la resolución es alta requiere una gran cantidad de comparadores, cuyo offset debe ser menor que 1 LSB. Además, las capacidades de entrada se suman, lo cual atenta contra las altas velocidades que asegura el método de conversión. En los casos de resoluciones altas, la conversión se suele realizar en dos etapas, es decir que sea la mitad de comparadores y en la segunda etapa se les agrega una tensión de referencia que los desplaza. En este caso se utilizan circuitos lógico secuenciales.

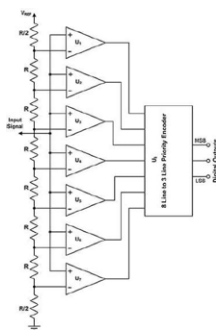


Figura 10: Convertidor Half-Flash

5.1. Diagrama a bloques

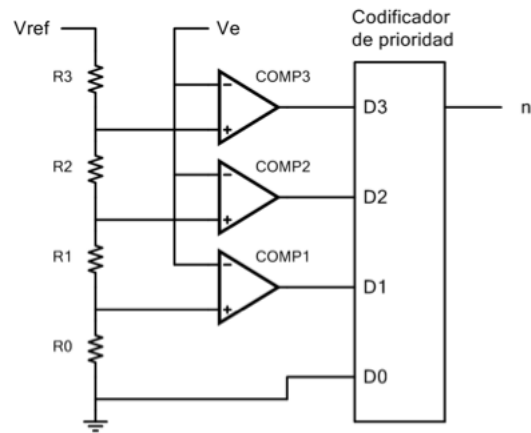


Figura 11: Diagrama a bloques: Convertidor Half-Flash

- Es el ADC más rápido.
- Se supone que las 4 resistencias son de igual valor. V_{ref} es constante.
- V_e es la señal analógica de entrada.
- N es la salida digital de 2 bits. Los valores posibles son 00 01 10 y 11
- El codificador de prioridad envía a la salida n el número del comparador más alto en la figura con salida '0'.
- Si las salidas de todos los comparadores están a '1', $n = 0$.
- Con 8 bits, se requieren 255 comparadores, 256 resistencias y un codificador con 256 entradas.

6. Bibliografía

- Vázquez Díaz, D. (2010). Conversor analógico-digital de doble rampa (Bachelor's thesis).
- van de Plassche, R. (1978). A sigma-delta modulator as an A/D converter. *IEEE Transactions on Circuits and Systems*, 25(7), 510-514.
- Graña, C. Q. (2008). Estructuras avanzadas de convertidores analógico-digital: metodologías de diseño, simulación y enseñanza (Doctoral dissertation, UNED. Universidad Nacional de Educación a Distancia (España)).
- Candy, J., Ching, Y., Alexander, D. (1976). Using triangularly weighted interpolation to get 13-bit PCM from a sigma-delta modulator. *IEEE Transactions on Communications*, 24(11), 1268-1275.
- Blanco Viejo, C. (2005). Fundamentos de electrónica digital. Editorial Paraninfo.