

INSTITUTO POLITÉCNICO NACIONAL

---

---

ESCUELA SUPERIOR DE CÓMPUTO

ACTIVIDAD 4: REGISTROS CON FLIP-FLOP JK

DISEÑO DE SISTEMAS DIGITALES

ALUMNO:

RAMÍREZ COTONIETO LUIS FERNANDO

PROFESOR:

TESTA NAVA ALEXIS

Fecha: 28 de Marzo de 2021

## Actividad 4: Registros con Flip-Flop JK

# Diseño de Sistemas Digitales

### 1. Entrada Serie - salida Serie (Con JK)

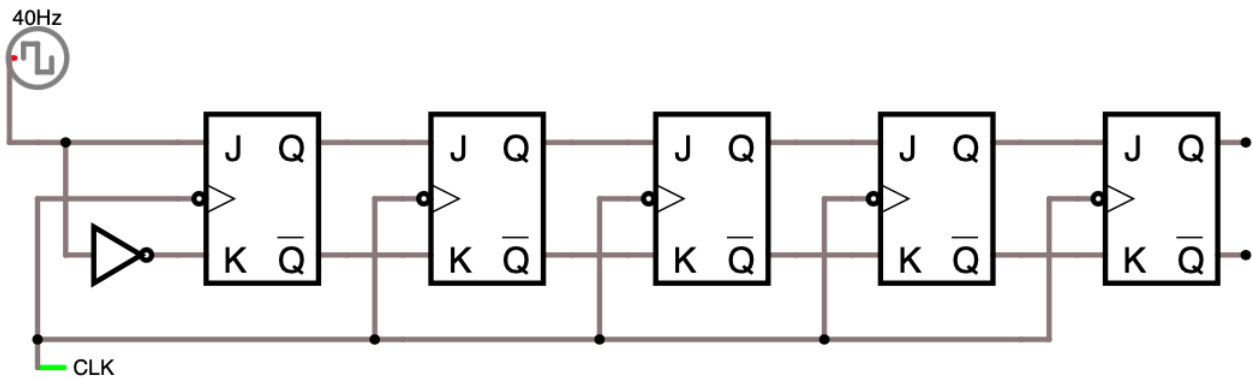


Figura 1: Entrada Serie - salida Serie (Con JK)

Para acceder a la simulación esn falstad da click **AQUÍ**.

El código en vhdl ess correspondiente a:

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity serieserie is
5     Port (j,k,clk: in std_logic;
6           q,qn:out std_logic);
7 end serieserie;
8
9 architecture funcionamiento of serieserie is
10     signal q0,q1,q2,q3,q4:std_logic;
11 begin
12     process(clk,j,k)
13     begin
14         if(clk='1' and clk'event)then
15             q0<=(not k and q0) or (not q0 and j);
16             q1<=(not k and q0) or (not q0 and j);
17             q2<=(not k and q1) or (not q1 and j);
18             q3<=(not k and q0) or (not q2 and j);
19             q4<=(not k and q3) or (not q3 and j);
20             q<=(not k and q4) or (not q4 and j);
21             qn<=not q;
22         end if;
23     end process;
24 end funcionamiento;

```

## 2. Entrada Serie - salida Paralelo (Con JK)

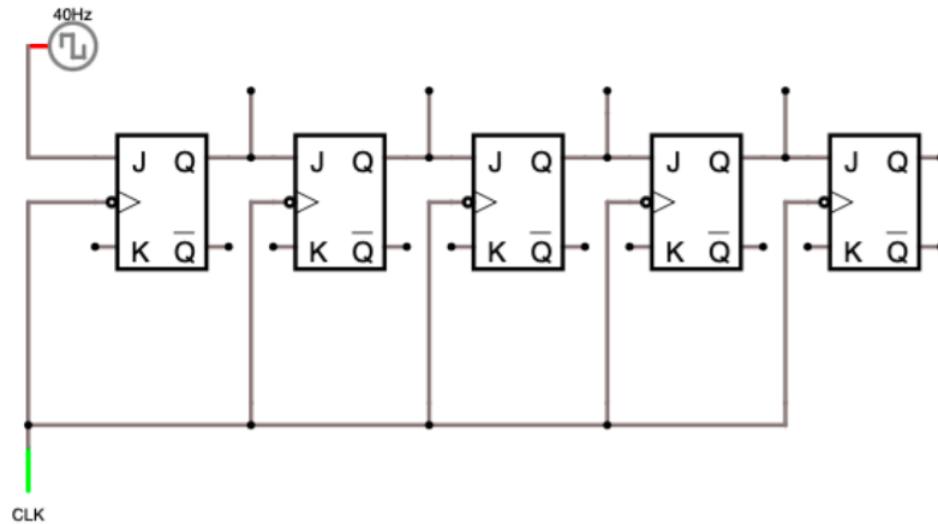


Figura 2: Entrada Serie - salida Paralelo (Con JK)

Para acceder a la simulación esn falstad da click [AQUÍ](#).

El código en vhdl ess correspondiente a:

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity paralelo is
5      Port (j,k,clk: in std_logic;
6            q:inout std_logic_vector(4 downto 0));
7  end paralelo;
8  architecture funcionamiento of paralelo is
9  begin
10     process(clk,q,j,k)
11     begin
12         if(clk='1' and clk'event)then
13             q(0)<=(not k and q(0)) or (not q(0) and j);
14             q(1)<=(not k and q(1)) or (not q(1) and j);
15             q(2)<=(not k and q(2)) or (not q(2) and j);
16             q(3)<=(not k and q(3)) or (not q(3) and j);
17             q(4)<=(not k and q(4)) or (not q(4) and j);
18         end if;
19     end process;
20 end funcionamiento;
```